

Lista de exercícios RISC-V

Nome: Manoel Stilpen – 15.2.4175

1. Projetos embarcados de pequeno porte até servidores, celulares high-end.
2. É um moderno conjunto limpo, modular e open source de instruções para computador de propósito geral.
3. Não, ele é disponibilizado livremente para todos usarem da forma que quiserem. Inclusive, é utilizado em indústrias de grande porte, como Google e Oracle.
4. São 4 as extensões oficiais do projeto.
 1. Multiplicação M: é adicionada 4 instruções de multiplicação, 2 para divisão e 2 para manipulação de restos. Além disso, a divisão por 0 não causa interrupção, mantendo a simplicidade;
 2. Sincronização A: adiciona 11 instruções de sincronização, visando consistência e atomicidade da operação.
 3. Ponto Flutuante: introduz 32 registradores de ponto flutuante e registrador de 5 bits para exceções.
 4. Compressão de tamanho de código: não adiciona nenhuma outra função mas codifica as instruções inteiras para salvar espaço.
5. Sim, uma vez que todo o projeto é livre.
6. 32 registradores inteiros. O número pode ser alterado sim, e.g., na extensão de ponto flutuante que adiciona um registrador de 5 bits para exceções.
7. Colocar os bits mais significantes numa posição fixa e a disposição dos bits foi modificada para reduzir o número de multiplexadores no chip.
8. Não, visto que somente instruções de load-store acessam a memória principal. Todas as operações lógico-aritméticas ocorrem entre os registradores.
9. A extensão C é melhor utilizada em sistemas embarcados, por serem mais limitados e otimizando as instruções pode-se reduzir o tamanho dos registradores.
10. Não, a diferença está no fato da extensão C otimizar as instruções.
11. Não possui operadores condicionais, pois de acordo com os projetistas, simplifica o desenvolvimento da CPU. Os operandos de comparação foram construídos dentro dos jumps condicionais.
12. Pois é uma forma que facilita a decodificação da instrução.
13. A instrução jump and link quando executada, armazena o endereço que o programa deve retornar. Já a instrução jump não.
14. O rocket chip, nos permite gerar diferentes configurações de SoC. É possível gerar blocos como um core, incluindo suas caches, além de itens que ficam na parte externa, como cache compartilhada. São 5 estágios que possui.

15. É utilizado especificando os parâmetros e configurações como quantidade de memória física, parâmetros de interface de memória, etc, que se deseja simular através da linguagem Chisel. A partir disso, é possível além de realizar diversos testes, gerar o código Verilog do circuito.