

UNIVERSIDADE FEDERAL DE OURO PRETO

Lista: RISC-V – 24 de janeiro de 2017

Orientação: Rodolfo Labiapari - rodolfolabiapari@decom.ufop.br

Arquitetura de Computadores - BCC 236

Aluna: Vinícius Souza Almeida 11.2.8059

Questão 1 Dê exemplos de aparelhos que utilizam ISA RISC.

É usada em processadores PowerPC (da Apple, Motorola e IBM) e SPARC (SUN) DEC Alpha, SPARC, MIPS, e PowerPC e alguns celulares.

Questão 2 Explique o que é o projeto RISC-V.

Produzido pelo Computer Science Division na Universidade da Califórnia, Berkeley, é um *Instruction-Set Architecture* (ISA) *open-source* (BSD). É um conjunto **limpo**, **modular** com inteiros bases em 32, 64 e 128 bits e várias opções de extensão de instruções como ponto-flutuante, multiplicadores, etc. Cada usuário demanda que os designers considerem a performance e eficiência energética quando projetar processador e o RISC-V é um conjunto de fácil implementação comparado a outras alternativas e o projeto possui grande aceitação na indústria de semicondutores.

Questão 3 RISC-V é utilizado só para uso acadêmico?

RISC-V é disponibilizado livremente para todos usarem bem como quiserem incluindo fazer design, fabricar e vender os chips e software RISC-V.

Questão 4 Quais são as extensões oficiais do RISC-V ditas em aula e qual o propósito de cada uma?

Multiplicação M:

- Adiciona 4 instruções de multiplicação, duas de divisão, e duas de manipulação de restos.
- A base é indicada pela base do ISA.
- A divisão por 0, por exemplo, não causa interrupção, mantendo a simplicidade.

Sincronização A:

Adiciona 11 instruções de sincronização visando consistência e atomicidade da operação. São divididos em dois grupos: Load Reserved e Store Conditional para operações atômicas na memória.

- Extensão: Ponto Flutuante
- Possui três extensões diferentes: Precisão simples (**F**), Precisão Dupla (**D**) e quádrupla precisão (**Q**). A extensão F é pré-requisito para D, que é pré-requisito para Q.
- Introduz também 32 registradores de ponto flutuante (f0-f31) de tamanho 32 bits e um registrador de 5 bits para exceções. Exceções não geram interrupções e

com isso devem ser verificadas por meio de consultas.

Questão 5 É possível adicionar minha própria extensão, cujo nome é extensão UFOP ao projeto?

Sim, utilizando a interface RoCC.

Questão 6 Quantos registradores o RISC-V possui e quais são eles? Esse número pode ser alterado?

RISC-V possui 32 registradores inteiros, e 32 registradores opcionais.

Questão 7 Cite duas otimizações realizadas no projeto do RISC-V.

- 1) Colocar os bits mais significantes numa posição fixa;
- 2) Disposição de bits para reduzir o número de multiplexadores no CPU;

Questão 8 RISC-V possui operações de multiplicação com acesso direto à memória principal?

Sim, como foi dito na questão 4:

Multiplicação M:

- Adiciona 4 instruções de multiplicação, duas de divisão, e duas de manipulação de restos.
- A base é indicada pela base do ISA.
- A divisão por 0, por exemplo, não causa interrupção, mantendo a simplicidade.

Questão 9 Qual é o propósito de utilizar a extensão C?

O Propósito é reduzir o tamanho do código.

Questão 10 Existe alguma diferença entre os formatos de operações do RV32I, RV64I e a Extensão C?

Questão 11 RISC-V possui o condicional if? Como ele realiza suas instruções de condição?

Não possui códigos condicionais, ele utiliza operandos de comparação dentro dos jumps.

Questão 12 Observando as posições dos registradores na tabela de formato de instruções, por que eles estão situados na mesma posição em todas os formatos?

Questão 13 Qual a diferença das instruções jump e jump and link?

Jump é um desvio condicional para um endereço de memória. E jump and link: salta para o endereço especificado, salvando o endereço da próxima instrução.

Questão 14 O que é o Rocket-Chip e quantos estágios ele possui?

Questão 15 Explique sucintamente como Rocket-Chip é utilizado.