

UNIVERSIDADE FEDERAL DE OURO PRETO
Arquitetura de Computadores - BCC 236

Lista RISC-V

Flavia Nunes de Matos
15.1.4165

Questão 1. Dê exemplos de aparelhos que utilizam ISA RISC

Aparelhos da Samsung, como por exemplo: Nexus 10 e Samsung Chromebook, que utilizam Exynos 5 Dual (baseado no ARM).

Aparelhos eletrodomésticos (Atmel AVR).

Questão 2. Explique o que é o projeto RISC-V.

O projeto RISC-V é um ISA (Arquitetura de Conjuntos de Instruções, é a parte do processador que é visível ao programador. A ISA serve de fronteira entre o hardware e o software de baixo nível.) open-source produzido pela Computer Science Division na Universidade da Califórnia, Berkeley e desenvolvido com base em uma série de outros projetos acadêmicos de design de computadores.

Possui 32 registradores inteiros, e 32 registradores opcionais para ponto flutuante, registradores de controle e status sua memória possui endereçamento de 1 byte.

É um conjunto limpo, modular e tem propósito de mercado é amplo.

Questão 3. RISC-V é utilizado só para uso acadêmico?

Não, Nvidia e Qualcomm estão usando RISC-V no desenvolvimento de controladores de memória GPU e processadores IoT.

Questão 4. Quais são as extensões oficiais do RISC-V ditas em aula e qual o propósito de cada uma?

Multiplicação M: Adiciona 4 instruções de multiplicação, duas de divisão e duas de manipulação de restos. A base é indicada pela base do ISA.

Sincronização A: Adiciona 11 instruções de sincronização visando consistência e atomicidade da operação.

Ponto Flutuante:

Compressão de tamanho de código: Reduz o tamanho do código binário, energia e custo para pequenos computadores, e visando sistemas embarcados.

Questão 5 É possível adicionar minha própria extensão, cujo nome é extensaoUFOP ao projeto?

É possível, já que o RISC-V suporta o desenvolvimento de software de propósitos gerais e fornece uma base para extensões mais especializadas ou aceleradores mais customizados.

Os espaços de codificação de instrução e codificação opcional de instrução de comprimento variável são projetados para tornar mais fácil aproveitar o desenvolvimento de software para a cadeia de ferramentas ISA padrão ao criar processadores mais personalizados.

Questão 6 Quantos registradores o RISC-V possui e quais são eles? Esse número pode ser alterado?

Possui 32 registradores inteiros e 32 registradores opcionais para ponto flutuante. Também existe uma variante de pequeno porte do RISC-V com 16 registradores inteiros.

Questão 7 Cite duas otimizações realizadas no projeto do RISC-V

Colocar os bits mais significantes numa posição fixa e alterar a disposição de bits para reduzir o número de multiplexadores no CPU.

Questão 8 RISC-V possui operações de multiplicação com acesso direto à memória principal?

Não. RISC-V, assim como todos os outros designs de RISCs, é uma máquina load-store. Sendo assim, somente essas duas instruções possuem acesso direto à memória principal. As operações lógico-aritméticas, como a multiplicação, ocorrem entre registradores.

Questão 9 Qual é o propósito de utilizar a extensão C?

A extensão C não adiciona nenhuma outra função, mas, ao invés disso, codifica as instruções inteiras para salvar espaço e com isso reduzir o tamanho do footprint. É disponível para bases inteiras, bem como load e store para pontos flutuantes e cria-se então instruções comprimidas em 16 bit.

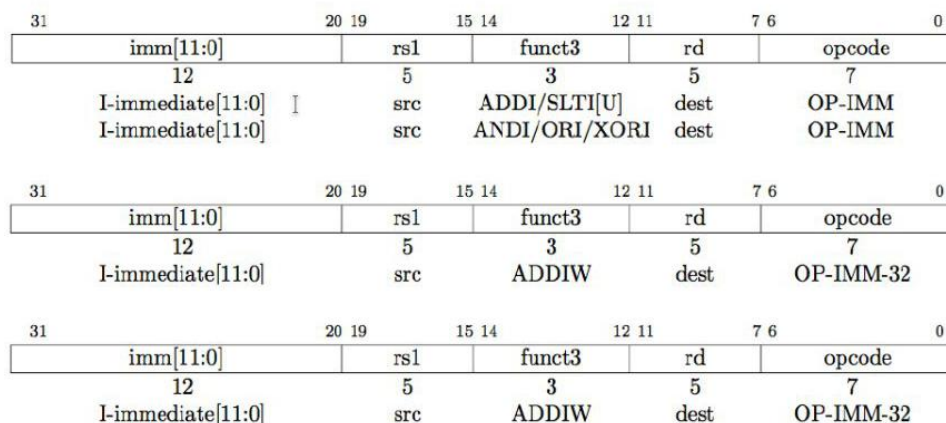
Pesquisas com C mostram que um código 20% menor que um x86 e MIPS Comprimido e 2% maior que um ARM Thumb-2.

Questão 10 Existe alguma diferença entre os formatos de operações do RV32I, RV64I e a Extensão C?

Não, como podemos ver na tabela, os formatos de operações são iguais.

RV32I vs. RV64I vs. Extensão C(ompacta)

Register-Immediate



Questão 11 RISC-V possui o condicional if? Como ele realiza suas instruções de condição?

Não, RISC-V não possui códigos condicionais. Ele realiza as instruções de condição por meio de operandos de comparação dentro dos jumps condicionais.

Questão 12 Observando as posições dos registradores na tabela de formato de instruções, por que eles estão situados na mesma posição em todas as instruções?

Para facilitar a decodificação.

Questão 13 Qual a diferença das instruções jump e jump and link?

Instruções jump and link são similares a jump, exceto que elas guardam o endereço da próxima instrução no registrador de endereço de retorno.

Questão 14 O que é o Rocket-Chip e quantos estágios ele possui?

Rocket-chip é uma ferramenta 64-bit com pipeline de 5 estágios em ordem que permite gerar diferentes configurações de RISC-V. As configurações são feitas em linguagem Chisel (Constructing Hardware In a Scala Embedded Language).

Questão 15 Explique sucintamente como Rocket-Chip é utilizado.

Pode ajudar a definir o design sobre diferentes formas de performance. É possível gerar diferentes arquiteturas para diferentes aplicações finais, incluindo a fácil alteração deste.

É possível utilizá-lo para gerar blocos como um core(Rocket) incluindo suas caches privadas além de itens que ficam na parte externa como caches compartilhadas.

Tal gerador é disponibilizado principalmente para todos os desenvolvedores de sistemas embarcados. Para cada tipo de requisito, deve-se procurar seu respectivo parâmetro de configuração.

Referências

Instruction Set Architecture's

<<https://student.dei.uc.pt/~htrovaio/isas/web.htm>> Acesso em: 28-01-2017

Guia: conheça os principais processadores de smartphones do momento

<<https://canaltech.com.br/analise/mobile/guia-conheca-os-principais-processadores-de-smartphones-do-momento-6733/>> Acesso em: 28-01-2017

Processadores arquitetura RISC e CISC

<<http://www.sistemasembarcados.org/2015/11/15/processadores-arquitetura-risc-e-cisc/>> Acesso em 28-01-2017

MIPS Assembly/Control Flow Instructions

<https://en.wikibooks.org/wiki/MIPS_Assembly/Control_Flow_Instructions> Acesso em 28-01-2017

Introdução Ao Processador RISC-V

<<http://www.decom.ufop.br/imobilis/o-risc-v/>> Acesso em 28-01-2017

Rocket Chip Como SoC Generator In Chisel

<<http://www.decom.ufop.br/imobilis/rocket-chip-soc-generator-chisel/>> Acesso em 28-01-2017

Launching the Open-Source Rocket Chip Generator!

<<https://riscv.org/2014/10/launching-the-open-source-rocket-chip-generator-2/>> Acesso em 28-01-2017