

Arquitetura de Computadores

Reduced Instruction Set Computer:

Estudo sobre RISC-V e Introdução ao Rocket-Chip

Rodolfo Labiapari Mansur Guimarães

rodolfolabiapari@decom.ufop.br

Lattes: <http://goo.gl/MZv4Dc>

Departamento de Computação – Universidade Federal de Ouro Preto
Ouro Preto - MG – Brasil

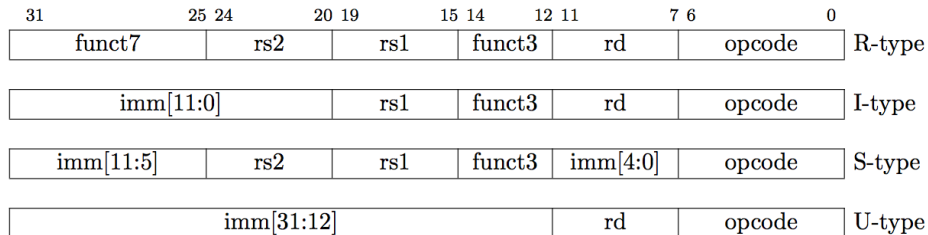
Última Atualização: 18 de julho de 2017.

Sumário

- 1 Formato das Instruções Bases do RISC-V
 - RV32I
 - Comparação de Instruções entre diferentes Arquiteturas e Expansões
- 2 Tutorial RISC-V Rocket Chip

Formato das Instruções Bases

- Na base do ISA RISC-V, existe quatro formato de instruções principais



- Alguma observações

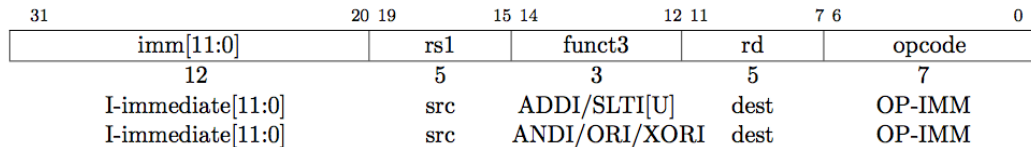
- É possível ver que *rd*, *rs1* e *rs2* estão na mesma posição
 - Isso é um método para facilitação da decodificação.
- Imediatos estão sempre no final da instrução;

Sumário

- 1 Formato das Instruções Bases do RISC-V
 - RV32I
 - Comparação de Instruções entre diferentes Arquiteturas e Expansões
- 2 Tutorial RISC-V Rocket Chip

RV32I

Register-Immediate



- **Opcode:** Local onde fica a operação principal;
- **Funct3:** Especificação da operação.

RV32I

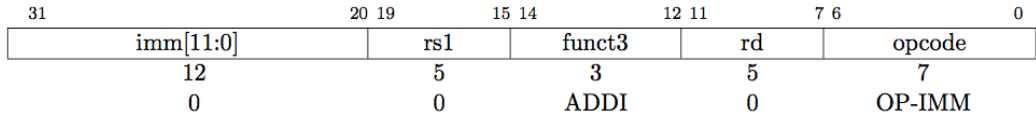
Register-Register

31	25 24	20 19	15 14	12 11	7 6	0
funct7	rs2	rs1	funct3	rd	opcode	
7	5	5	3	5	7	
0000000	src2	src1	ADD/SLT/SLTU	dest	OP	
0000000	src2	src1	AND/OR/XOR	dest	OP	
0000000	src2	src1	SLL/SRL	dest	OP	
0100000	src2	src1	SUB/SRA	dest	OP	

- **Opcode:** Local onde fica a operação principal;
- **Funct3:** Especificação da operação;
- **Funct7:** Especificação da operação;

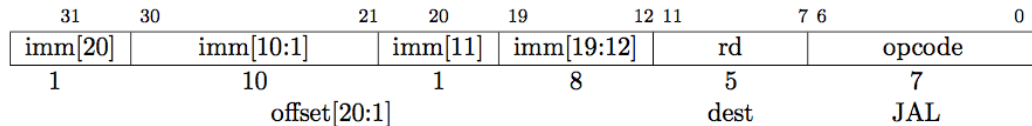
RV32I

Nop



RV32I

Jump and Link¹



¹ *Jump and Link* é um *jump* com endereço de retorno.

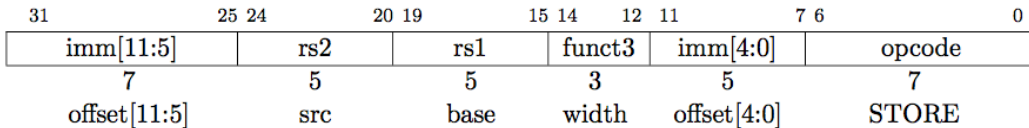
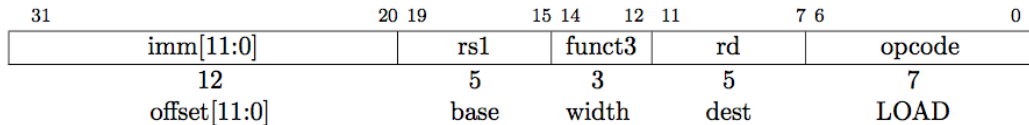
RV32I

Conditional Branches

31	30	25	24	20	19	15	14	12	11	8	7	6	0
imm[12]	imm[10:5]	rs2	rs1	funct3	imm[4:1]	imm[11]	opcode						
1	6	5	5	3	4	1	7						
offset[12,10:5]		src2	src1	BEQ/BNE	offset[11,4:1]		BRANCH						
offset[12,10:5]		src2	src1	BLT[U]	offset[11,4:1]		BRANCH						
offset[12,10:5]		src2	src1	BGE[U]	offset[11,4:1]		BRANCH						

RV32I

Load e Store

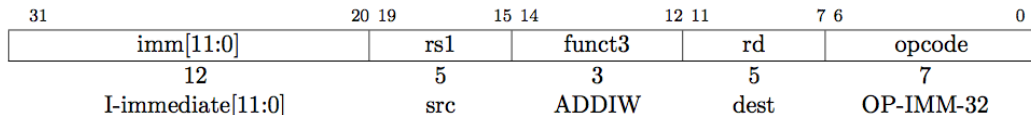
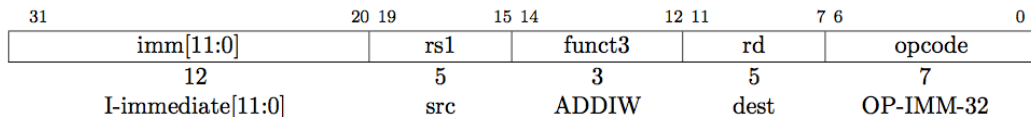
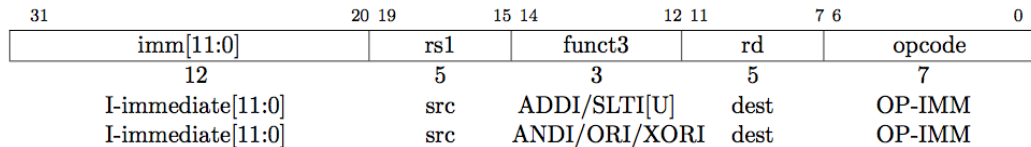


Sumário

- 1 Formato das Instruções Bases do RISC-V
 - RV32I
 - Comparação de Instruções entre diferentes Arquiteturas e Expansões
- 2 Tutorial RISC-V Rocket Chip

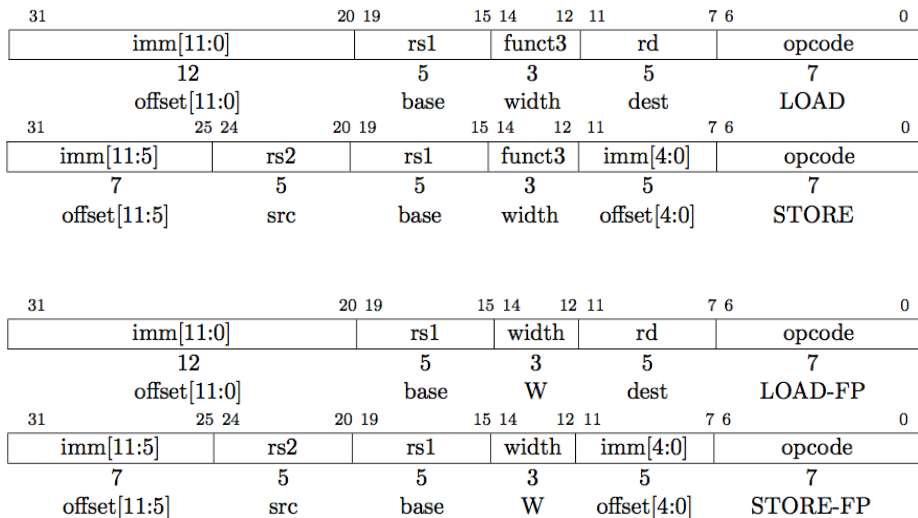
RV32I vs. RV64I vs. Extensão C (compacta)

Register-Immediate



RV32I vs. Extensão F

Load e Store



Sumário

- 1 Formato das Instruções Bases do RISC-V
 - RV32I
 - Comparação de Instruções entre diferentes Arquiteturas e Expansões
- 2 Tutorial RISC-V Rocket Chip

Rocket Chip

Introdução

- Rocket Chip permite gerar diferentes configurações de SoC².
- Essas configurações são especificadas por meio de parâmetros em linguagem Chisel³ que podem ser alterados livremente:
 - E com isso, pode-se selecionar o que quer gerar como chip.
- Também possui um emulador C++ de RLT⁴.

² *System-on-a-chip*: se refere a todos os componentes de um computador/sistema eletrônico, em um circuito integrado.

³ *Constructing Hardware In a Scala Embedded Language*.

⁴ *Register transfer level*.

Rocket Chip

Introdução

- Rocket Chip é formado por vários submódulos:
 - **Chisel**: Linguagem HDL para desenvolvimento de RTL;
 - **Rocket**: Código-fonte dos *cores* e *caches* do Rocket;
 - **Dramsim2**: Simulador de tempos de acesso à DRAM;
 - Entre outros.
- Algumas configurações possíveis:
 - Quantidade memória física;
 - Quantidade de bits do endereço virtual;
 - Parâmetros de interface de memória;
 - E outros.

Rocket Chip

Simulando uma Configuração Predefinida

- Para uma simulação, deve-se ir ao respectivo diretório.
- O emulador C++ RTL é executado do diretório `/emulator`.
- Neste diretório, um comando de execução *default* já é conhecido para verificar se a ferramenta foi instalada com sucesso. Possui a seguinte sintaxe
`make run-asm-tests`.
- Podemos também construir itens com configurações de pequeno porte utilizando a especificação `CONFIG=ExampleSmallConfig`
 - E para testar, utiliza-se
`make CONFIG=ExampleSmallConfig run-asm-tests`.

Dúvidas, Sugestões ou Reclamações?

■ `rodolfohabiapari@decom.ufop.br`

■ `https://www.guerrillamail.com/`

Arquitetura de Computadores

Reduced Instruction Set Computer:

Estudo sobre RISC-V e Introdução ao Rocket-Chip

Rodolfo Labiapari Mansur Guimarães

rodolfolabiapari@decom.ufop.br

Lattes: <http://goo.gl/MZv4Dc>

Departamento de Computação – Universidade Federal de Ouro Preto
Ouro Preto - MG – Brasil

Última Atualização: 18 de julho de 2017.