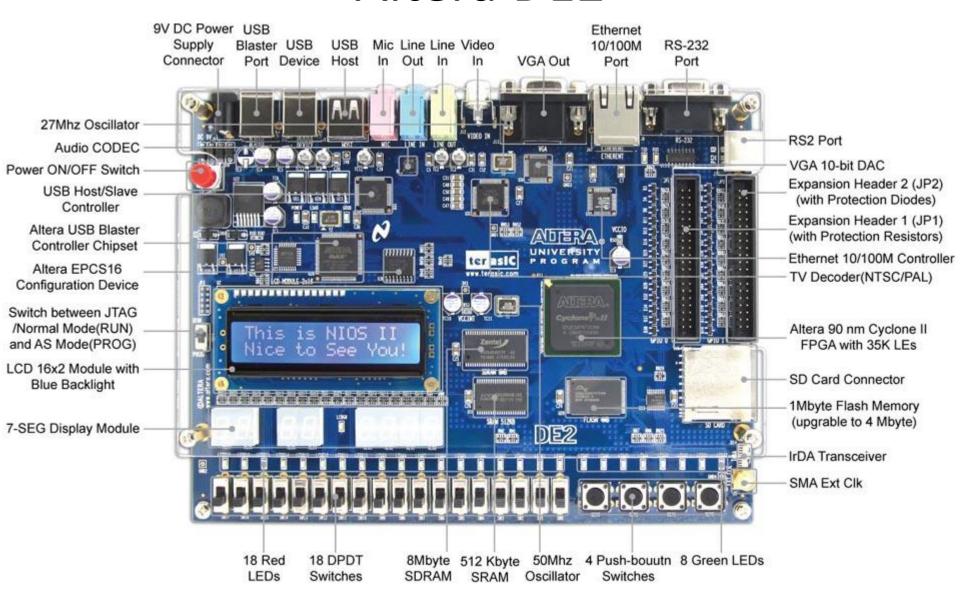
Introdução ao Altera DE2

Edson Midorikawa

Altera DE2



Altera DE2

- Altera Cyclone II 2C35 FPGA with 35.000 LEs
- Altera Serial Configuration devices (EPCS16) for Cyclone II 2C35
- USB Blaster built in on board for programming and user API controlling
- JTAG Mode and AS Mode are supported
- 8Mbyte (1M x 4 x 16) SDRAM
- 512K byte(256K X16) SRAM
- 4Mbyte Flash Memory (upgradeable to 4Mbyte)
- SD Card Socket
- 4 Push-button switches
- 18 DPDT switches
- 9 Green User LEDs
- 18 Red User LEDs

- 16 x 2 LCD Module
- 50MHz Oscillator and 27MHz Oscillator for external clock sources
- 24-bit CD-Quality Audio CODEC with line-in, line-out, and microphone-in jacks
- VGA DAC (10-bit high-speed triple DACs)
 with VGA out connector
- TV Decoder (NTSC/PAL) and TV in connector
- 10/100 Ethernet Controller with socket.
- USB Host/Slave Controller with USB type
 A and type B connectors.
- RS-232 Transceiver and 9-pin connector
- PS/2 mouse/keyboard connector
- IrDA transceiver
- Two 40-pin Expansion Headers with diode protection

Altera DE2

• FPGA: Recursos disponíveis: Botões (4) - Família: Cyclone II Chaves (18) – Dispositivo: LEDs (27) EP2C35F672C6 Displays de 7 segmentos (8) Clocks internos (2) 18 DPDT 50Mhz 4 Push-bouutn 8 Green LEDs 18 Red

Switches

Oscillator

7-SEG Display Module

Switches

LEDs

Botões

Total de 4 botões (com circuito de debounce).

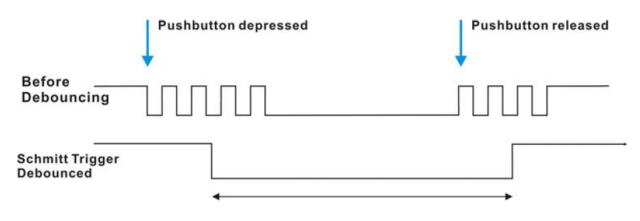
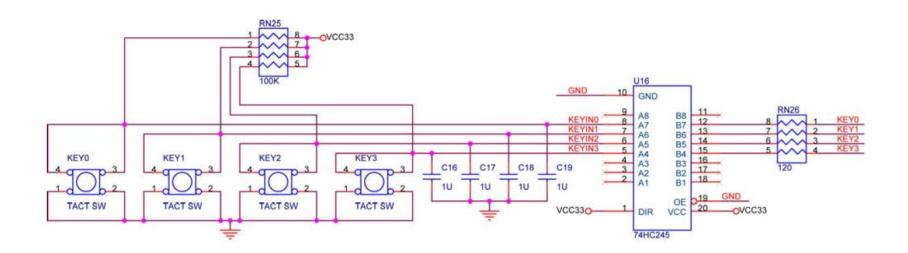


Figure 4.3. Switch debouncing.

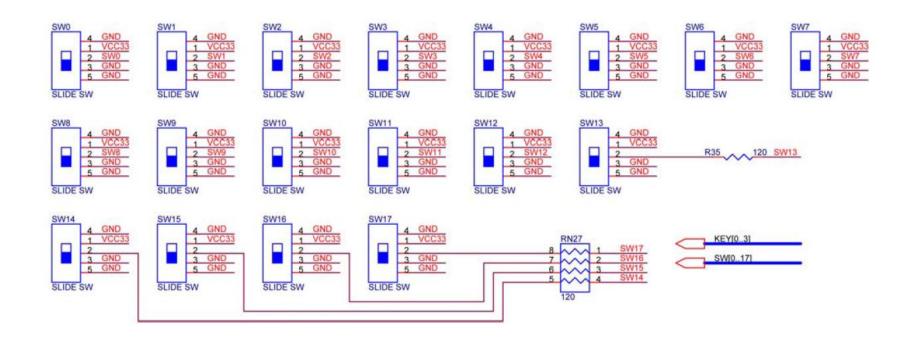
- Identificação KEYO até KEY3.
- Botão ativo em BAIXO (ao apertar, sinal em nível ZERO).

Botões



Chaves

- 18 chaves (sem debounce)
 - Posição para baixo, sinal ZERO.
 - Posição em alto, sinal UM.
- Identificação SWO até SW17



LEDs

- Total de 27 leds:
- 18 leds vermelhos (LEDRO até LEDR17)
- 9 leds verdes (LEDG0 até LEDG8)
- 9º led verde fica entre os displays de
 7 segmentos HEX3 e HEX4
- Sinais de *leds* ativos em ALTO.

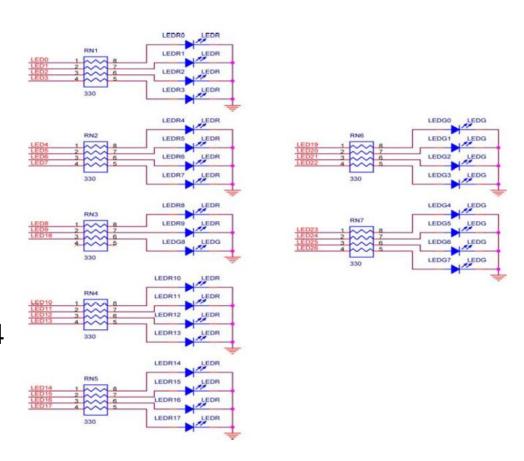
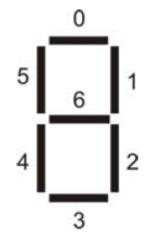
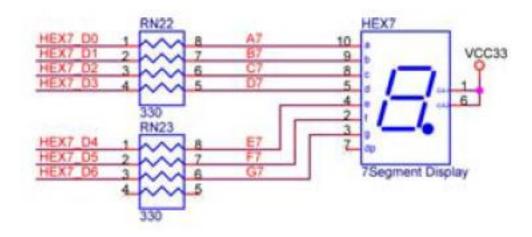


Figure 4.5. Schematic diagram of the LEDs.

Displays de 7 segmentos

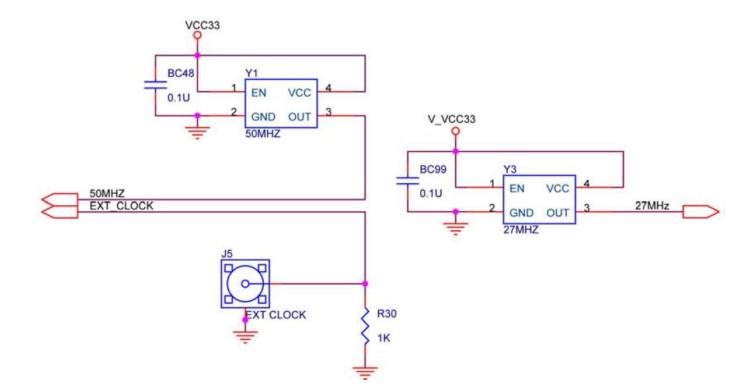
- 8 displays de 7 segmentos.
 - HEXO até HEX7.
- Sinais do display ativos em ZERO.
- Sinais de cada led no display:
 - Ex. HEXO[0] até HEXO[6]





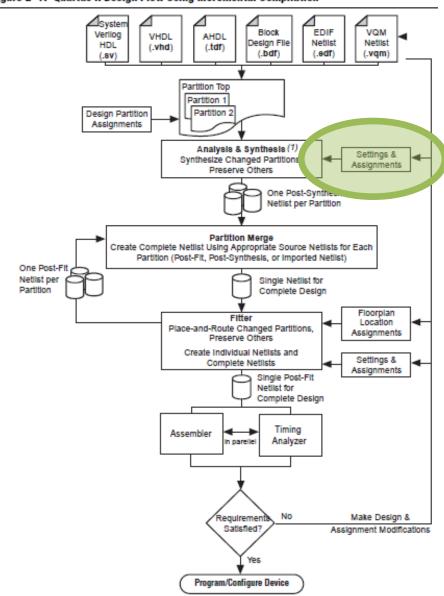
Clocks

- Clocks internos:
 - 50 MHz (**CLOCK_50**) e
 - 27 MHz (CLOCK_27)
- Entrada para clock externo com conector SMA.



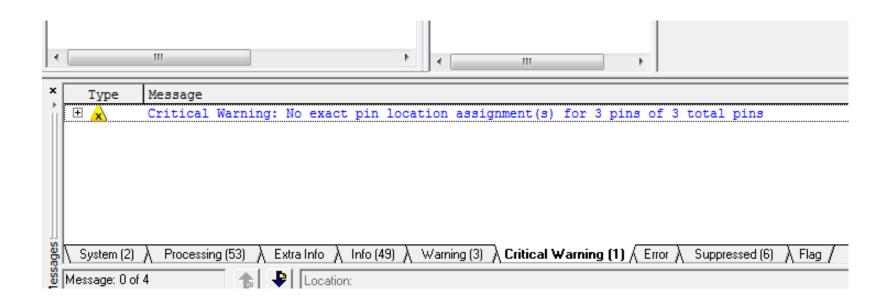
Fluxo de Projeto com Quartus II

Figure 2–1. Quartus II Design Flow Using Incremental Compilation



Fluxo de Projeto com Quartus II

- Para um projeto que será usado com a placa DE2, deve-se designar os sinais de entrada e saída do circuito antes da execução da Compilação.
- Caso a designação não for realizada, aparecerá uma mensagem do tipo "Critical Warning" avisando esta falta.



Fluxo de Projeto com Quartus II

 Esta designação é importante para que o Quartus II tenha informação necessária para análises adicionais do projeto, como, por exemplo, de tempos de atraso de sinais internos.

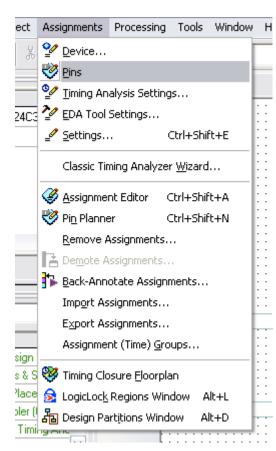
Exemplo: Classic Timing Analyzer

Timing Analyzer Summary									
	Туре	Slack	Required Time	Actual Time	From	То	From Clock	To Clock	Failed Paths
1	Worst-case tpd	N/A	None	6.332 ns	Α	AeqB			0
2	Total number of failed paths								0

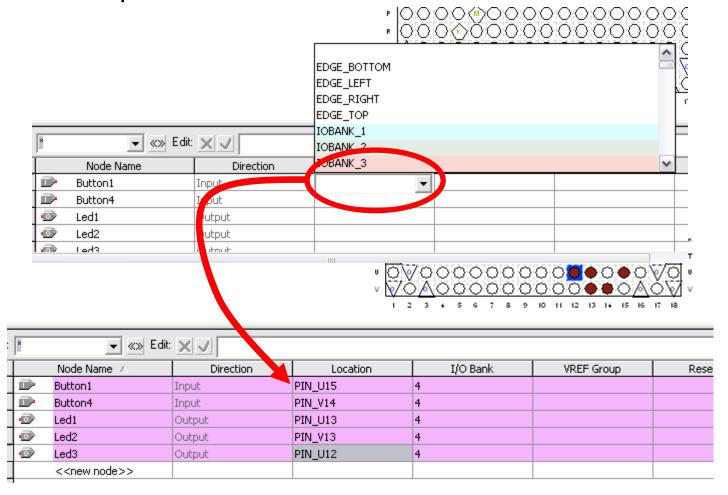
 No processo de desenvolvimento do projeto no software Quartus II, deve-se associar os sinais de entrada e saída do circuito nos dispositivos da placa DE2 (por exemplo, clock,

chaves e *leds*).

 No Quartus II v.9.1sp2, acesse o menu Assignments > Pins



 Na coluna Location, pode-se especificar a identificação do pino correspondente ao sinal.

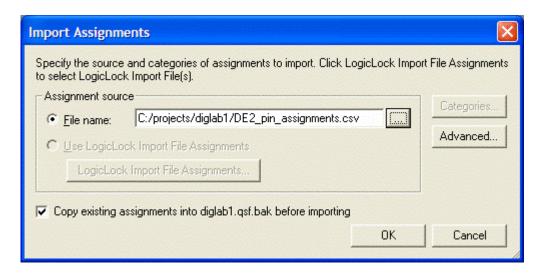


- Para projetos com muitos sinais de entrada e saída, uma forma alternativa é o uso de um arquivo texto csv (Comma-Separated Value File).
- Editar um arquivo texto com extensão csv com os sinais do circuito associado aos componentes da placa.
- Exemplo: meuprojeto.csv

```
To,Location
A,PIN_N25 #SW[0]
B,PIN_N26 #SW[1]
C,PIN_AE23 #LEDR[0]
```

• O arquivo DE2_pin_assignments.csv contém um template geral com todos os pinos disponíveis. Ver também arquivo DE2 Pin Table.pdf.

 Execute a importação dos dados de designação de pinos com o acionamento do comando de menu Assignments > Import Assignments.

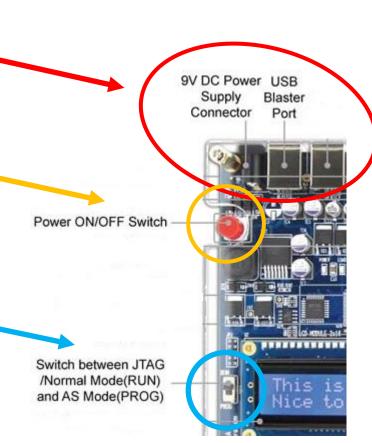


 Pode-se verificar a designação acionando o comando de menu Assignments > Pins.

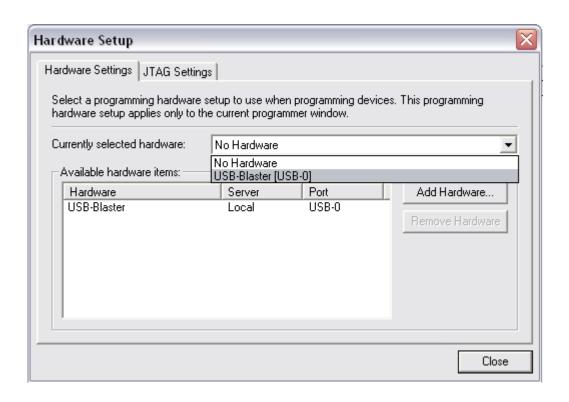
Conteúdo da caixa



- 1. Retirar a placa, fonte de alimentação e cabo USB da caixa.
- Conectar fonte e cabo USB. (conectores no canto superior esquerdo da placa)
- 3. Ligar o botão de liga/desliga.
- 4. Chave RUN/PROG deve ficar na posição RUN.

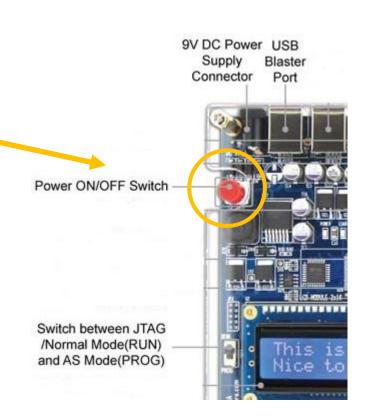


5. Programar o circuito com o *Altera Quartus II Programmer* (selecionar interface USB Blaster).

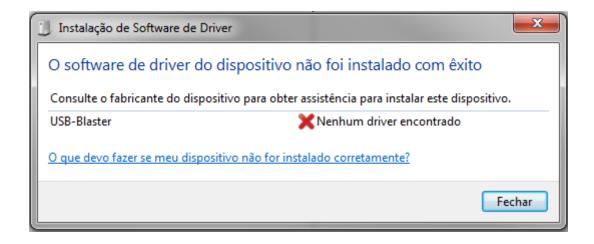


6. Iniciar uso do circuito programado.

- 7. Após o término de uso, desligar a placa acionando o botão de liga e desliga.
- Desconectar fonte de alimentação e cabo USB.
- 9. Guardar componentes na caixa.

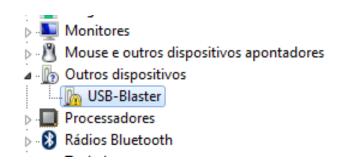


- Configuração do driver do cabo USB Blaster:
- 1. Conectar a placa ao computador via cabo USB;
- 2. Ligar a placa;
- 3. No Windows 7, aparece a tela seguinte:



Configuração do driver do cabo USB Blaster (cont.):

4. Abrir o **Gerenciador de Dispositivos** e selecione **USB Blaster**:

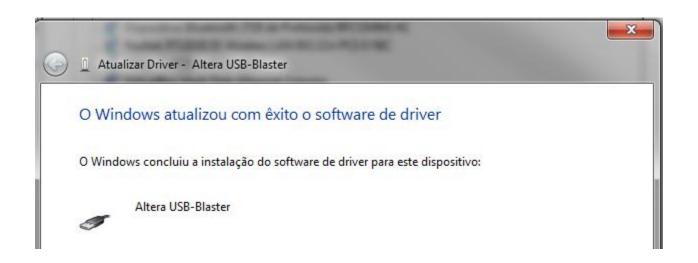


- 5. Clique em **Atualizar Driver** e depois em **Procurar software de driver no computador**.
- 6. Indique o diretório para a localização do driver: C:\altera\91sp2\quartus\drivers\usb-blaster

- Configuração do driver do cabo USB Blaster (cont.):
- 7. Finalmente, clique em Instalar.



- Configuração do driver do cabo USB Blaster (cont.):
- 8. OK. Pronto para uso.



CUIDADOS

- Cada grupo deve se responsabilizar pela placa DE2.
- Use somente a fonte de alimentação que vem junto com a placa DE2. Não use outra fonte do laboratório.
- Não conectar nenhum cabo ou fio com a placa ligada.
- Não consumir bebidas na bancada.
- Não colocar a placa sobre uma superfície metálica.
- Segurar as placas pelas bordas.
 - Não colocar a mão nos componentes (problemas com a eletricidade estática podem queimar os componentes).
- Não retirar a placa do Laboratório Digital.
- Terminada a experiência, guardar a placa e demais acessórios na caixa.

Bibliografia

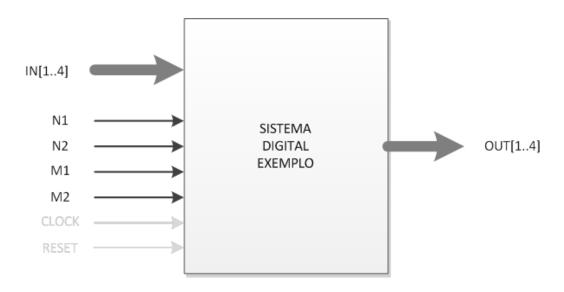
 Altera. DE2 Development and Education Board - User Manual. Version 1.42, 2008.

• Altera. Quartus II Handbook Version 9.1. Volume 1: Design and Synthesis. 2009.

HANDS-ON

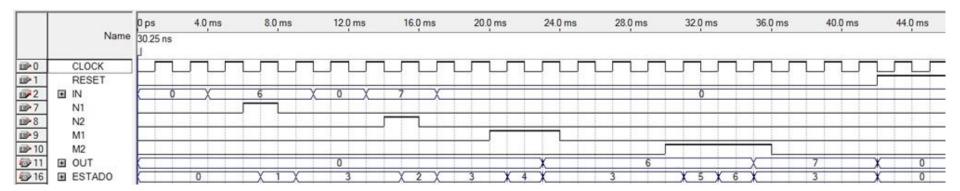
Projeto Exemplo

Sistema digital para armazenamento de dois valores.

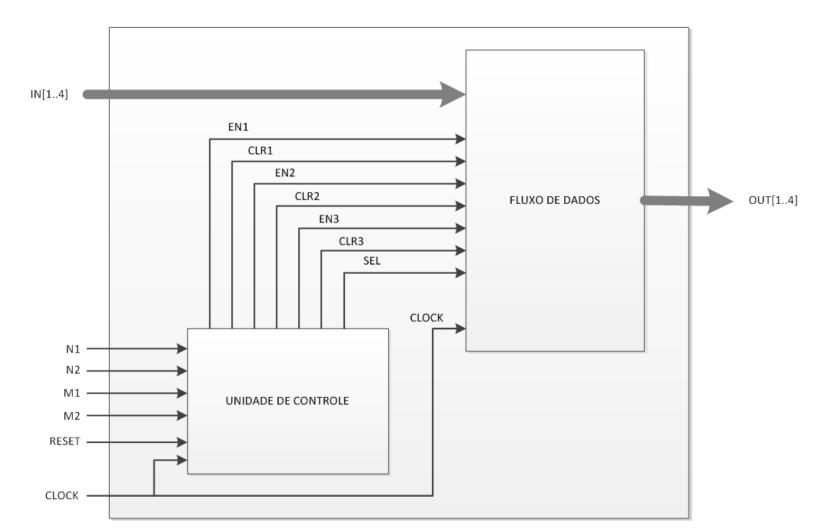


- IN[1..4] entrada de dados de quatro bits;
- N1 armazena primeiro valor de quatro bits presente na entrada IN;
- N2 armazena segundo valor de quatro bits presente na entrada IN;
- M1 apresenta na saída de dados OUT o primeiro valor armazenado;
- M2 apresenta na saída de dados OUT o segundo valor armazenado;
- OUT[1..4] saída de dados de quatro bits.

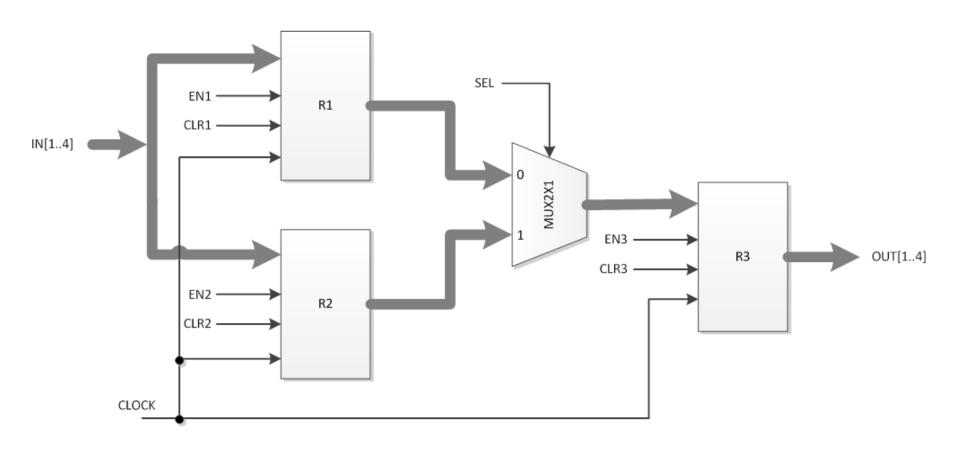
Carta de tempos



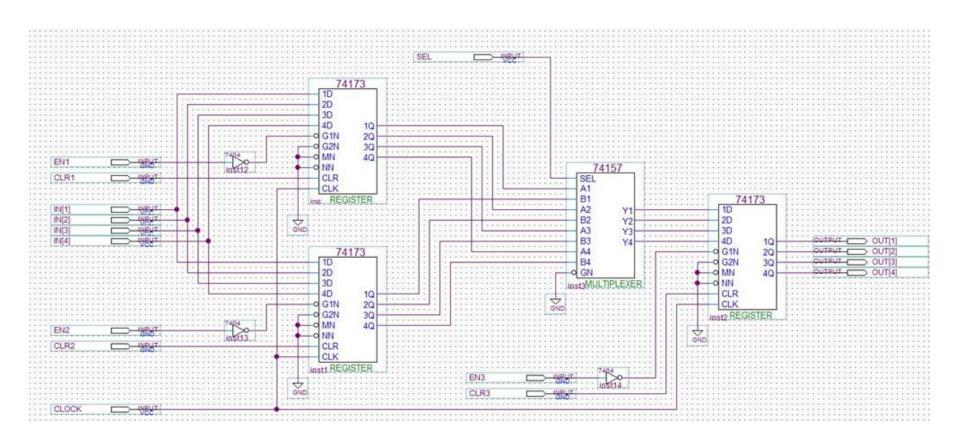
Particionamento do projeto em FD+UC



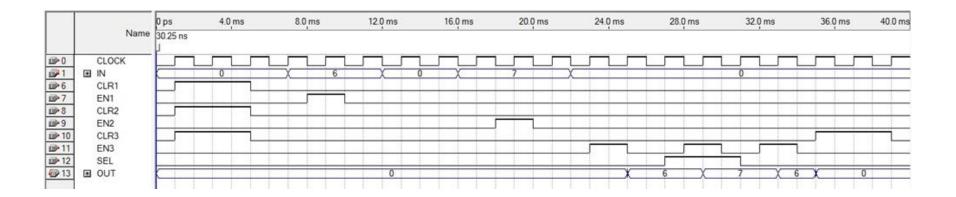
Fluxo de dados

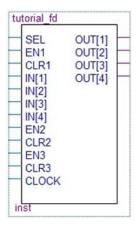


Implementação do Fluxo de dados



Simulação do Fluxo de dados



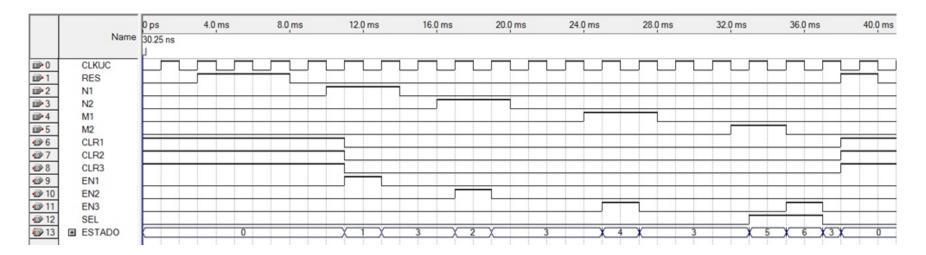


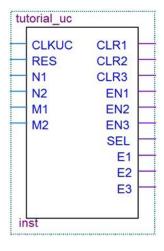
CLR1 CLR2 CLR3 Unidade de controle (diagrama ASM) 0 N1 EN1 EN2 0 N1 N2 M1 M2 EN1 SEL SEL EN3

- Implementação da UC em AHDL
 - Máquina de Moore.
 - Estados incluem sinais de saída e identificação do estado atual.
 - Transição de estados segue diagrama ASM.

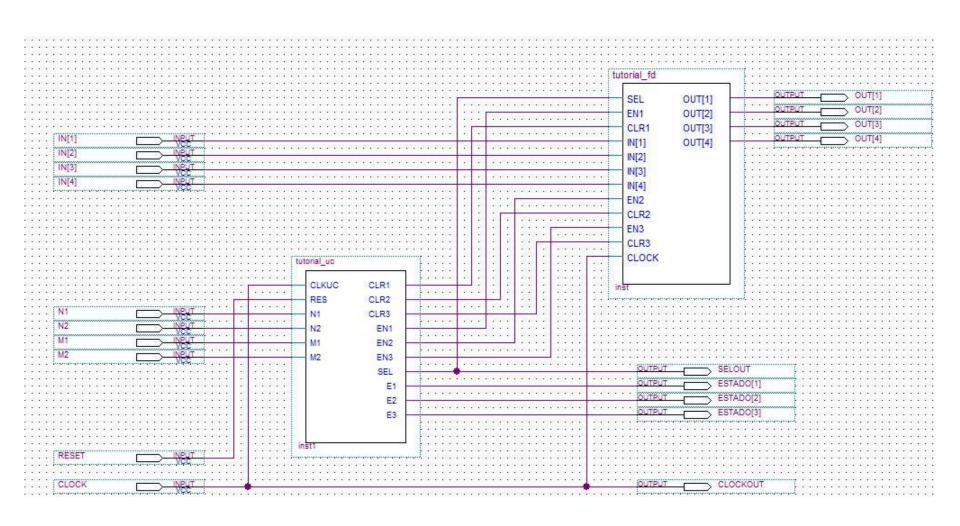
```
SUBDESIGN tutorial uc
  CLKUC: INPUT;
  RES: INPUT;
  N1, N2, M1, M2: INPUT;
  CLR1, CLR2, CLR3, EN1, EN2, EN3, SEL: OUTPUT;
  E1, E2, E3: OUTPUT;
VARIABLE
UC: MACHINE OF BITS (CLR1,CLR2,CLR3,EN1,EN2,EN3,SEL,E3,E2,E1
   % Estado
                 Saidas
   % atual
                 B*11100000000
  51 =
                 B*0001000001
  52 =
                 B*0000100010
  s3=
                 B*0000000011
                 B*0000010100
  55 =
                 B*0000001101
  56=
                 B*0000011110
  ) 2
BEGIN
  UC.CLK = CLKUC;
  UC.RESET = RES;
  TABLE
         Estado
                        Entradas
                                                           Proximo %
                                                           estado
          atual
                        N1,N2,M1,M2
                        0, 0, X, X
                                                           s0;
                        1, X, X, X
                                                           s1z
                        0, 1, X, X
                                                           521
                        X, X, X, X
                                                           s3;
                       X, X, X, X
                                                           s3;
                        0, 0, 0, 0
                        1, X, X, X
                                                           s1z
                                                           52;
                        0, 0, 1, X
                                             =>
                                                           541
                        0, 0, 0, 1
                                                           s5;
                       X, X, X, X
                                                           531
                       X, X, X, X
                                                           56,
                       x, x, x, x
  END TABLE;
END;
```

• Simulação da Unidade de Controle





• Sistema digital completo



- Implementação na placa DE2 (sugestão)
 - Designação de sinais
 - IN[0..3] → chaves SW0 a SW3
 - N1, N2, M1, M2 → botões KEY0 a KEY3
 - CLOCK → clock interno de 50 MHz
 - RESET → chave SW17
 - OUT[0..3] → leds verdes LEDG0 a LEDG3
 - ESTADO[1..3] → leds vermelhos LEDR0 a LEDR2

Os sinais do projeto são ativos em ALTO. Os botões do DE2 são ativos em BAIXO. O que fazer???