

Manual de Uso do Laboratório Remoto Baseado em FPGA Aplicado nas Disciplinas de Prática de Eletrônica Digital 1 e 2 da Faculdade UnB Gama

Autor: Rodrigo Bonifácio de Medeiros

Versão: 1.0

Esse manual detalha a maneira de uso do laboratório remoto para o kit Basys 3, é importante seguir todos os passos para não haver nenhum tipo de conflito na implementação do arquivo *bitstream* no FPGA.

- Faça seu projeto separado do laboratório remoto para verificação de eventuais erros e *warnings*;
- Baixe o arquivo '.zip' que se encontra no link: <https://gitlab.com/damuz/labremotofpga>;
- Assista ao vídeo tutorial para o exemplo do contador de 1 segundo;
- Adicione todos o arquivos '.vhd' baixados em um novo projeto no VIVADO, não importa a versão de uso;
- Adicione o arquivo de *constraints* '.xdc';
- Modifique apenas o arquivo 'user' de acordo com seu projeto, de maneira alguma modifique os outros componentes, incluindo o arquivo de *constraints* . Há o espaço para a declaração dos sinais e a lógica de usuário;
- A declaração na entidade já possui todos os elementos de uso para um projeto de PED 1 e PED 2 no FPGA (clock, *reset*, botões, chaves, LEDs, anodos, *display* de 7 segmentos e dp), caso não for usar algum desses componentes, não é necessário retirá-los. Observação: Na síntese aparecerão alguns *warnings* indicando que algum elemento não foi usado, porém pode ignorá-los;
- Faça a síntese, implementação e gere o arquivo *bitstream*. Não é permitido mudar o nome do arquivo '*top_wrapper.bit*', caso contrário o projeto não será implementado no FPGA;
- Na interface gráfica faça o *upload* do arquivo e aguarde a implementação;
- Após a implementação, o usuário terá o tempo limite de 10 minutos para o uso do laboratório remoto, não é permitido acessos múltiplos.
- Aparecerá uma tela com as 16 chaves, 5 botões disponíveis no kit Basys 3 (já incluído o *reset*) e a transmissão ao vivo da placa, com possíveis atrasos dependentes da conexão entre o usuário e o servidor;
- O botão de *download* baixa um arquivo 'data.txt' com a gravação por 10 segundos desde a implementação dos estados dos 8 LEDs menos significativos, 8 LEDs mais significativos, anodos e *display* de 7 segmentos, necessariamente nessa ordem. Exemplo:

00000000	0.005 (Estado: leds (7 down to 0) e seu respectivo tempo de gravação)
00001111	0.011 (Estado: leds (15 down to 8) e seu respectivo tempo de gravação)
00111111	0.029 (Estado: an&'1111' e seu respectivo tempo de gravação)
10000000	0.029 (Estado: dp&seg e seu respectivo tempo de gravação)

Após a escrita do ultimo estado, o ciclo se repete. O número de amostras está em torno de 3333.

- **IMPORTANTE:** Caso algum sinal de saída do FPGA possua frequência maior que 83 Hz, o arquivo 'data.txt' não terá resultados satisfatórios, apesar da transmissão *web* poder apresentar o projeto corretamente.

- Para a análise dos sinais de saída, execute o arquivo '*script.m*' do Matlab no mesmo diretório em que se encontra o '*data.txt*'. Será construído os gráficos dos estados, em decimal, dos LEDs mais e menos significativos e dos 4 *displays* de 7 segmentos em função do tempo. A análise dos gráficos não mostra o tempo correto da mudança dos estados, devido a atrasos de transmissão e de escrita no arquivo, porém detalha o comportamento do projeto em função do tempo. Observação: Nos gráficos dos *displays* de sete segmentos, o valor -1 significa desligado e -2 número não existente.