

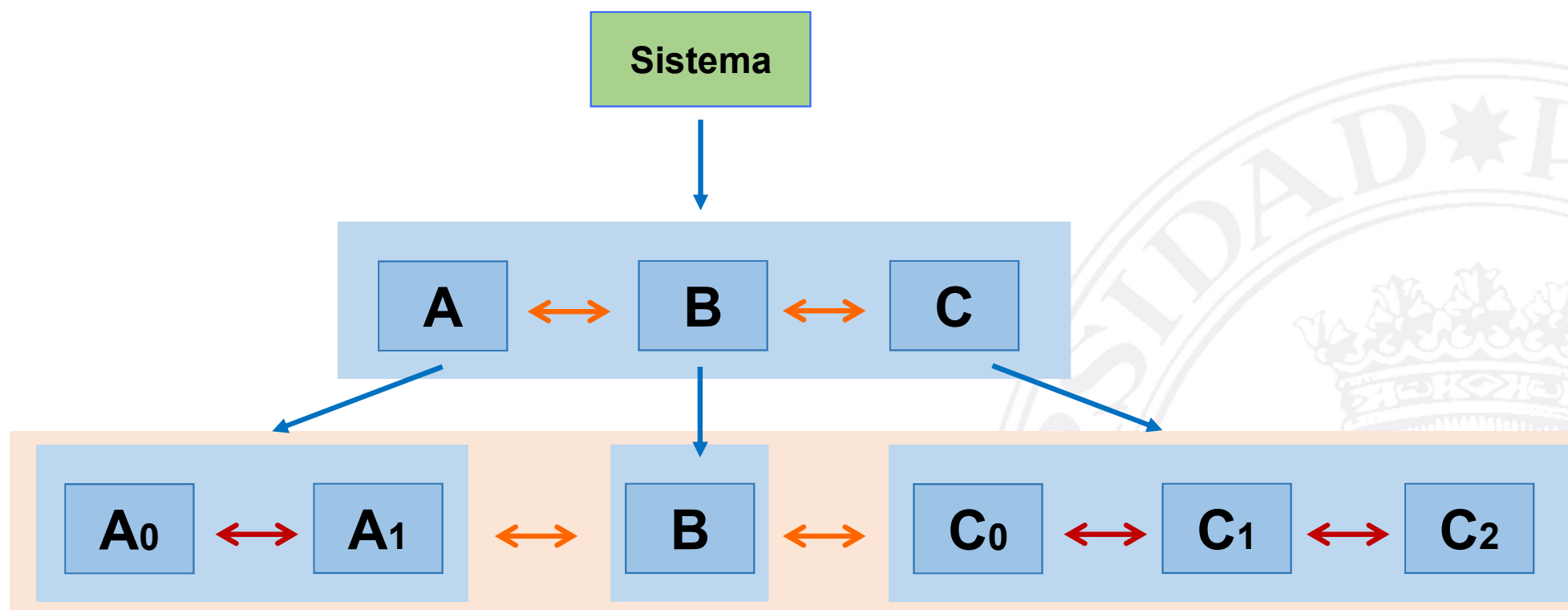
Diseño Digital I

Diseño Jerárquico



Diseño jerárquico

- El diseño de la jerarquía de un sistema consiste en la descripción de su arquitectura mediante capas o niveles de jerarquía

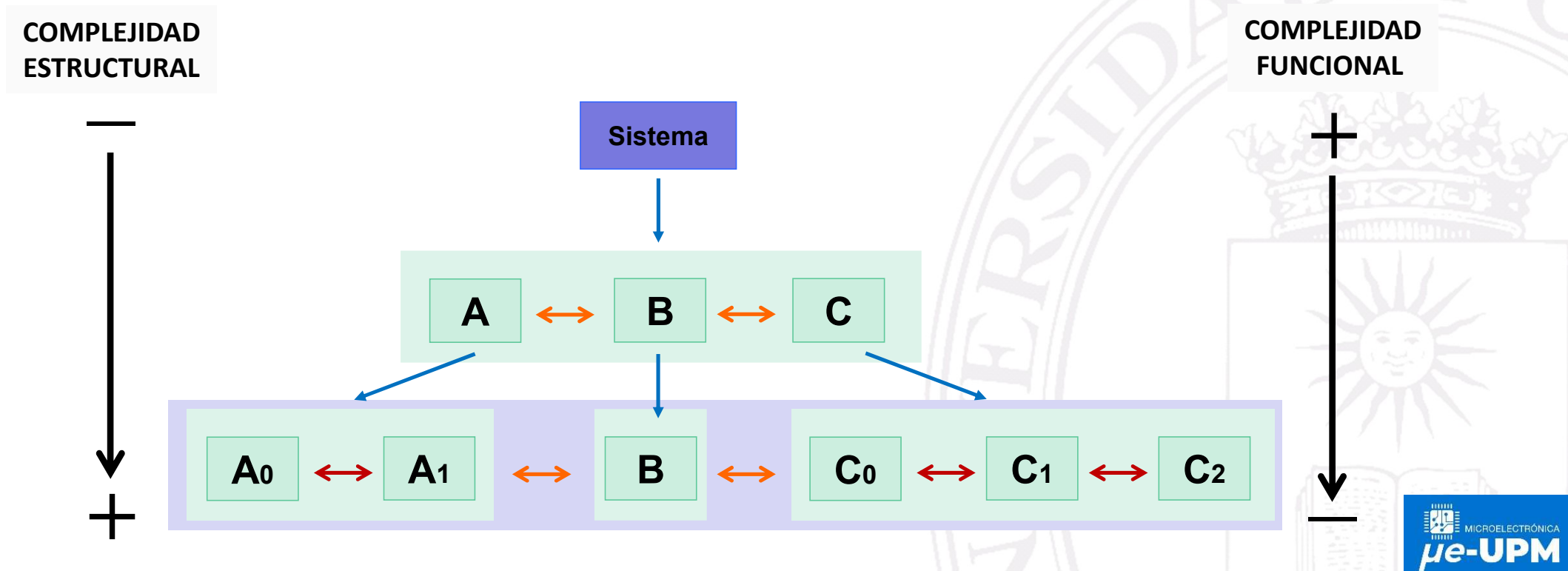


Descripción de la jerarquía

- Cada nivel de la jerarquía se describe como una estructura de módulos conectados
 - Mediante un **Diagrama de Bloques**
 - Mediante una **descripción estructural HDL**
- Para cada módulo que forma parte de un nivel de jerarquía debe estar definida:
 - **La interfaz**
 - Todos los puertos, indicando su nombre, direccionalidad y las características de la información que transfiere
 - **La función**
 - Con un grado de abstracción que depende del nivel de la jerarquía

Fin de la descomposición jerárquica

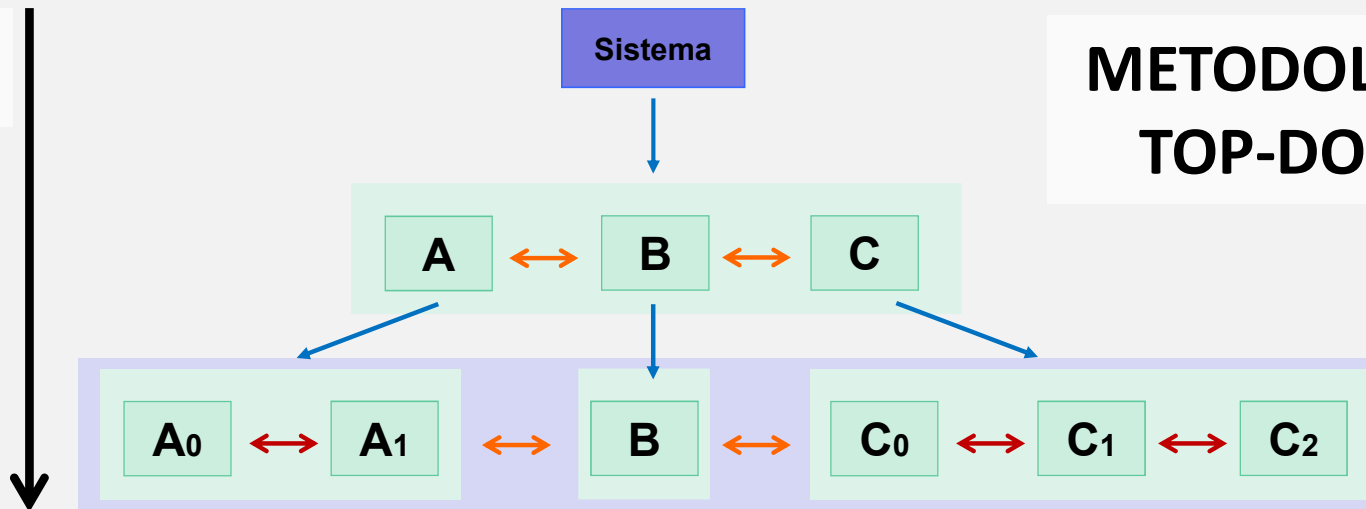
- A medida que se profundiza en los niveles de la jerarquía disminuye la complejidad de cada bloque...
... pero aumenta la complejidad de la estructura
- La descomposición del sistema cesa cuando la complejidad de los módulos del último nivel de la jerarquía permite que su realización sea abordable



Reconstrucción de la jerarquía

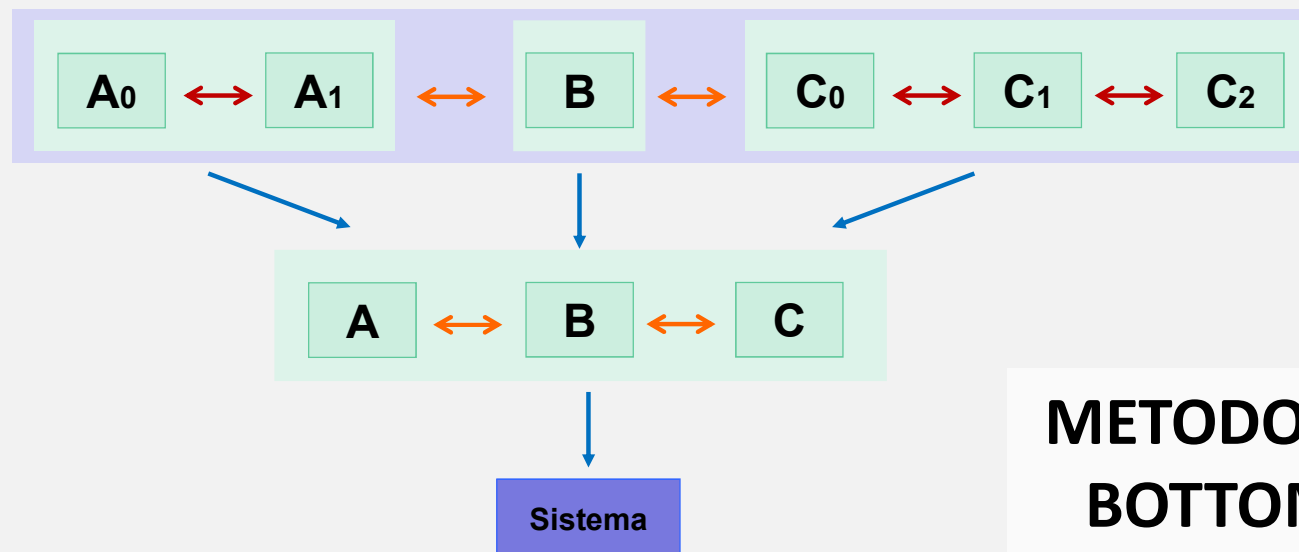
DISEÑO DE LA
JERÁRQUÍA

**METODOLOGÍA
TOP-DOWN**



RECONSTRUCCIÓN
DE LA
JERÁRQUÍA

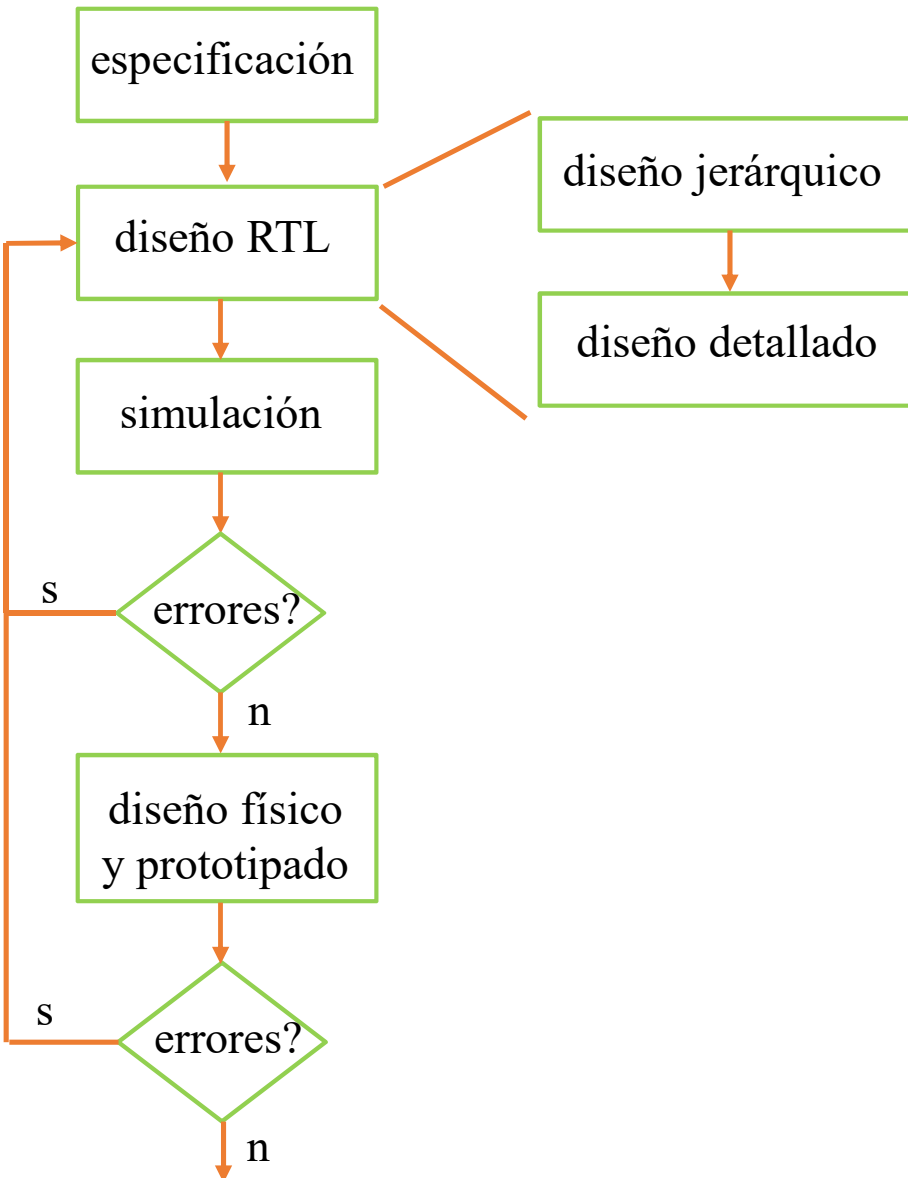
**METODOLOGÍA
BOTTOM-UP**



Ventajas del diseño jerárquico

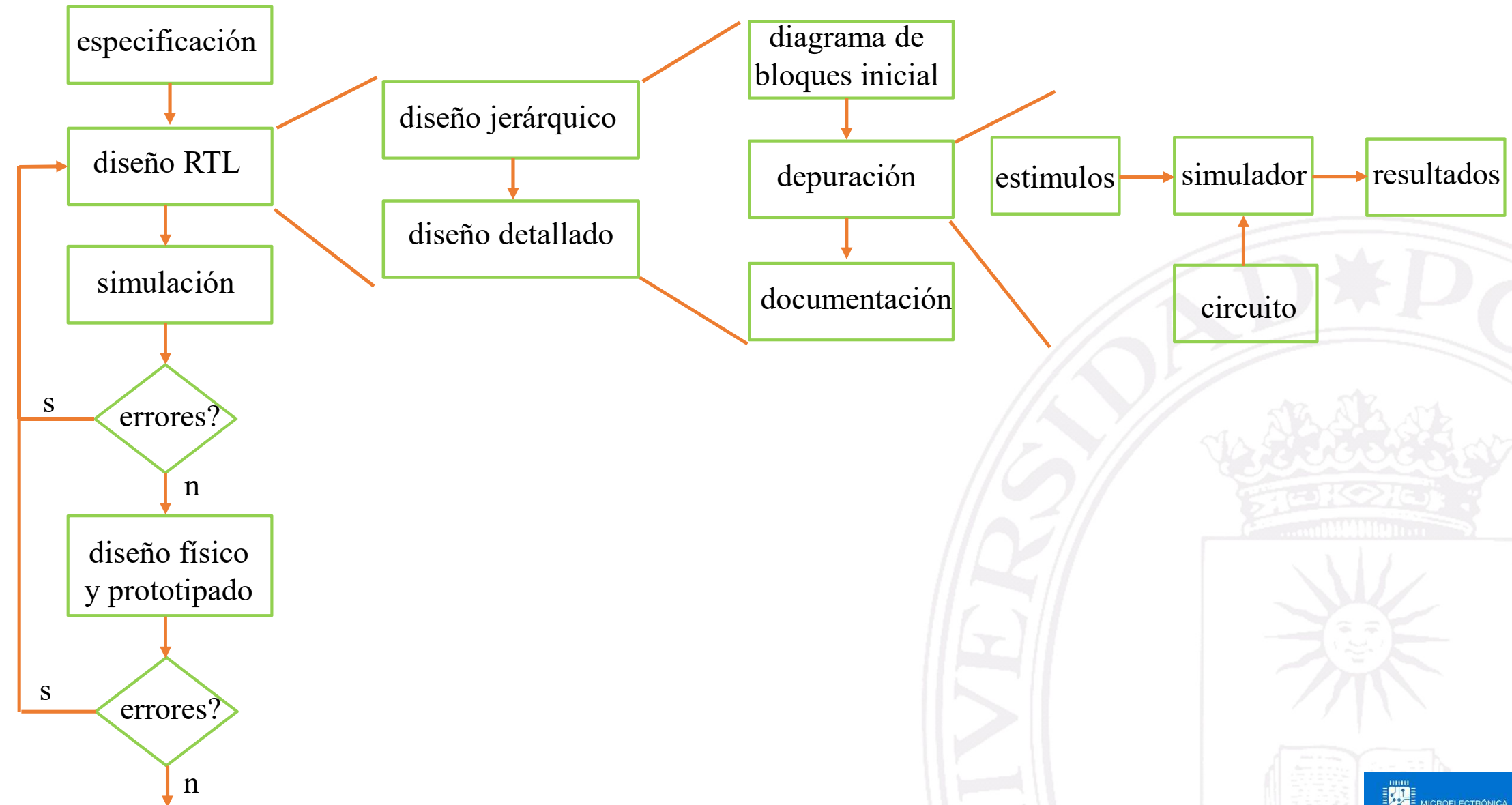
- **Independencia** entre módulos
 - Cada módulo puede ser diseñado y verificado de modo independiente
 - Facilita la cooperación entre los ingenieros que participan en el desarrollo del sistema
- **Estructuración** del sistema
 - Facilita las tareas de depuración, modificación y mantenimiento
 - Facilita la comprensión de su funcionamiento
- **Conocimiento** detallado de la **estructura** del sistema, junto con el de la **complejidad** de los módulos que lo componen
 - Simplifica la evaluación del esfuerzo de desarrollo y depuración del sistema
 - Facilita el reparto y organización de las tareas de ingeniería.

Flujo de diseño (I)



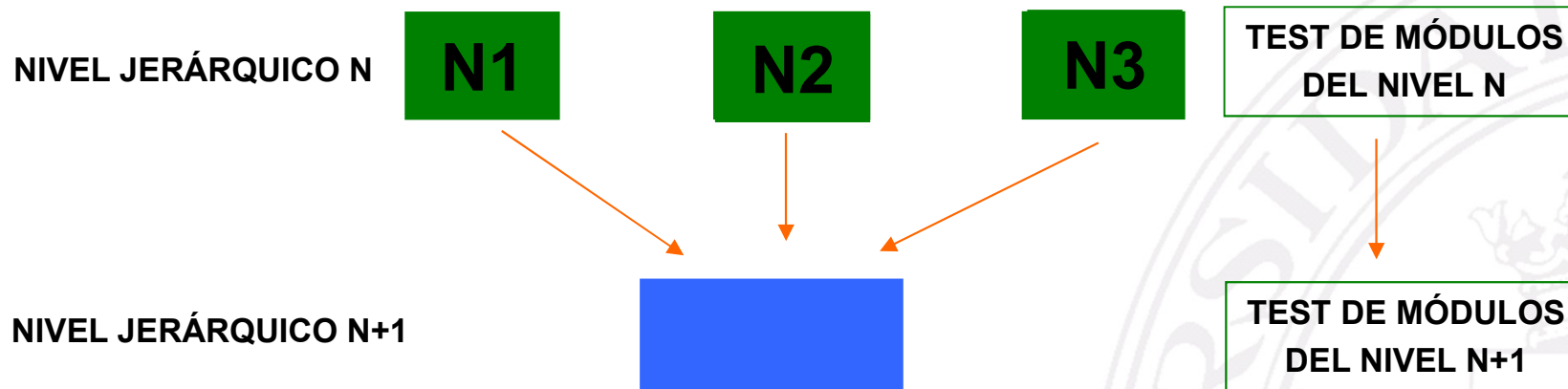
- Número de niveles de jerarquía
 - Minimizar (complejidad estructural)
 - Depende de los diseñadores y la metodología de diseño
- Número de bloques en cada nivel
 - Al menos dos 😊
 - Bloques de cierta entidad (evitar atomización)
- Reparto completo y sin duplicidades
- Mantener coherencia funcional
 - Minimizando las interconexiones
- Algunas particiones típicas
 - Circuitos asociados a interfaces
 - Circuitos de temporización
 - Ruta de datos y control
 - IPs
- Minimizar los errores en esta fase del diseño

Flujo de diseño (II)



Verificación del diseño jerárquico (I)

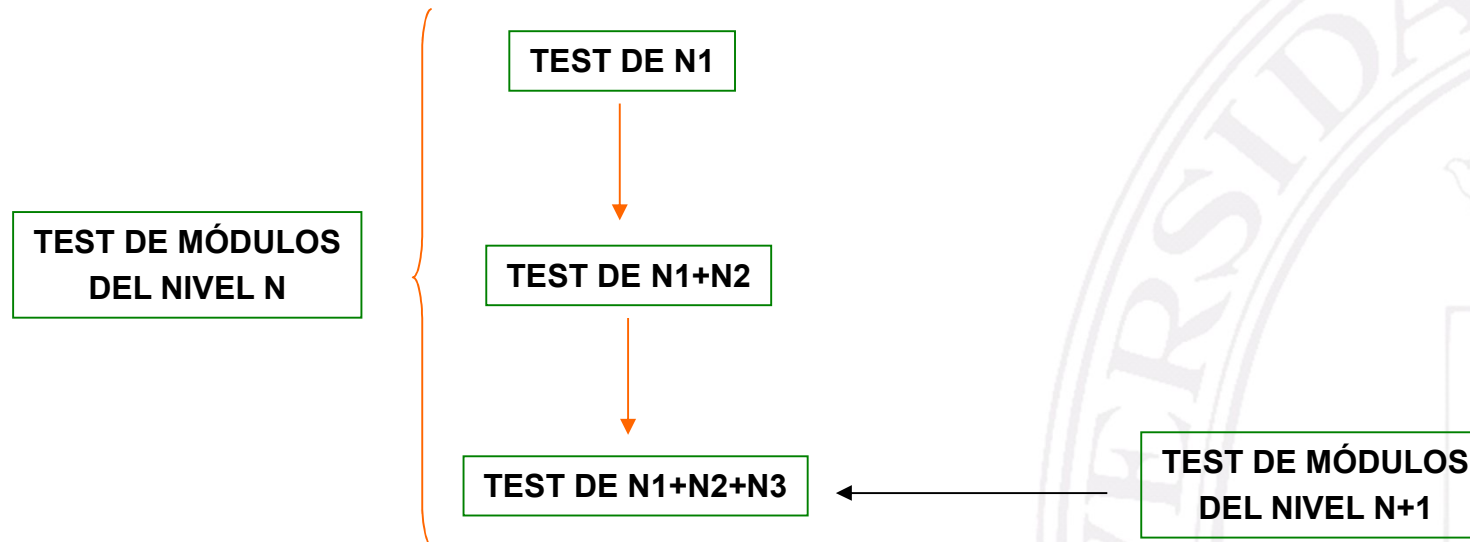
- Verificación jerárquica
 - conjunto de pruebas que verifican el funcionamiento de los niveles de jerarquía del en sentido ascendente
 - cada nivel de la jerarquía se prueba cuando se han verificado todos sus módulos



- Los errores en el funcionamiento de un módulo pueden pasar desapercibidos –y en cualquier caso, ser más difíciles de detectar y analizar- cuando el módulo se verifica una vez integrado en una estructura más compleja

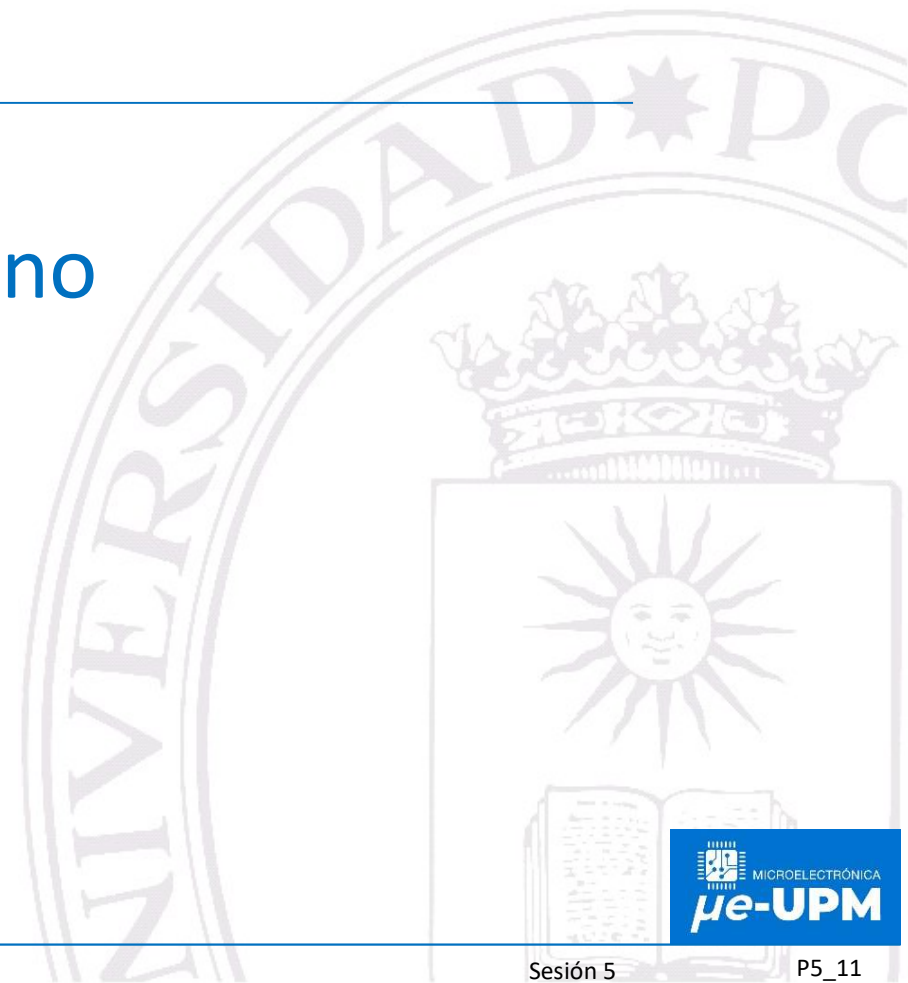
Verificación del diseño jerárquico (II)

- El plan de pruebas para cada nivel de jerarquía puede ser gradual
 - integrando los módulos uno a uno
 - en ocasiones facilita el diseño del Test



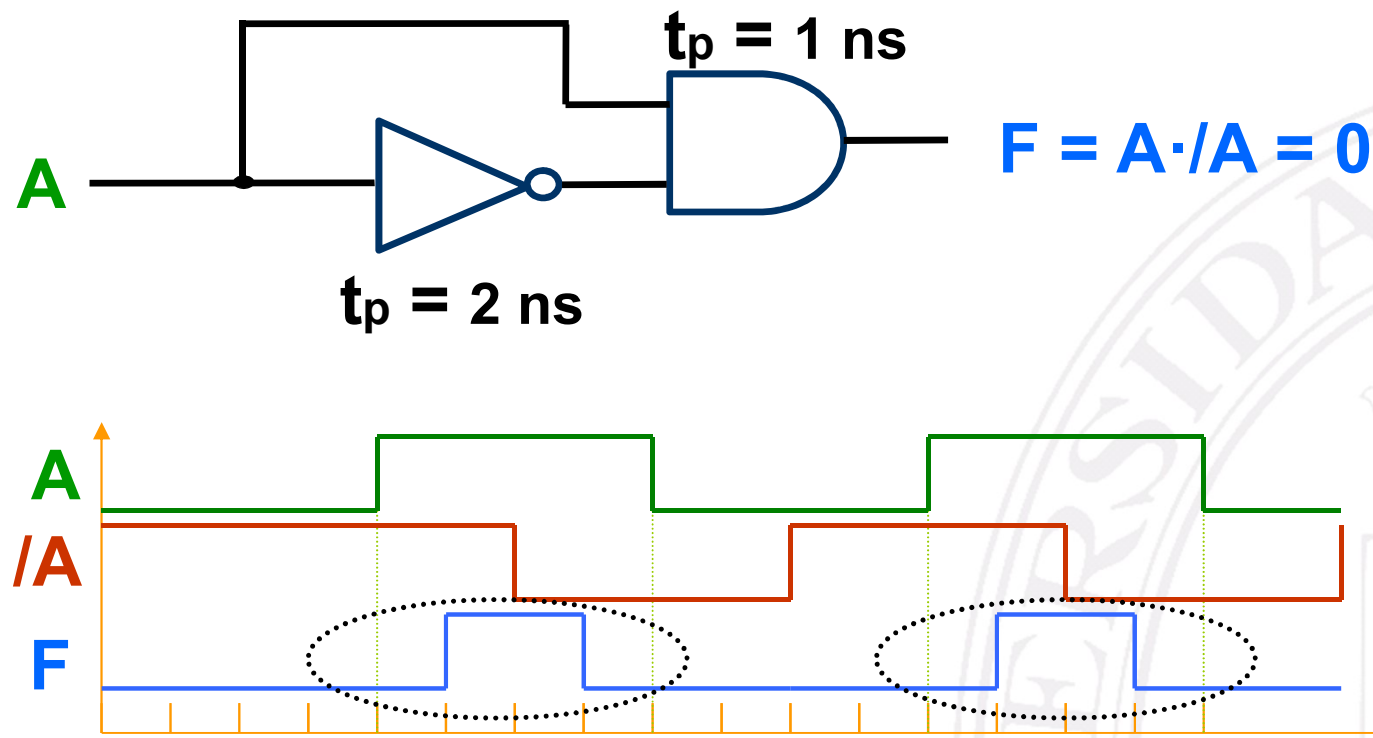
Diseño Digital I

Diseño Síncrono



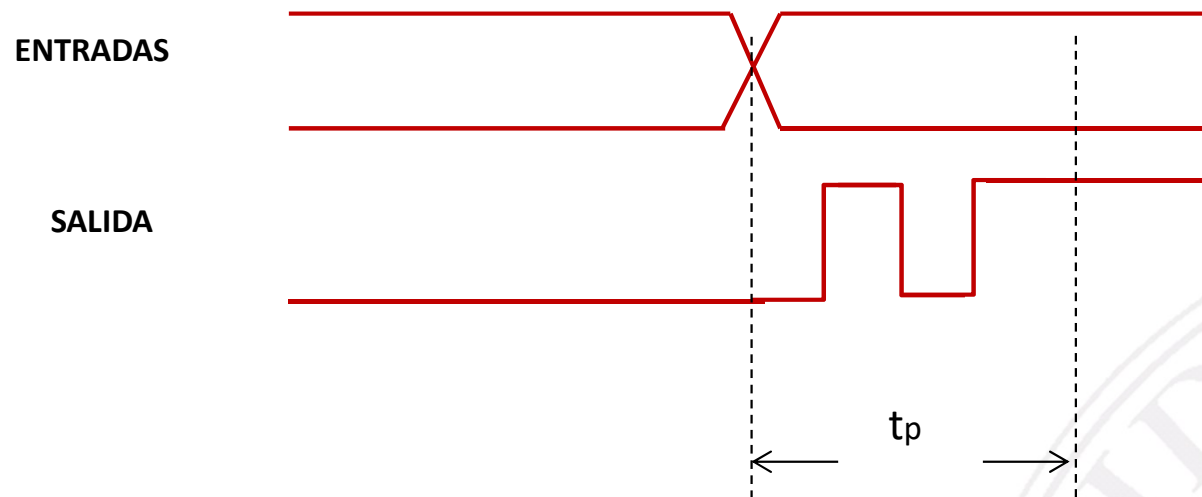
Conmutación de las salidas combinacionales

- En los circuitos combinacionales pueden darse valores transitorios anómalos en las salidas (**glitches**), debidos a la existencia de retardos en los dispositivos



Duración de los glitches

- Régimen transitorio (si el combinacional no está realimentado)

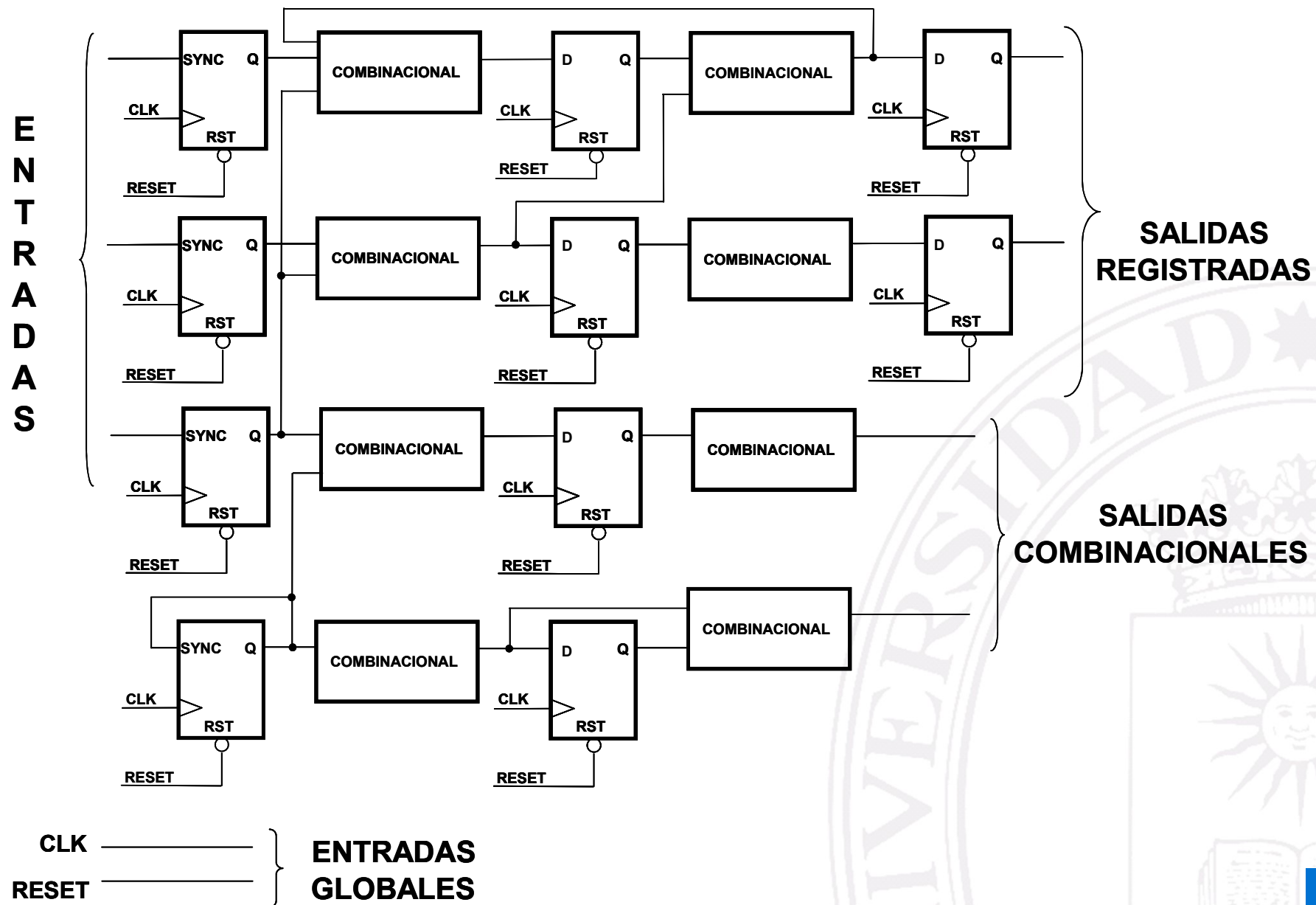


- Los glitches condicionan la estructura de los circuitos digitales.

Soluciones de diseño

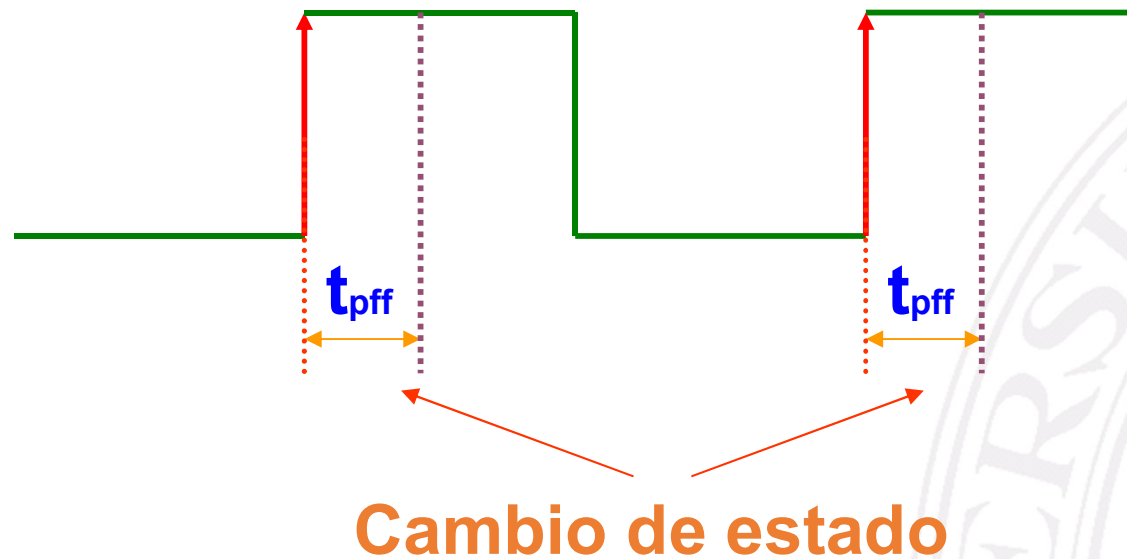
- Modificar la estructura del combinacional para compensar los retardos e intentar eliminar los ***glitches***.
 - No es práctico si el circuito combinacional es complejo
 - Implica un coste hardware adicional para la realización del circuito
- No eliminarlos, pero sí evitar que puedan afectar al correcto funcionamiento del circuito estableciendo unas reglas básicas (**diseño síncrono**):
 - No usar la salida de un combinacional como señal de reloj o de reset asíncrono de flip-flops
 - No usar circuitos combinacionales realimentados (*latches*).
 - Registrar con *flip-flops* las salidas combinacionales cuando sus niveles son estables –cuando ha transcurrido un tiempo mayor que el de propagación del circuito desde el último cambio en sus entradas.

Arquitectura de los circuitos digitales síncronos



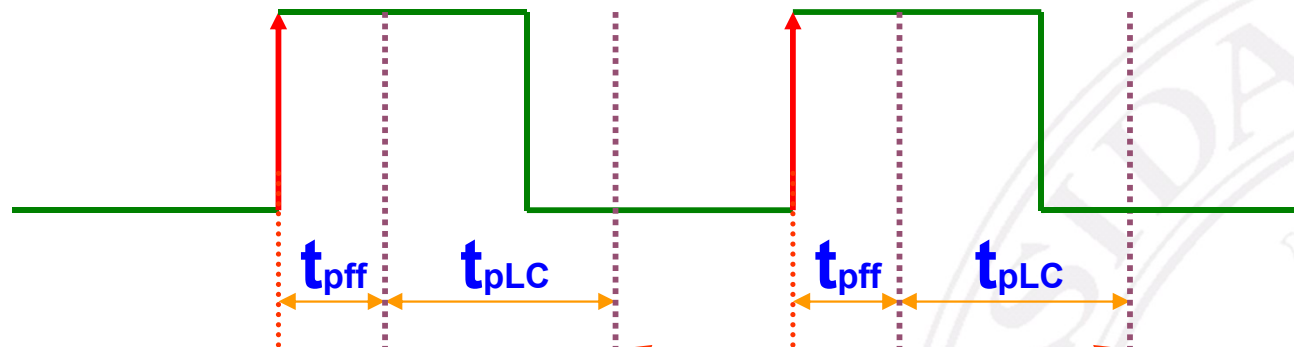
Circuitos Digitales Síncronos: Frecuencia máxima de reloj (I)

- Entradas de los circuitos combinacionales registradas -> sólo pueden cambiar en los flancos activos de reloj



Circuitos Digitales Síncronos: Frecuencia máxima de reloj (II)

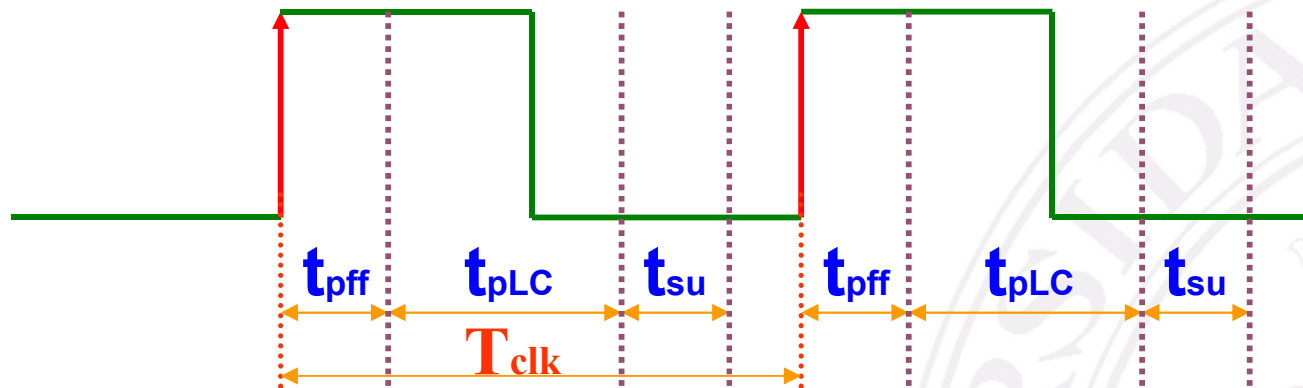
- Fin del régimen transitorio de todos los combinacionales



Fin del Régimen Transitorio

Circuitos Digitales Síncronos: Frecuencia máxima de reloj (III)

- Las salidas de los combinacionales deben respetar el tiempo de set-up de los flip-flops



Por tanto: $T_{clk} > t_{pff} + t_{pLC} + t_{su}$

Circuitos Digitales Síncronos: Frecuencia máxima de reloj (IV)

- La frecuencia máxima de reloj en un circuito secuencial síncrono:

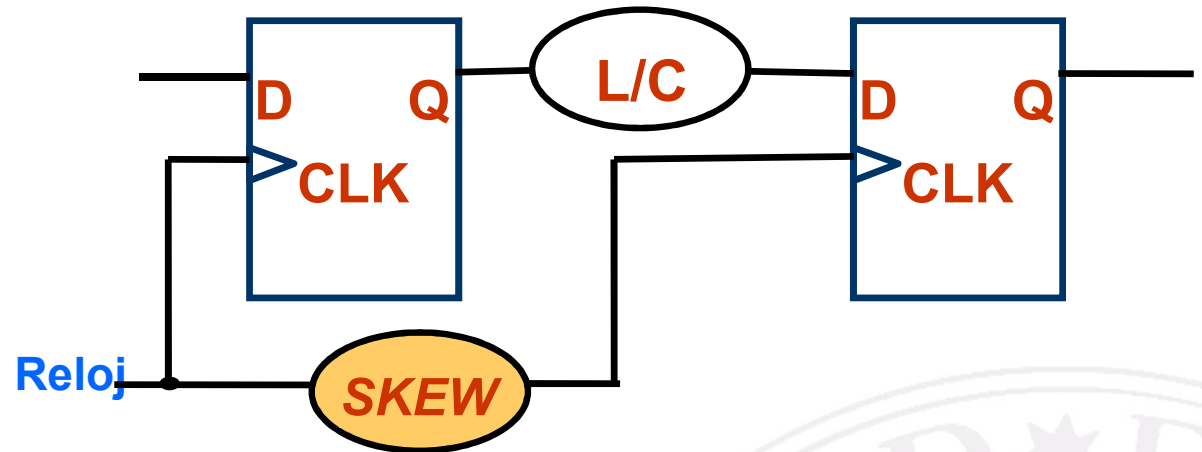
$$f_{clk \max} = \frac{1}{t_{pff \max} + t_{pLC \max} + t_{su \min}}$$

Circuitos Digitales Síncronos: Condiciones de funcionamiento

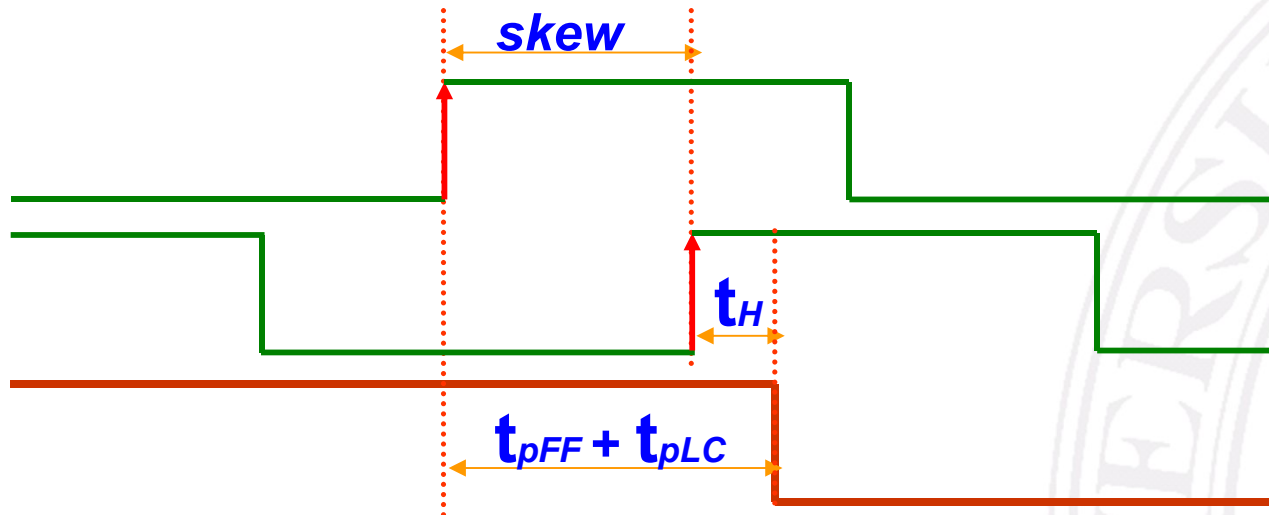
- Si $f < f_{max}$ el circuito funcionará correctamente si:
 - *flip-flops* activos en el mismo tipo de flanco
 - El reloj llega de manera simultánea
 - Durante la operación normal del sistema no se activan las entradas asíncronas de los *flip-flops*.
 - No existe lógica combinacional realimentada
 - Todas las entradas de los combinacionales están registradas. También las externas al sistema

Circuitos Digitales Síncronos: *skew*

Modelo general:



Análisis:



$$skew < t_{pFF \text{ min}} + t_{pLC \text{ min}} - t_{H \text{ min}}$$

Circuitos Digitales Síncronos: Frecuencia máxima de reloj con skew

- La frecuencia máxima de reloj en un circuito secuencial síncrono:

$$f_{clk \max} = \frac{1}{t_{pff \max} + t_{pLC \max} + t_{su} + t_{skew \max}}$$

Diseño Síncrono: Reglas de diseño

Sobre la señal de reloj

- Reloj único y común para todos los *flip-flops* del circuito
 - Llegada *simultánea* a las entradas de todos los *flip-flops*
 - Se usa solo para el control del funcionamiento síncrono de los *flip-flops*

Sobre la señal de reset

- Las entradas asíncronas de los flip-flops sólo pueden ser activadas por el reset global y nunca durante la operación normal del sistema

Sobre los circuitos combinacionales

- Entradas conectadas a salidas de flip-flops gobernados por la señal de reloj
- Salidas conectadas a entradas combinacionales, a entradas síncronas de flip-flops, o pueden ser salidas del circuito síncrono

Sobre los circuitos secuenciales

- Entradas conectadas a salidas de flip-flops o a salidas de combinacionales

Otras reglas

- Las entradas externas deben sincronizarse con el reloj del sistema
- Está prohibido utilizar *latches*.

Diseño Síncrono: Infracciones comunes y malas prácticas

Latches

- Errores en el modelado HDL de combinacionales
 - Revisar informes de síntesis
- Autómatas de Mealy en sistemas complejos
 - Revisar informes de síntesis
 - Realizar autómatas de Mealy con salidas registradas

Entradas

- Sincronización de entradas
 - Revisión manual
 - Revisar informes de análisis de tiempos
 - Herramientas de CDC (*Cross Domain Checking*)

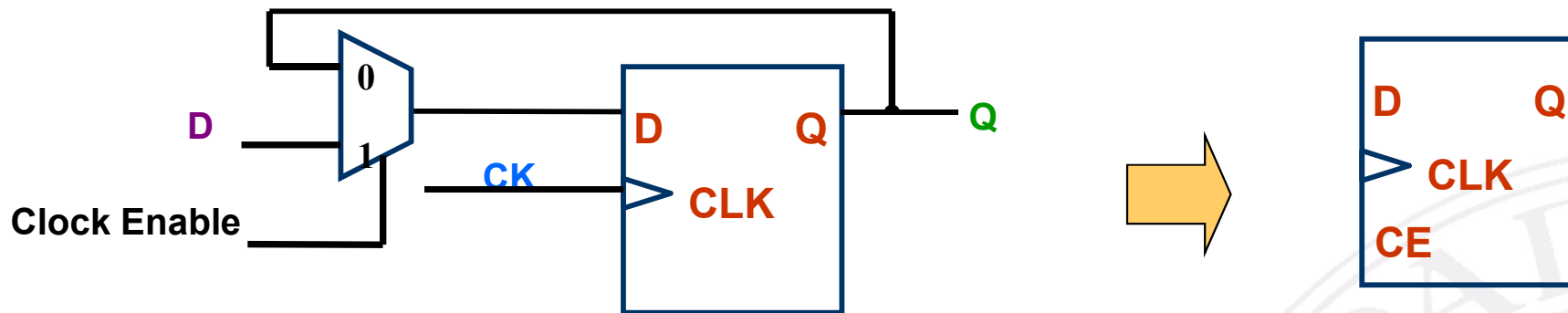
Combinacionales

- Registro innecesario de salidas de combinacionales (nodos internos)
 - Las salidas pueden conectarse directamente a entradas de otros combinacionales
 - Registro indicado solo en segmentación
- Registro innecesario de salidas de combinacionales (salidas del sistema)
 - Solo deben registrarse si es necesario eliminar *glitches*

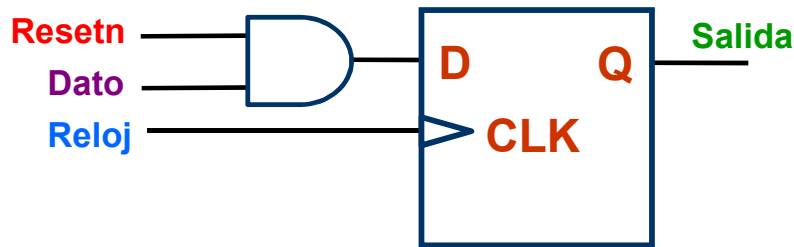
Diseño Síncrono: Soluciones de diseño.

Habilitación e inicialización síncronas

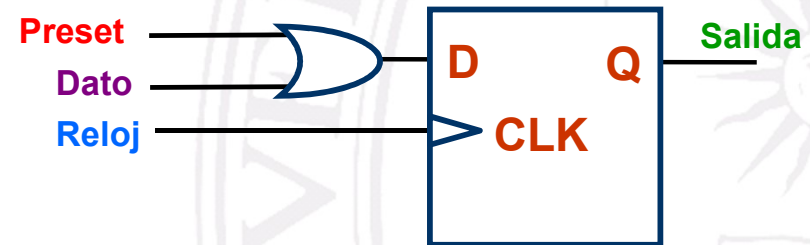
- Si no debe actuar en todos los ciclos, utilizar *flip-flops* con habilitación de reloj (*clock-enable*).



- Para inicializar un *flip-flop* durante el funcionamiento del circuito no pueden utilizarse sus entradas *clear* o *preset* asíncronas.



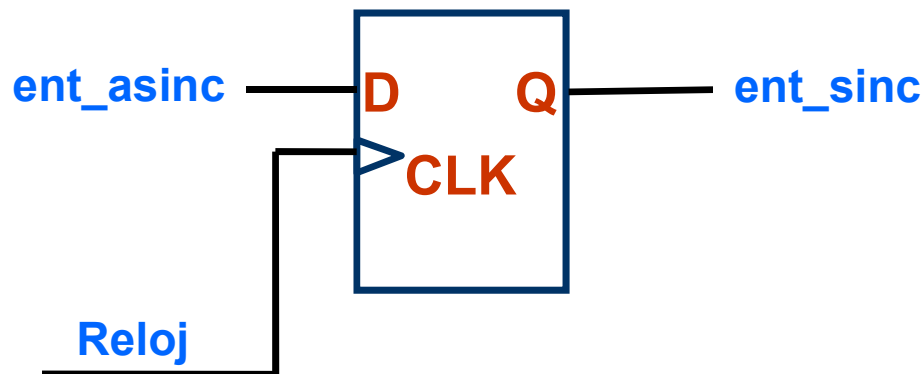
Flip-flop D con Reset síncrono



Flip-flop D con Preset síncrono

Síncronización de entradas no síncronas

- La sincronización consiste en registrar la entrada en un *flip-flop* conectado al reloj del circuito. Durante esta operación puede ocurrir que se violen los tiempos de **set-up** o de **hold** del *flip-flop*.

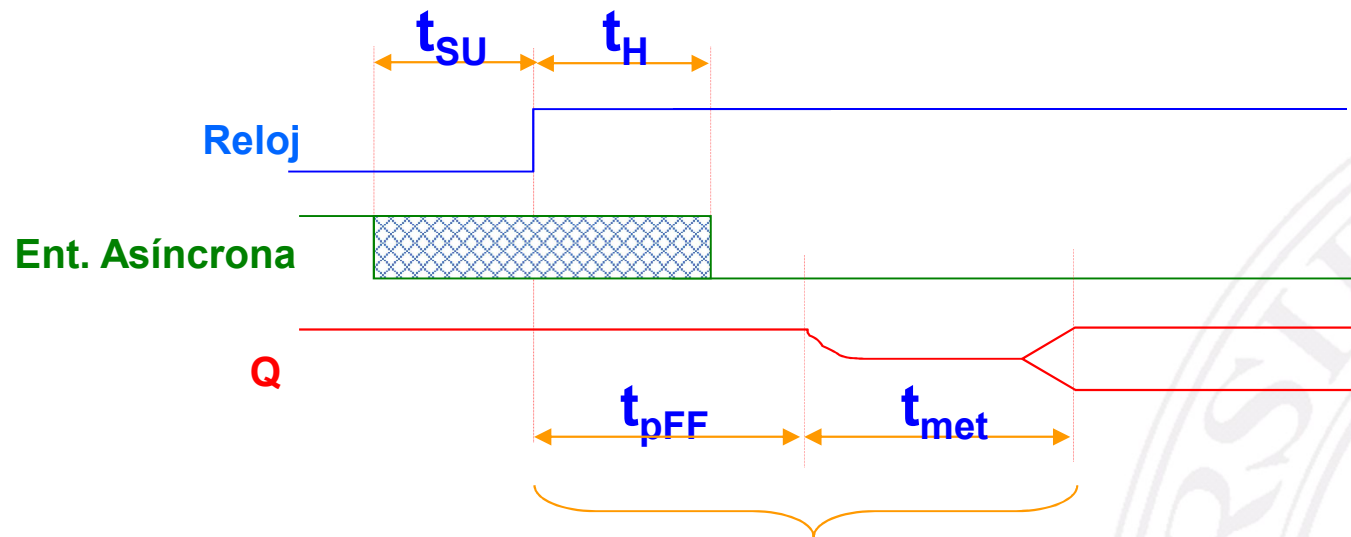


- Como consecuencia, el *flip-flop* puede registrar o no el evento de entrada o, lo que es peor, entrar en un estado **metaestable**.

Soluciones de diseño: sincronización de entradas

Sincronización de entradas asíncronas. Metaestabilidad

- Violación de *set-up* o *hold*



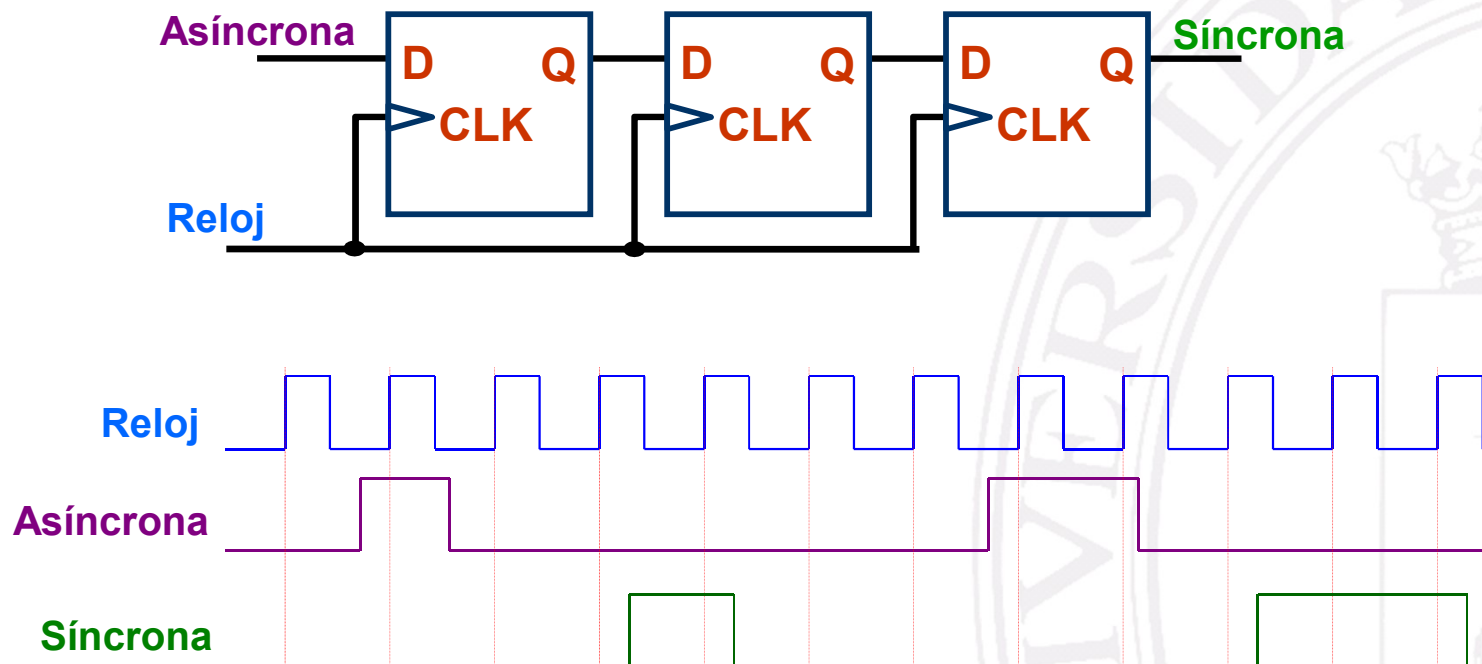
Aumento del tiempo de propagación

Sincronización de entradas asíncronas. Metaestabilidad

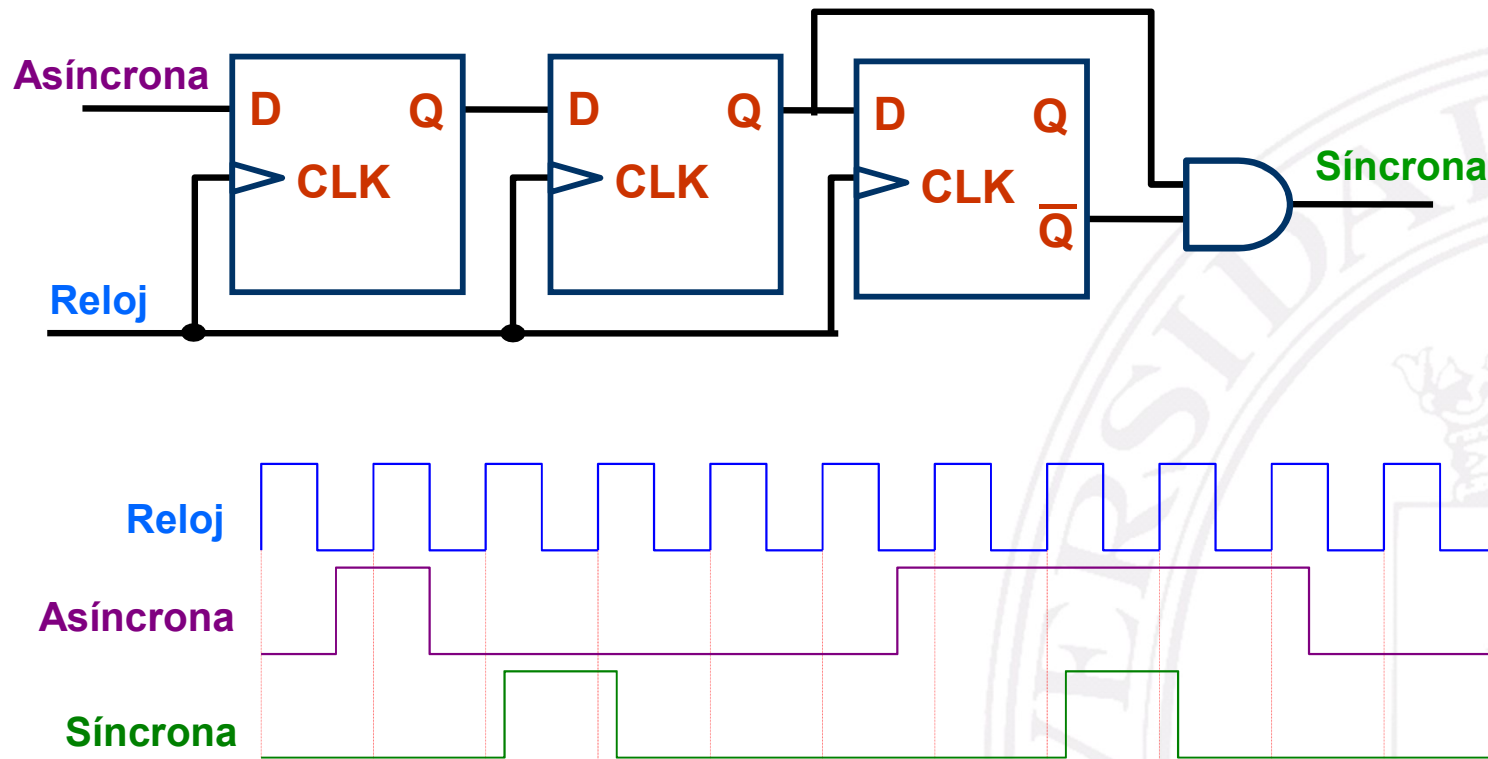
- Probabilidad de que un *flip-flop* entre en estado metaestable:
 - $MTBF = f(PVT, fclk, input_rate)$
 - El tiempo de permanencia en dicho estado también es aleatorio
- Generalmente los flip-flops pasan rápidamente a un estado estable pero...
- ...si la salida del *flip-flop* es muestreada en el estado metaestable, se propagará un valor indefinido a la lógica a la que esté conectado.

Síncronización de entradas asíncronas. *Flip-flops de guarda*

- Uno o más *flip-flops* en serie con el de sincronización
 - tiempo para que desaparezca la metaestabilidad antes de usar la señal en el circuito 😊
 - aumenta el tiempo de respuesta del sistema 😞

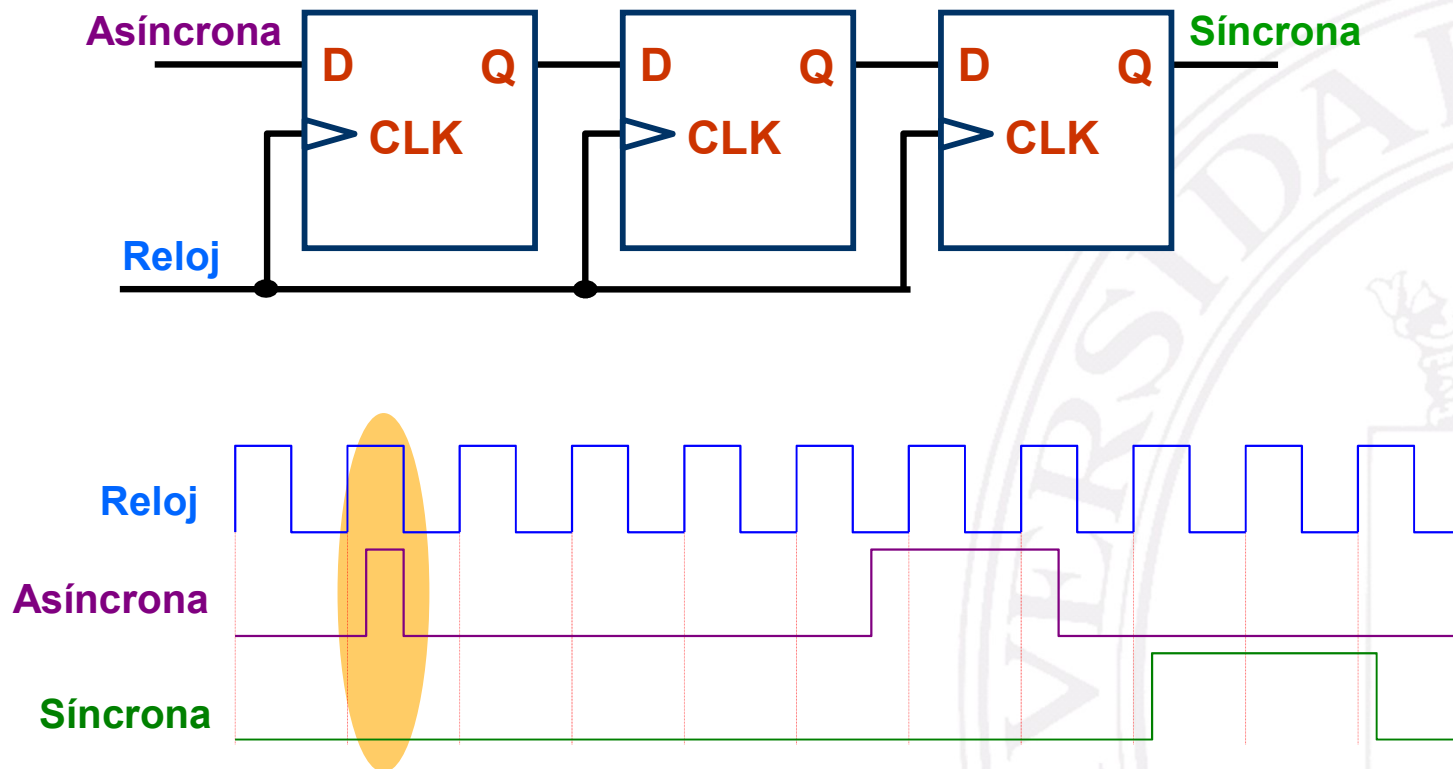


Sincronización de entradas asíncronas. Conformación de pulsos



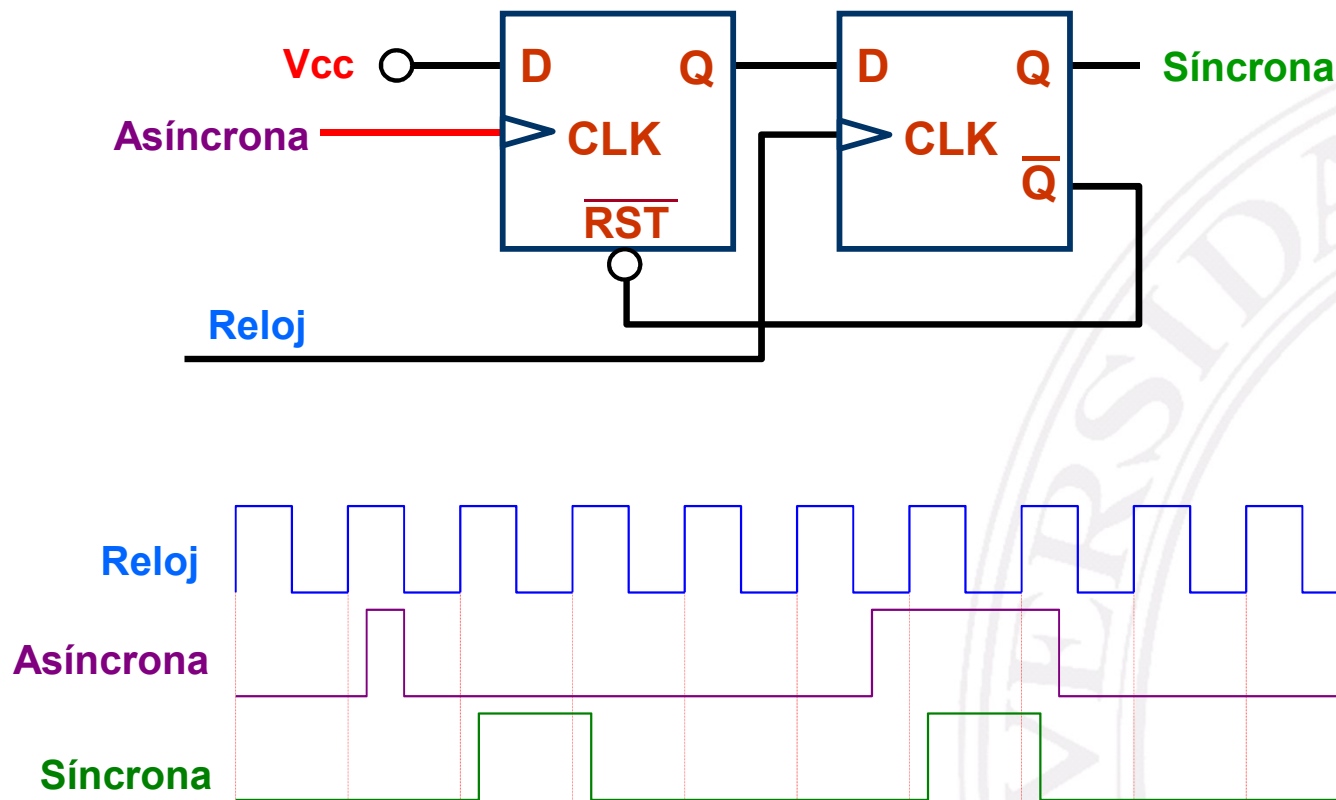
Síncronización de entradas asíncronas. Conformación de pulsos

- Pulsos menores que un período de reloj



Sincronización de entradas asíncronas. Conformación de pulsos

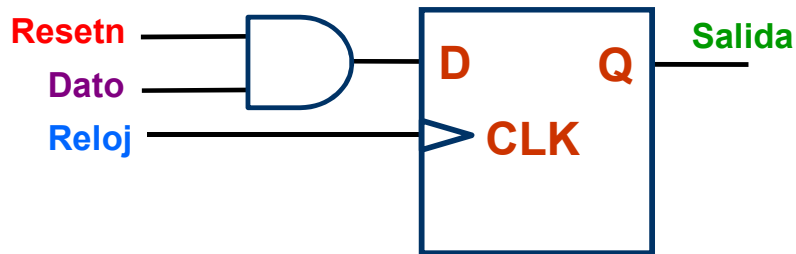
- Pulsos menores que un período de reloj



Diseño Síncrono: Soluciones de diseño. Reset (I)

Reset síncrono

- Reset síncrono global

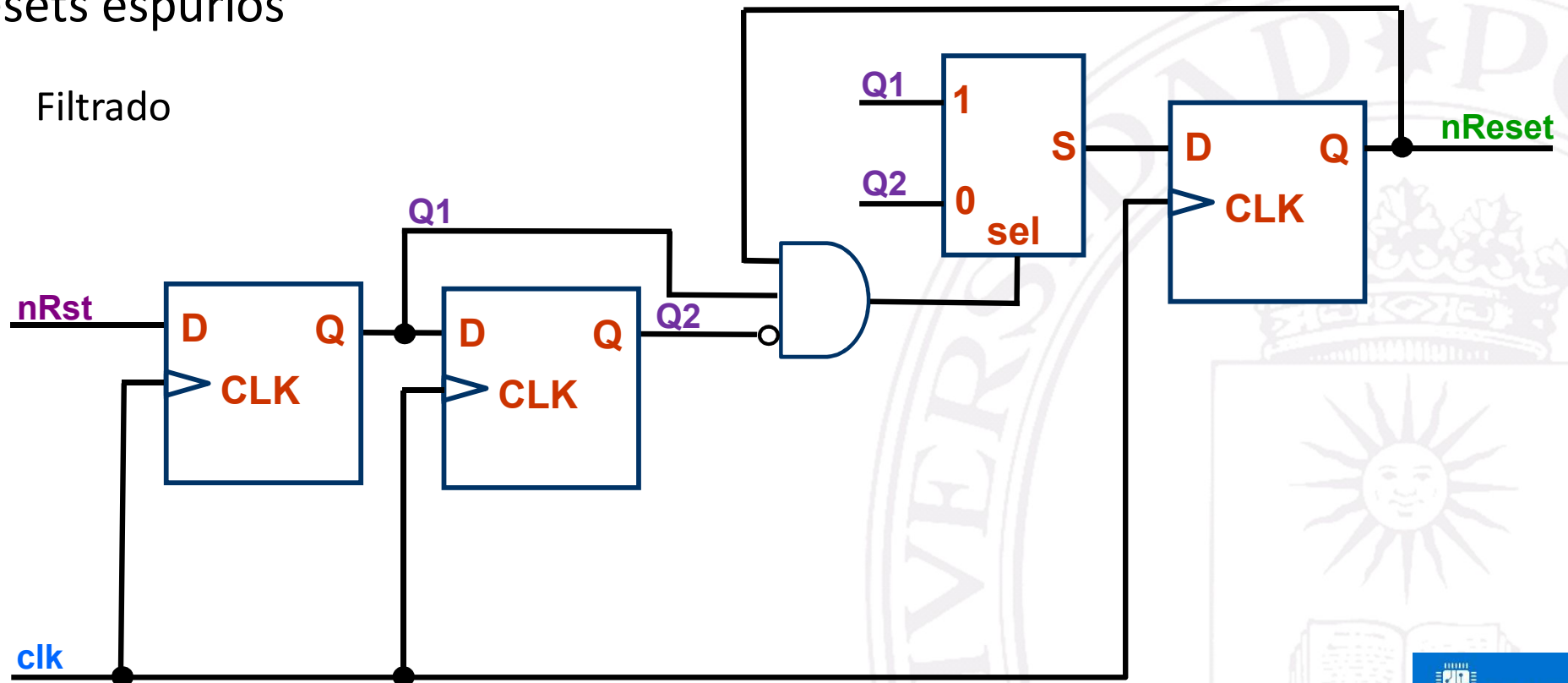


- Ventajas:
 - Diseño completamente síncrono
- Inconvenientes:
 - Consume recursos
 - Introduce retardos adicionales
 - Para que se produzca el reset tiene que haber reloj

Diseño Síncrono: Soluciones de diseño. Reset (II)

Glitches en la línea de reset

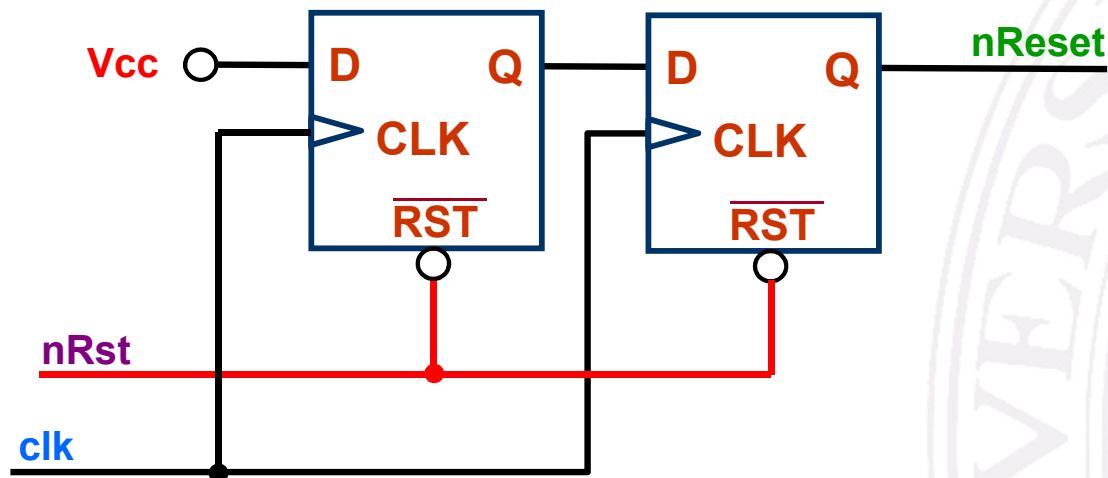
- Violaciones de tiempos/metaestabilidad
 - Se tratan igual que en cualquier otra entrada síncrona
- Resets espurios
 - Filtrado



Diseño Síncrono: Soluciones de diseño. Reset (III)

Reset asíncrono

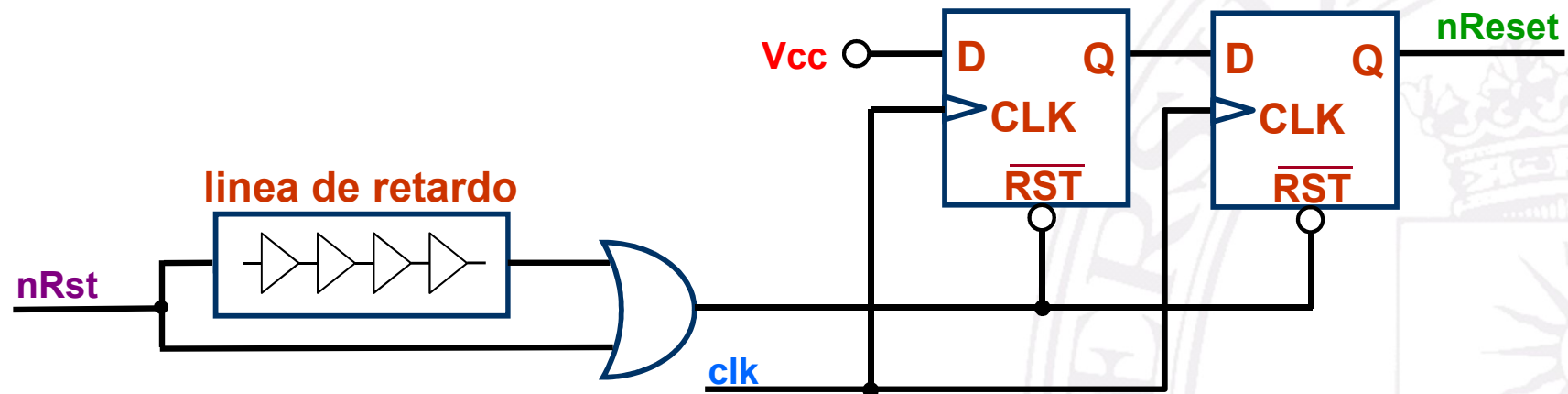
- Ventajas:
 - Menos recursos
 - No requiere reloj para que se produzca el reset
- Inconvenientes:
 - Es asíncrono ☺ (removal & recovery time)
- Activación asíncrona, desactivación síncrona



Diseño Síncrono: Soluciones de diseño. Reset (IV)

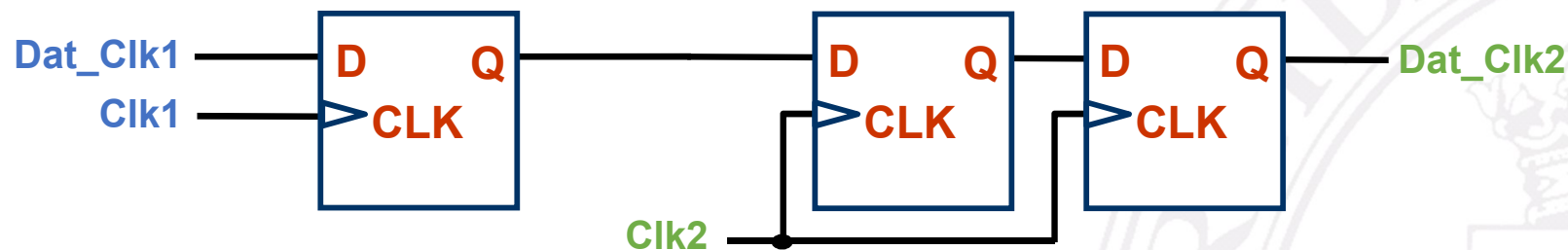
Glitches en la línea de reset

- Resets espurios
 - Filtrado



Cruce de dominios de reloj

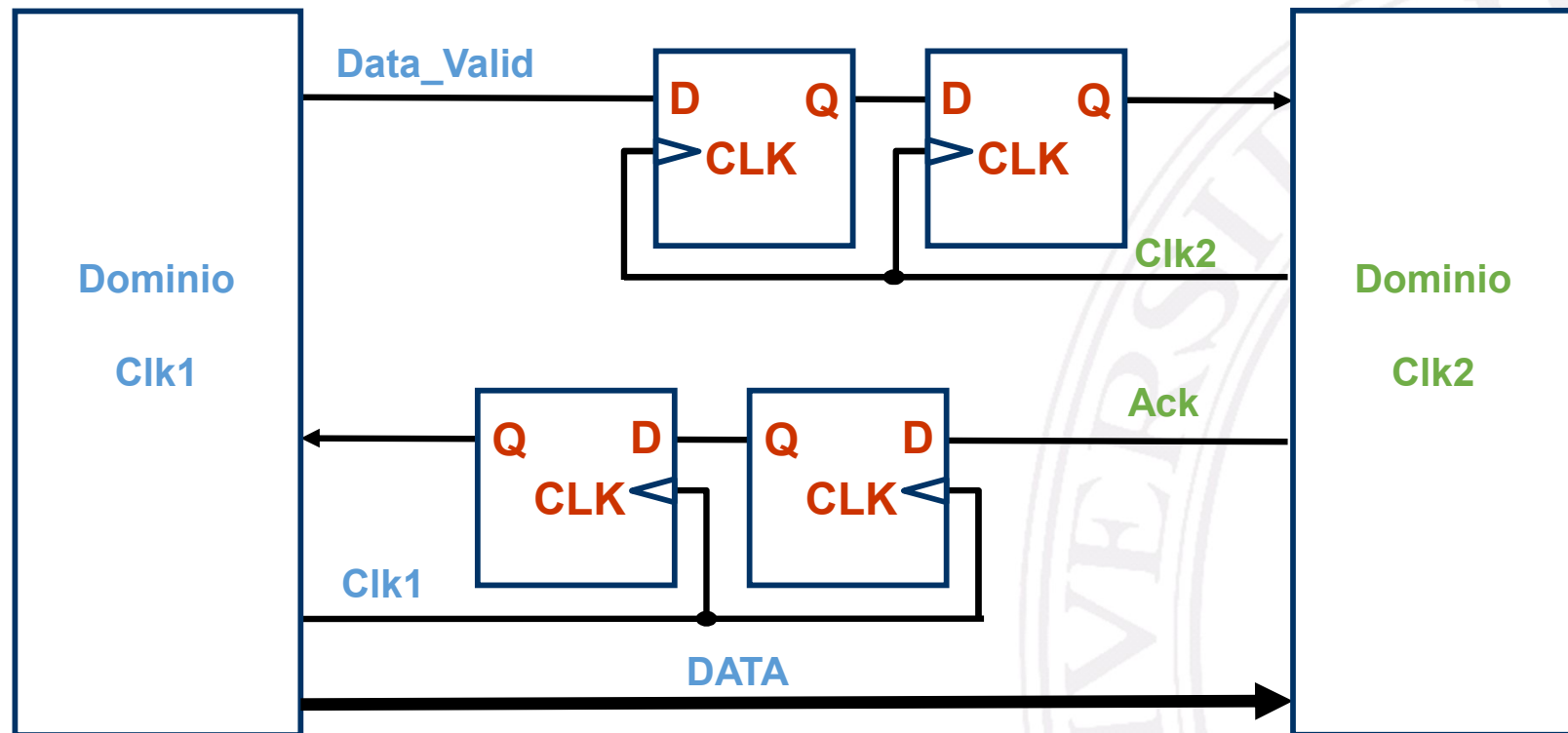
- La salida de un flip-flop controlado por un reloj es leída por otro flip-flop controlado por un reloj distinto
- Sincronización para evitar la metaestabilidad:



Diseño Síncrono: Soluciones de diseño. Dominios de reloj

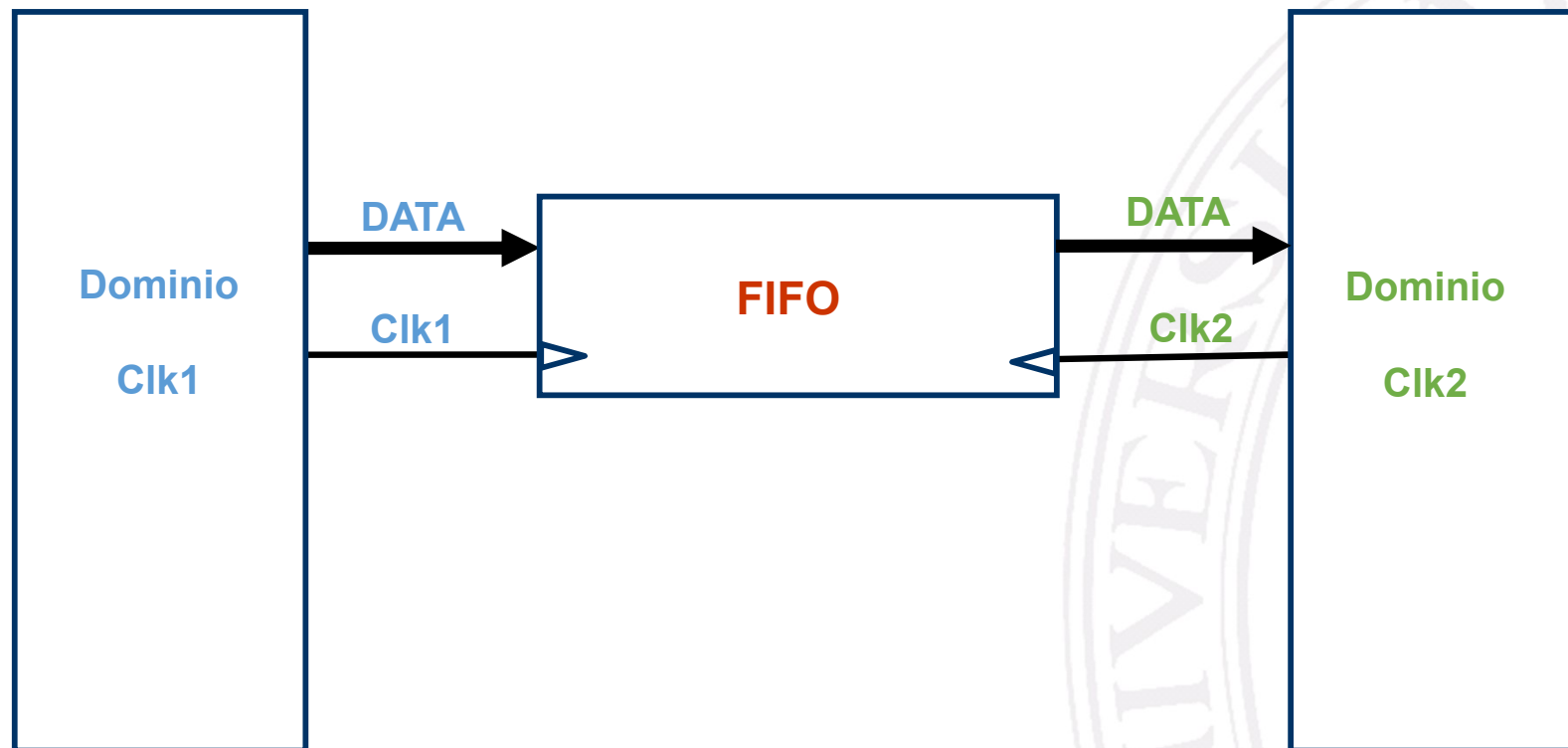
Cruce de dominios de reloj

- Cuando se transfieren datos entre dominios de reloj (p.e. de 16 o 32 bits) se sincronizan las señales de control, pero no los datos, con objeto de reducir el tamaño del circuito.



Cruce de dominios de reloj

- Cuando la velocidad de generación y/o consumo de los datos son variables se suelen emplear FIFOs.
- Existen IPs de FIFOs que manejan directamente dos dominios de reloj





POLITÉCNICA

INDUSTRIALES
ETSII | UPM



ETSIT
UPM



escuela técnica superior de
ingeniería
de
diseño
industrial



Telecomunicación
Campus Sur
UPM

MICROELECTRÓNICA
μe-UPM



INSTITUTO
DE ENERGÍA
SOLAR



CEI UPM | Centro de
Electrónica
Industrial



CENTRO
LÁSER
UPM

UNIVERSIDAD
POLITÉCNICA
DE MADRID

ISOM



citSem

➤ Más información: <https://blogs.upm.es/ue-upm/>

➤ Contacto: comunidad.microelectronica@upm.es



MINISTERIO
DE CIENCIA, INNOVACIÓN
Y UNIVERSIDADES



Financiado por
la Unión Europea
NextGenerationEU



Plan de Recuperación,
Transformación y
Resiliencia



AGENCIA
ESTATAL DE
INVESTIGACIÓN

UNIÓN EUROPEA
Fondos estructurales
Invertimos en su futuro



UNIÓN EUROPEA
Fondo Social Europeo

El Fondo Social Europeo invierte en tu futuro



Comunidad
de Madrid

PERTE Chip
microelectrónica y
semiconductores



Plan de Recuperación,
Transformación y Resiliencia



GOBIERNO
DE ESPAÑA

MINISTERIO
PARA LA TRANSFORMACIÓN DIGITAL
Y DE LA FUNCIÓN PÚBLICA

MICROELECTRÓNICA
μe-UPM