

**BLOQUE TEMÁTICO 1****TÍTULO DE LA ACTIVIDAD:** Lectura sobre frecuencia máxima de funcionamiento**CÓDIGO:**  
BT1\_A3\_L3**FECHA:****NOMBRE:****APELLIDOS:****MODALIDAD:**

Lectura. Individual

**TIPO:**Presencial y  
no presencial**DURACIÓN:****CALENDARIO:****CRITERIO DE  
ÉXITO:**

COMENTARIOS E INCIDENCIAS:

**TIEMPO DEDICADO:**

minutos

**AUTOEVALUACIÓN:**  
[entre 0 y 10 puntos]

No procede

**Índice**

Parte I. Frecuencia máxima de funcionamiento de un circuito síncrono .....2

## Parte I. Frecuencia máxima de funcionamiento de un circuito síncrono

Del análisis realizado sobre el modo de funcionamiento de las estructuras internas y de entrada y salida de un circuito síncrono se puede deducir la característica propia que distingue su funcionamiento: las operaciones del sistema son dirigidas por los flancos activos del reloj; en ellos tienen lugar los cambios que afectan a las entradas de los módulos combinacionales y secuenciales, disponiéndose de un periodo de reloj para que todos los elementos del sistema completen sus operaciones y estabilicen sus salidas.

Con esta rutina de funcionamiento se garantiza que el funcionamiento *real* del sistema es idéntico al *ideal* concebido por el diseñador, pues el tiempo que transcurre entre dos flancos activos (un periodo de reloj) permite que se complete el régimen transitorio de los circuitos combinacionales, impidiendo que los *glitches* puedan afectar a la operación del sistema.

La capacidad de proceso de un circuito síncrono depende de dos parámetros: el primero es el número y tipo de operaciones que se ejecutan en cada ciclo de reloj, y el segundo la frecuencia del reloj del circuito. Por ejemplo, un circuito que realiza dos sumas y dos multiplicaciones por ciclo de reloj, funcionando con un reloj de 10 MHz ejecuta veinte millones de sumas y de multiplicaciones por segundo; si se duplica la frecuencia de reloj o el número de operaciones que pueden ejecutarse en un ciclo de reloj, también se duplica el número de operaciones que es capaz de ejecutar en una unidad de tiempo.

En general, cuanto mayor sea la frecuencia de reloj de un circuito, menor será el número de operadores necesarios para alcanzar la potencia de procesamiento requerida por la aplicación y, por tanto, el circuito y su desarrollo resultarán más simples y baratos. Es evidente que la frecuencia de reloj no se puede elegir arbitrariamente: en un circuito síncrono su valor está limitado por los retardos de los módulos combinacionales encastrados entre *flip-flops*, puesto que en el tiempo comprendido entre dos flancos activos (un periodo de reloj) los combinacionales deben alcanzar el régimen permanente de funcionamiento.

El cálculo de la frecuencia máxima que puede tener el reloj de un sistema síncrono es conceptualmente sencillo. Se determina evaluando el tiempo mínimo que debe separar dos flancos de reloj. Supongamos, inicialmente, que todos los *flip-flops* del circuito son activos por flanco de subida y que sus tiempos característicos (de propagación ( $t_p$ ), *set-up* ( $t_{su}$ ) y *hold* ( $t_h$ )) son idénticos; se va a considerar también que el reloj llega en el mismo instante de tiempo a todos ellos –que el *skew* de reloj es cero. Cumpliéndose estas premisas, las entradas de todos los circuitos combinacionales ( $E_{COMB}$ ) pueden cambiar únicamente en los flancos activos de reloj, con un retardo respecto a estos (Figura 25) igual al tiempo de propagación de un *flip-flop* ( $t_{p-ff}$ ).

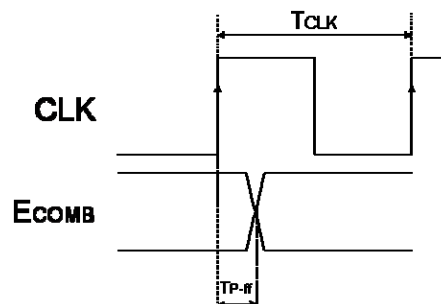


Figura 25. Periodo mínimo de reloj (1)

A partir del momento en que las entradas de los combinacionales conmutan, comienza su régimen transitorio; el combinacional que tenga el tiempo de retardo ( $t_{pcomb}$ ) mayor ( $t_{pcomb(max)}$ ) será el último en estabilizar niveles lógicos válidos en sus salidas ( $S_{comb}$ ), cuando esto ocurra (Figura 26) todos los circuitos combinacionales del sistema síncrono estarán preparados para actuar sobre las entradas síncronas de los *flip-flops*.

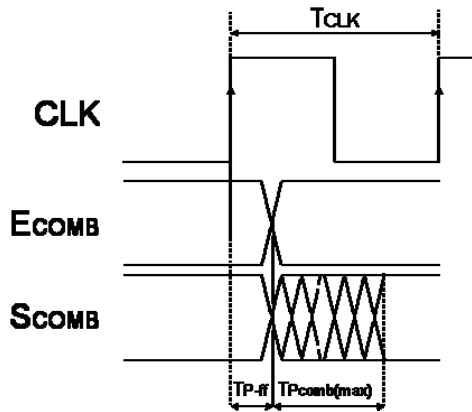


Figura 26. Periodo mínimo de reloj (2)

Como las entradas síncronas de los *flip-flops* tienen que permanecer estables antes del flanco activo de reloj un tiempo mayor o igual al tiempo de *set-up* ( $t_{su}$ ), debemos sumar éste a los dos anteriores (Figura 27) para determinar la separación mínima entre dos flancos (el periodo mínimo del reloj,  $T_{CLK(min)}$ ) que garantiza el correcto funcionamiento del circuito.

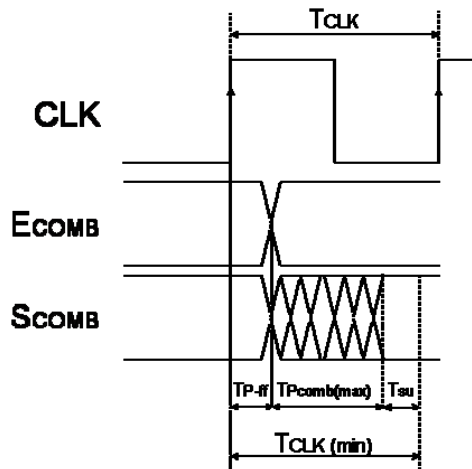


Figura 27. Periodo mínimo de reloj (y 3)

El valor del periodo mínimo de la señal de reloj se calcularía, por tanto, con la expresión:

$$T_{CLK(min)} = t_{pf} + t_{pcomb(max)} + t_{su}$$

La frecuencia máxima del reloj del circuito sería:

$$F_{CLK(max)} = 1 / T_{CLK(min)}$$

Por tanto, los pasos que hay que seguir para calcular la frecuencia máxima del reloj son:

1. Calcular el retardo combinacional máximo existente en el circuito síncrono (considerando únicamente la lógica combinacional encajada entre *flip-flops*).
2. Para calcular el periodo mínimo del reloj hay que sumar, al retardo máximo obtenido, el tiempo de propagación y de *set-up* de un *flip-flop*; su inverso será la frecuencia máxima de funcionamiento.

Conocida la frecuencia máxima de reloj, podrá garantizarse que el circuito síncrono va a funcionar correctamente si su reloj tiene una frecuencia menor o igual a ésta. Debe tenerse en cuenta que el cálculo de los retardos debe realizarse para las condiciones peores –las más lentas– de funcionamiento del circuito, es decir, utilizando tiempos de propagación máximos.

### Ejemplo

*Conociendo los siguientes datos de un circuito síncrono:*

*Tiempos característicos de los flip-flops:  $t_{P\ FF\ max} = 3\ ns$ ;  $t_{SU\ FF} = 2\ ns$ ;  $t_{H\ FF} = 1\ ns$*

*Tiempo máximo de propagación de la lógica combinacional:*

$$T_{P\ COMB\ max} = 35\ ns;$$

*Se puede calcular el periodo mínimo de la señal de reloj:*

$$T_{CLK\ min} = T_{P\ COMB\ max} + t_{P\ FF\ max} + t_{SU\ FF} = 35 + 3 + 2 = 40\ ns, \text{ y}$$

*Y la frecuencia máxima:*

$$F_{CLK\ max} = 1/40\ ns = 25\ MHz$$

La complejidad del cálculo de la frecuencia máxima de reloj depende del número de bloques combinacionales del circuito. Existen herramientas de CAD electrónico, los analizadores (o simuladores) de tiempos, que realizan esta tarea rápida y eficazmente. Este tipo de herramientas identifica, además, la lógica y las interconexiones que limitan la frecuencia máxima –los caminos combinacionales más lentos–, por lo que, cuando es necesario aumentar la frecuencia de funcionamiento para conseguir una mayor velocidad de procesamiento, se puede determinar fácilmente la parte del circuito que hay que modificar. La simplicidad de este análisis y lo mucho que facilita las operaciones de rediseño para obtener la frecuencia objetivo de funcionamiento son una de las ventajas que aporta del uso de las técnicas de diseño síncrono.

### *Skew de Reloj*

En un circuito síncrono real, la señal de reloj no llega exactamente en el mismo instante de tiempo a todos los *flip-flops* del circuito. Como se señaló en el apartado 2.3, el desfase con el que llega el reloj a dos *flip-flops* se conoce como *skew* de reloj. Cuando en un circuito síncrono se habla, genéricamente, del *skew* de la señal de reloj, se hace referencia al valor máximo de *skew* existente en todo el circuito. El *skew* del reloj entre dos *flip-flops* de un circuito síncrono que interaccionan por

medio de un circuito combinacional “encajado” entre ambos puede dar lugar a los dos casos que se ilustran en la figura 28.

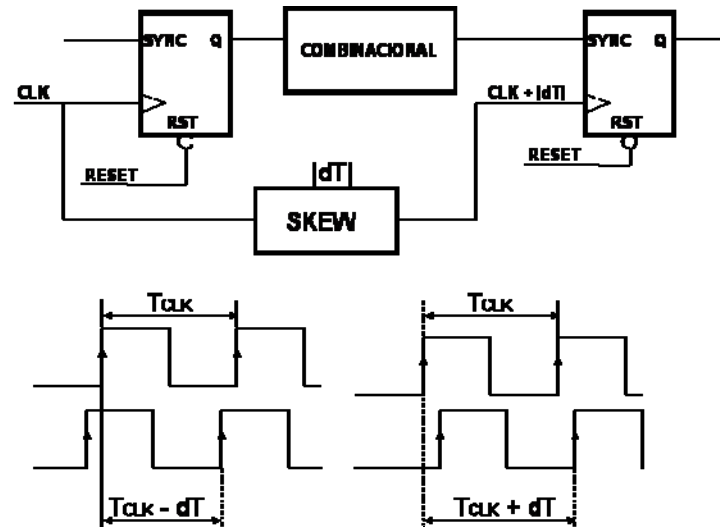


Figura 28. Skew de reloj

El *skew* de reloj se representa en el circuito de la figura mediante un bloque que tiene asociado un retardo que puede ser negativo (cronograma de la izquierda), lo que quiere decir que el reloj llega antes al *flip-flop* de salida que al de entrada, o positivo (cronograma de la derecha), provocando que se adelante el reloj del *flip-flop* de entrada al de salida. En ambos casos el *skew* puede ser una fuente de problemas.

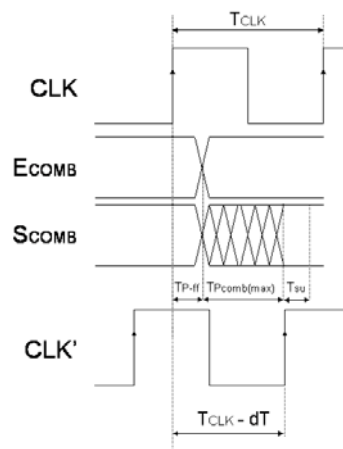


Figura 29. Reducción del periodo de reloj

En el primer caso, el flanco de reloj del segundo *flip-flop* se adelanta al instante previsto, de modo que si las salidas del circuito combinacional aun no son estables, o lo son pero por un tiempo menor al de *set-up* del *flip-flop*, el circuito podría funcionar mal (Figura 29).

Este efecto puede corregirse modificando la frecuencia de la señal de reloj. Para ello hay que incrementar el periodo mínimo de la señal de reloj en una cantidad igual al *skew* del circuito:

$$T_{CLK(min)} = tp_{ff} + tp_{COMB(max)} + tsu + skew$$

De la ecuación se deduce que el *skew* penaliza la frecuencia máxima de operación y por tanto debe intentarse que su valor sea lo más pequeño posible.

### Ejemplo

*Conociendo los siguientes datos de un circuito síncrono:*

*Tiempos característicos de los flip-flops:  $t_{PFFmax} = 3\text{ ns}$ ;  $t_{SUFF} = 2\text{ ns}$ ;  $t_{HFF} = 1\text{ ns}$*

*Tiempos de propagación de la lógica combinacional:  $T_{PCOMBmax} = 35\text{ ns}$*

*Skew máximo de reloj:  $3\text{ ns}$*

*Se puede calcular el periodo mínimo de la señal de reloj:*

$$T_{CLKmin} = T_{PCOMBmax} + t_{PFFmax} + t_{SUFF} + skew = 35 + 3 + 2 + 3 = 43\text{ ns}$$

*La frecuencia máxima sería:*

$$F_{CLKmax} = 1/43\text{ ns} = 23'2\text{ MHz}$$

Cuando el *skew* provoca un retraso en la llegada del reloj al *flip-flop* de salida, pueden surgir problemas si la entrada síncrona del *flip-flop* de salida cambia demasiado pronto, es decir, cuando el retardo de la lógica combinacional es mínimo –normalmente cuando los dos *flip-flops* están conectados directamente (Figura 30).

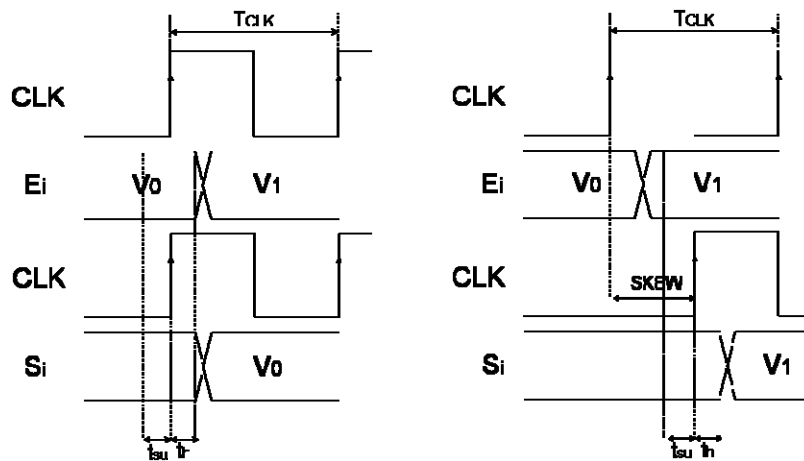


Figura 30. Skew positivo

En el cronograma de la izquierda se muestra el funcionamiento ideal (sin *skew*) y en el de la derecha lo que puede ocurrir si existe un desfase importante entre los relojes de los *flip-flops*. Como puede observarse, si las entradas síncronas (*Ei*) del *flip-flop* de salida cambian con un retardo menor que el *skew* –menos el tiempo de *set-up*–, no se registran los valores correctos (*V0*), sino los correspondientes al siguiente periodo de reloj.

El ejemplo de fallo de la figura 30 es muy difícil que se dé en un circuito real, pues requiere, para que se respete el tiempo de *set-up* del segundo *flip-flop*, un *skew* de reloj muy grande y un retardo de

propagación muy pequeño entre los *flip-flops* –en una conexión sin lógica combinacional este retardo es el tiempo de propagación de un *flip-flop* (el de entrada) más el tiempo de propagación de los recursos de interconexión que unan ambos *flip-flops*. Es mucho más frecuente que se dé uno de los dos casos que se muestran en la figura 31.

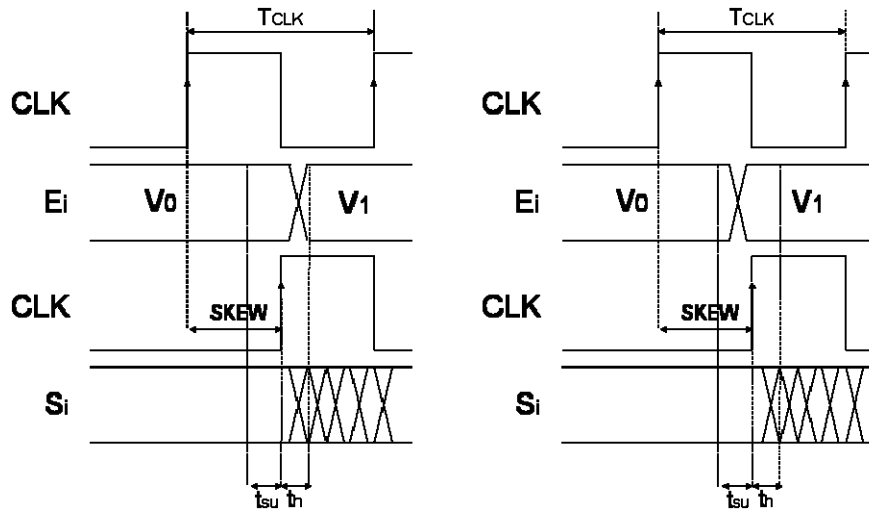


Figura 31. Fallos de funcionamiento por *skew*

En el cronograma de la izquierda no se respeta el tiempo de *hold*, en el de la derecha, el tiempo de *set-up*. El fallo más común es el primero, ya que es el que requiere un menor *skew* para llegar a producirse, y es el que permite establecer una cota para el máximo valor que puede tener. El valor de dicha cota es fácilmente deducible (Figura 32).

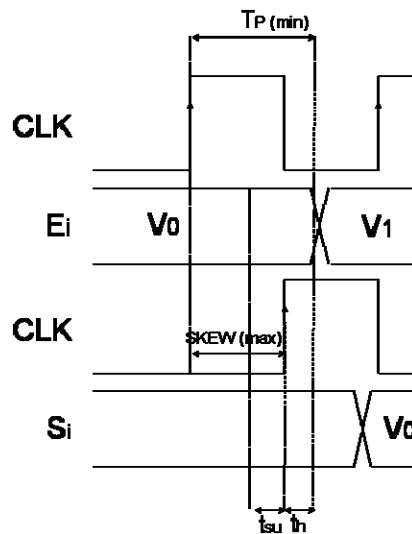


Figura 32. *Skew* máximo

Suponiendo que el tiempo de propagación mínimo –pues cuanto más pequeño sea, más le afectará el *skew*– entre dos *flip-flops* es  $T_{Pmin}$  (incluyendo todos los componentes de retardo entre la salida de uno y la entrada de otro), el reloj del segundo podrá desplazarse respecto al primero, garantizando la captura del dato correcto y que se respeta el tiempo de *hold*, una cantidad de tiempo ( $skew_{max}$ ) igual a (Figura 32):

$$Skew_{max} = T_{Pmin} - t_H$$

Nótese que en este caso el problema es tanto mayor cuanto menor sea el retardo de la lógica y, por tanto, la estimación del valor máximo de *skew* requiere el uso de los tiempos mínimos de propagación y debe evaluarse en la conexión del circuito que, en esas condiciones, tenga un tiempo de propagación menor. Es importante señalar, por último, que este problema, si se da, sólo puede resolverse reduciendo el valor del *skew* del circuito.

### Ejemplo

*Conociendo los siguientes datos de un circuito síncrono:*

*Tiempos característicos de los flip-flops:  $t_{PFF\min} = 1\text{ ns}$ ;  $t_{SUFF} = 2\text{ ns}$ ;  $t_{HFF} = 1\text{ ns}$*

*Tiempos de propagación de la lógica combinacional:  $T_{P\text{INTERNO}\min} = 3\text{ ns}$*

*Se puede garantizar que el skew de circuito no va a afectar a su correcto funcionamiento si su valor es menor que:*

$$Skew_{max} = T_{Pmin} - t_H, \text{ donde } T_{Pmin} = t_{PFF\min} + T_{P\text{COMB-INT}\min}$$

$$Skew_{max} = (1 + 3) - 1 = 3\text{ ns}$$

Cuando la tecnología de realización es una FPGA o un PLD, el problema de *skew* viene resuelto por la disponibilidad de entradas dedicadas que tienen un retardo equilibrado, y pequeño, hasta la entrada de reloj de todos los *flip-flops* del circuito; en los ASICs se dispone de *buffers* con gran *fan-out* que facilitan el equilibrado de la red de distribución del reloj.

Para terminar con la exposición de la casuística asociada a la interconexión del reloj, hay que decir que aunque el *skew* sea pequeño, también puede resultar problemático que el retardo de propagación desde la entrada de reloj hasta los *flip-flops* sea grande. Este retardo da lugar a que aumente también el de las salidas del sistema en relación con el reloj de entrada, pudiendo dificultar el logro de los requisitos de retardo en las salidas. En algunos dispositivos lógicos se dispone de recursos especiales (PLLs o DLLs) que permiten solventar este tipo de problemas.