

BLOQUE TEMÁTICO 1**TÍTULO DE LA ACTIVIDAD:** Lectura sobre reglas de diseño síncrono**BT1_A3_L4**

FECHA:			
NOMBRE:		APELLIDOS:	

MODALIDAD:	Lectura. Individual	TIPO:	Presencial y no presencial	DURACIÓN:	20 minutos
------------	---------------------	-------	----------------------------	-----------	------------

CALENDARIO:		REQUISITOS:	
-------------	--	-------------	--

CRITERIO DE ÉXITO:	
--------------------	--

COMENTARIOS E INCIDENCIAS:

TIEMPO DEDICADO:	minutos	AUTOEVALUACIÓN: [entre 0 y 10 puntos]	No procede
------------------	---------	--	------------

Índice

Parte I. Lectura.....	2
1.1 Introducción	2
2.2 Normas para la realización de diseños síncronos	2

Parte I. Lectura

1.1 Introducción

Como ya sabemos, en las salidas de los circuitos combinacionales pueden aparecer *glitches* que pueden ocasionar errores en el funcionamiento de los sistemas digitales. La realización de circuitos combinacionales libres de *glitches* no es una opción razonable cuando se está abordando el diseño de un sistema digital complejo. La mejor forma de abordar la problemática derivada de la existencia de *glitches* consiste en diseñar circuitos que no puedan verse afectados por ellos. Para ello hay que seguir una serie de reglas que se derivan de las siguientes condiciones:

1. Las salidas de un circuito combinacional no pueden conectarse a la entrada de reloj o las entradas asíncronas de un *flip-flop* o un *latch*, ya que, en tal caso, un *glitch* podría ocasionar la memorización indeseada de un dato o la incorrecta inicialización asíncrona del *flip-flop* (o *latch*).
2. La salida de un circuito combinacional que está conectada a la entrada síncrona de un *flip-flop* debe tener un valor correcto y estable en los flancos activos de reloj. Esta condición determina que las salidas de los combinacionales sólo se pueden capturar cuando ha finalizado la conmutación del circuito –cuando, tras haber transcurrido el tiempo de retardo del circuito, ha terminado su régimen transitorio.

Respetando estas condiciones pueden realizarse circuitos en los que la presencia de *glitches* resulte inocua. Pero las metodologías para la realización de circuitos digitales complejos tienen que ocuparse además de otras cuestiones que afectan a la funcionalidad y prestaciones de los circuitos. Las *técnicas de diseño síncrono* son un conjunto de reglas de diseño que facilitan la solución de diversos problemas (incluyendo la inmunización del circuito frente a la existencia de *glitches*) que surgen al abordar la realización de circuitos complejos. La aplicación de las *reglas de diseño síncrono* acarrea las siguientes ventajas:

- Simplifica las tareas de análisis y diseño funcional.
- Consigue que para el funcionamiento del circuito la existencia, o no, de *glitches* resulte indiferente.
- Facilita el cálculo de las prestaciones del circuito (la velocidad de procesamiento y la frecuencia de funcionamiento) y la detección de los componentes *críticos* del sistema que las limitan.

2.2 Normas para la realización de diseños síncronos

La metodología de diseño síncrono consiste en una serie de reglas que definen condiciones que deben cumplirse para abordar el diseño de un sistema digital cableado. Cada regla es una recomendación o prohibición que afecta a la estructura del circuito.

En este apartado vamos a enumerar y comentar brevemente las reglas de diseño. Resulta necesario advertir que alguna de las reglas que se incluyen debe cumplirse también en circuitos que no se realizan siguiendo la metodología de diseño síncrono, pero se añade con la finalidad de completar las condiciones deseables para la obtención de un buen diseño. En fin, las normas que deben cumplirse para el diseño de un sistema digital síncrono son:

1. El circuito debe disponer de una señal de reloj única y común para todos los *flip-flops* del circuito.

Nota: Es un objetivo de diseño que esta señal de reloj se distribuya de modo que el retardo con el que llega a las entradas de todos los *flip-flops* del circuito sea el mismo –en caso contrario el instante en que actúan los flancos sobre éstos sería distinto y el sistema dejaría de ser propiamente síncrono.

Nota: El único uso de la señal de reloj del circuito es el control del funcionamiento síncrono de los *flip-flops*.

Esta es la regla fundamental del diseño síncrono, y la que condiciona el modo de funcionamiento característico de los circuitos síncronos. Cumplirla implica que la ocurrencia de un flanco activo de reloj alcanza simultáneamente a todos los *flip-flops* del circuito y que, por tanto, los instantes de captura de datos y conmutación de las salidas son exactamente los mismos para todos ellos. De este modo de funcionamiento se deriva la simplicidad del funcionamiento de los circuitos síncronos y su inmunidad frente a los *glitches* generados por los circuitos combinacionales.

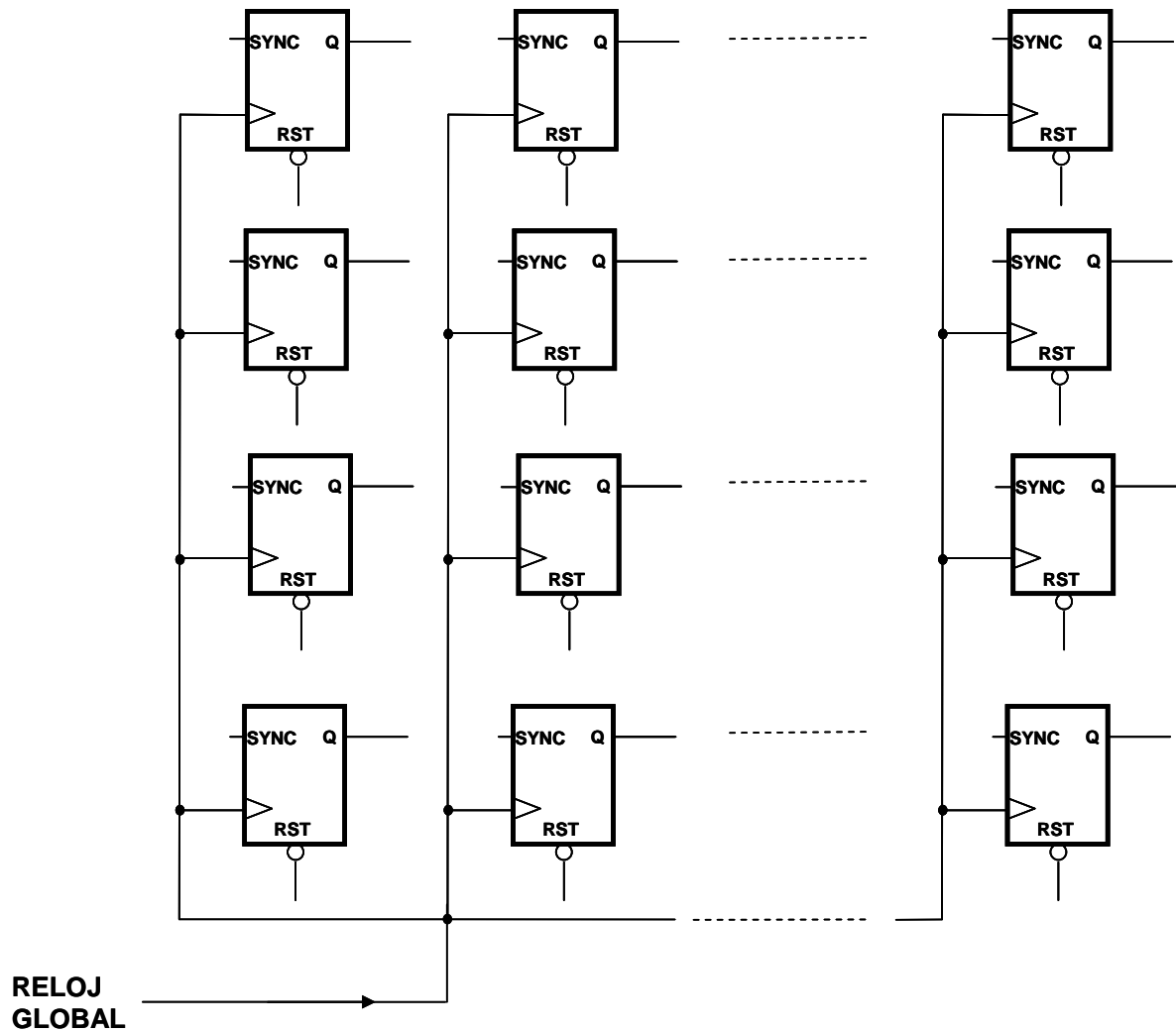


Figura 11. Red de distribución del reloj

El alto *fan-out* de la señal de reloj (Figura 11), y la necesidad de que el retardo con que llegue a todos los *flip-flops* sea el mismo, hace que el diseño de su red de interconexión resulte delicado. Al igual que para el caso de la señal global de *reset*, las FPGAs y otros dispositivos lógicos programables disponen de entradas especiales –entradas dedicadas para relojes globales– con capacidad para atacar a todos los *flip-flops* del chip con una dispersión de retardos mínima. La diferencia entre los retardos de distribución de reloj a dos *flip-flops* de un circuito se conoce con el nombre de *skew*.

Una cuestión que debe quedar muy clara sobre la señal de reloj es que en un circuito síncrono está conectada directamente a todos los *flip-flops* del circuito y sólo a ellos, lo que supone una prohibición expresa de hacer cualquier otro uso de ella.

2. Las entradas asíncronas de los *flip-flops* del circuito sólo pueden ser manejadas por una señal de inicialización (*Reset*) global y nunca durante la operación normal del sistema.

Nota: La señal de *Reset* global debe tener un tiempo mínimo de activación mayor que un periodo del reloj del circuito.

El objetivo de esta regla es impedir que durante el funcionamiento normal del circuito ningún *flip-flop* pueda conmutar su salida en un instante distinto al de ocurrencia de un flanco activo de reloj (véase la regla número 2). En el arranque o en una reinicialización se permite su uso por simplicidad y economía de diseño y porque no compromete el buen funcionamiento del circuito.

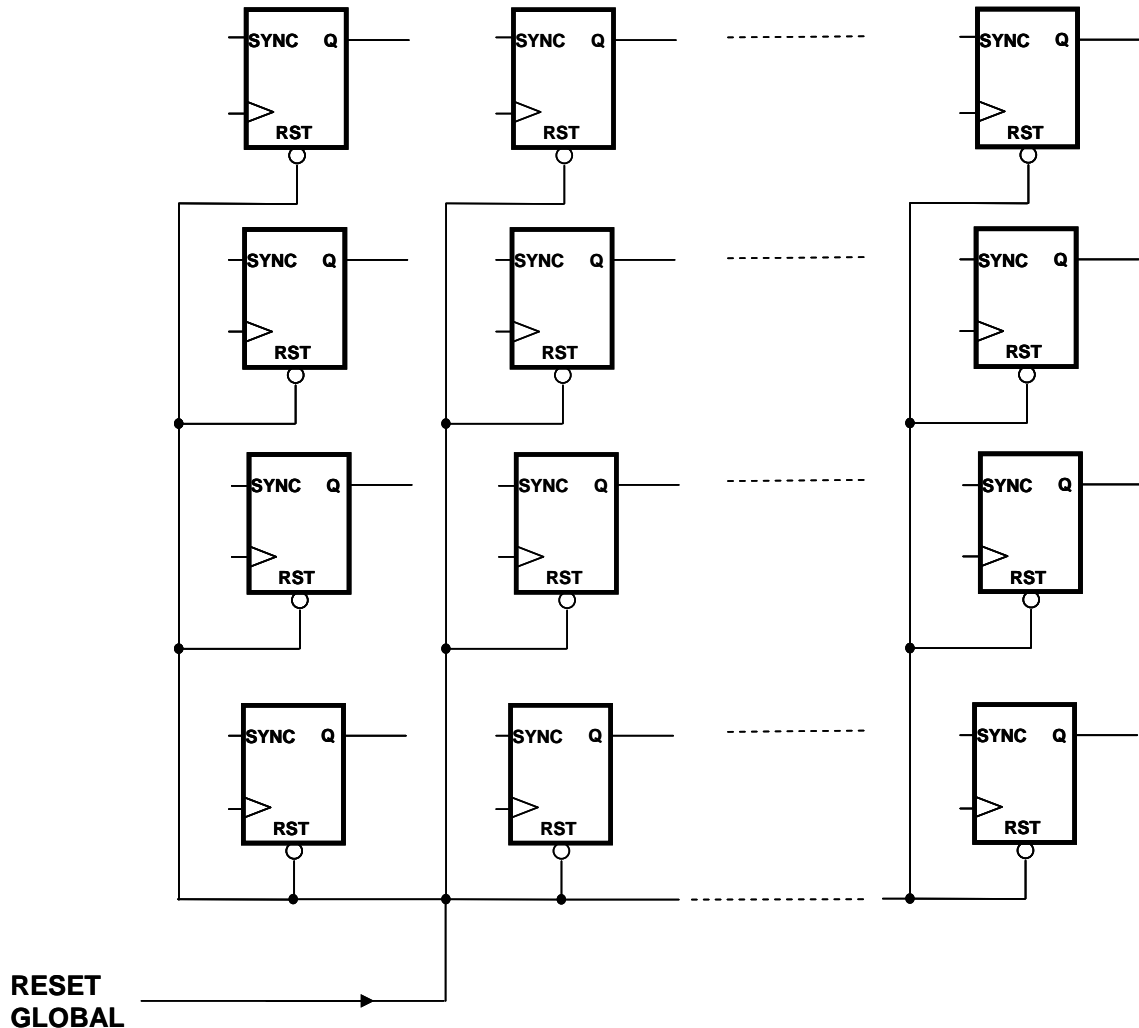


Figura 12. Reset Global

En las FPGAs, y otros chips VLSI configurables, existen entradas dedicadas para la señal global de *Reset* que disponen de una red de interconexión separada de la del resto del circuito. Esta red es capaz de actuar sobre las entradas asíncronas de *Preset* o *Reset* de todos los *flip-flops* del chip, manteniendo equilibrados los retardos de propagación para que la señal de *Reset* llegue simultáneamente a todos ellos.

3. Las entradas de los circuitos combinacionales de un sistema síncrono deben estar conectadas a salidas de circuitos secuenciales gobernados por la señal de reloj.

Esta regla garantiza que el régimen transitorio de los circuitos combinacionales sólo puede comenzar en los flancos activos de reloj. Como consecuencia de ello, una vez transcurrido un cierto tiempo desde la ocurrencia del flanco todos los circuitos combinacionales del sistema síncrono estarán en régimen permanente y tendrán sus salidas estables y libres de *glitches* (figura 13).

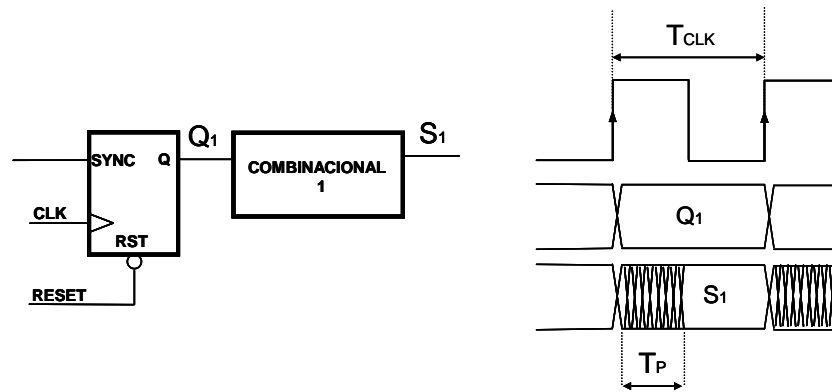


Figura 13. Entradas registradas en todos los circuitos combinacionales

Esta norma no impide el encadenamiento de módulos combinacionales (figura 10), pero sí obliga a que las entradas del primer módulo de la cadena tengan que ser salidas de *flip-flops*. En relación con esto, hay que tener en cuenta que el encadenamiento de combinacionales puede dar lugar a estructuras con tiempos de retardo grandes que penalicen el tiempo de estabilización del sistema (Figura 14).

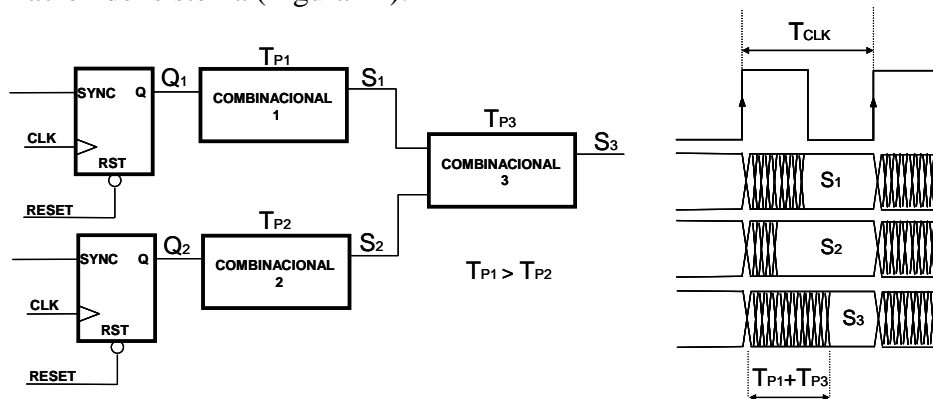


Figura 10. Módulos combinacionales encadenados

Hay que resaltar, por último, que una consecuencia importante de esta regla es que cualquier entrada de un sistema síncrono debe registrarse antes de poder actuar sobre la entrada de un combinacional (Figura 15).

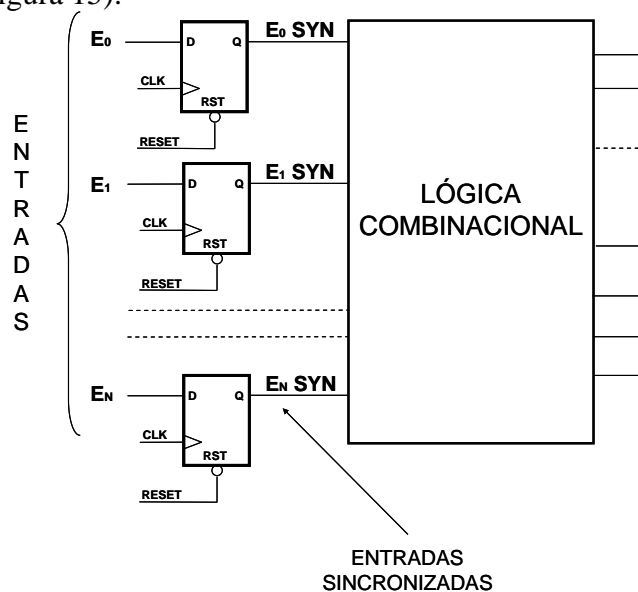


Figura 15. Entradas registradas

4. Las entradas síncronas de un circuito secuencial deben ser manejadas por salidas de circuitos secuenciales gobernados por la señal de reloj o por salidas de combinacionales que cumplan la regla número 4.

Las entradas síncronas de los circuitos secuenciales tienen que ser señales síncronas (Figura 16), para que se pueda garantizar su estabilidad en los flancos activos de reloj y, de este modo, asegurar que se respetan los tiempos de *hold* y *set-up* de los *flip-flops*.

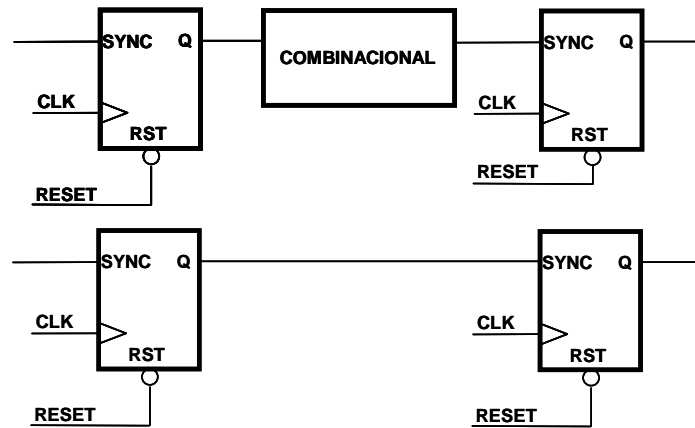


Figura 16. Entradas síncronas de circuitos secuenciales

5. Las salidas de un módulo combinacional sólo pueden conectarse a entradas de otros combinacionales y a entradas síncronas de secuenciales; alternatively, pueden ser salidas del circuito síncrono.

Esta regla impide la realización de tres tipos de conexiones con las salidas de los módulos combinacionales: con la entrada de reloj y con las entradas asíncronas de cualquier *flip-flop* (también prohibidas por las reglas 2 y 3) y, también, con cualquier entrada del mismo circuito combinacional (Figura 17) para construir un *latch*.

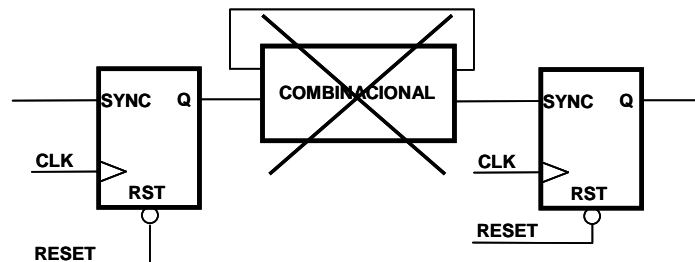


Figura 17. Realimentaciones combinacionales prohibidas

Entre las reglas de diseño síncrono suelen incluirse también dos restricciones que se derivan de las reglas enunciadas anteriormente y que ya hemos mencionado, las enunciamos seguidamente como reglas 7 y 8.

6. Las entradas de un sistema síncrono deben registrarse con *flip-flops* manejados por el reloj del sistema.
7. Está prohibido utilizar *latches*.