

**BLOQUE TEMÁTICO 1****TÍTULO DE LA ACTIVIDAD:** Lectura sobre la estructura y operación de los circuitos síncronos**BT1\_A3\_L2**

FECHA:			
NOMBRE:		APELLIDOS:	

MODALIDAD:	Lectura. Individual	TIPO:	Opcional	DURACIÓN:	30 minutos
------------	---------------------	-------	----------	-----------	------------

CALENDARIO:		REQUISITOS:	
-------------	--	-------------	--

CRITERIO DE ÉXITO:	
--------------------	--

COMENTARIOS E INCIDENCIAS:

TIEMPO DEDICADO:	minutos	AUTOEVALUACIÓN: [entre 0 y 10 puntos]	No procede
------------------	---------	--	------------

**Índice**

Parte I. Lectura.....	2
1.1 Arquitectura de los circuitos síncronos.....	2
1.2 Ejecución de operaciones en los circuitos síncronos .....	3

## Parte I. Lectura

### 1.1 Arquitectura de los circuitos síncronos

La arquitectura de cualquier circuito digital complejo consiste en un conjunto de módulos combinacionales y secuenciales conectados para construir un sistema de procesamiento capaz de realizar una determinada función. La metodología de diseño síncrono resulta idónea para abordar la ingeniería de diseño de este tipo de sistemas y debe su nombre a que una de las condiciones que impone –y que caracteriza de manera más significativa el resultado del diseño– es que todos los bloques secuenciales del sistema deben ser síncronos, es decir, deben tener una señal de reloj única y común –también por este motivo los circuitos realizados siguiendo esta metodología se denominan circuitos o sistemas síncronos.

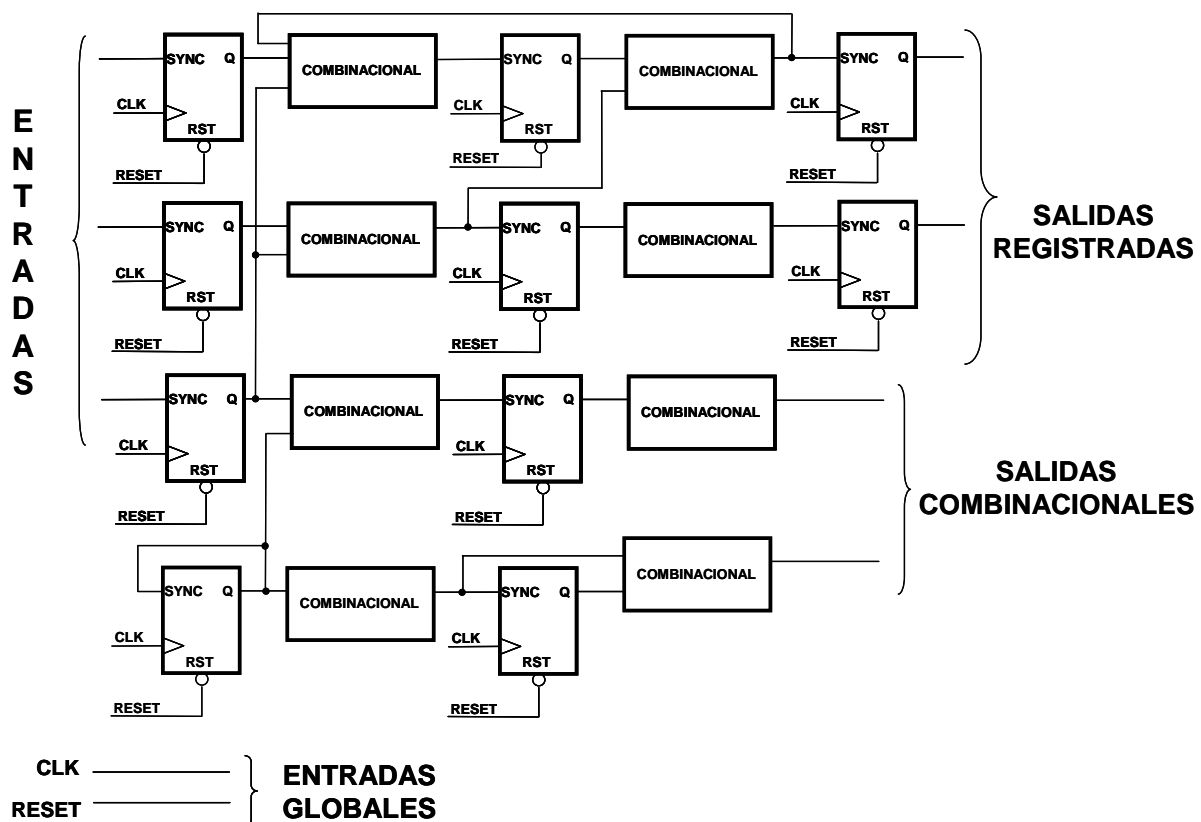


Figura 18. Arquitectura de un circuito síncrono

El conjunto de reglas de diseño síncrono permite definir un modelo general para la arquitectura de los circuitos síncronos: son una red interconectada de bloques combinacionales y secuenciales, realizados con *flip-flops* y con un reloj común, en la que las entradas de los circuitos combinacionales son salidas de bloques secuenciales y las salidas están conectadas a entradas síncronas de bloques secuenciales o, si no, a salidas del sistema. Añadamos, para completar la descripción, que habitualmente el circuito contará con una señal de inicialización única cuyo propósito es la realización de un *reset* para el arranque del circuito. La figura 18 representa este modelo genérico de sistema síncrono.

### *Entradas Globales*

Los bloques secuenciales que aparecen en la figura 18 se representan como cajas conectadas a dos entradas globales: la señal de reloj (CLK) y la señal de inicialización del circuito (RESET). A estas entradas se las denomina globales precisamente porque están conectadas a todos los bloques secuenciales del circuito (en un circuito complejo, a miles de *flip-flops*). El *fan-out* de estas señales es muy grande y da lugar a que la realización de la red de pistas y *drivers* que las conecta al circuito requiera de un diseño especial.

### *Entradas Síncronas*

Otra característica estructural relevante de la arquitectura representada en la figura 18 es que las entradas externas nunca están conectadas directamente a entradas de módulos combinacionales. Antes de poder actuar sobre un circuito combinacional, una entrada manejada desde el exterior del sistema debe pasar por al menos un *flip-flop* gobernado por el reloj del circuito, para obtener una versión sincronizada –que sólo puede conmutar en sincronía con el reloj del circuito– de la entrada. Las entradas de un sistema síncrono se consideran asíncronas con él –y se denominan por ello comúnmente, en el contexto del diseño síncrono, entradas asíncronas– porque pueden cambiar de valor en instantes distintos a los flancos activos del reloj del circuito –no debe confundirse este término con el que se utiliza para distinguir en los bloques secuenciales las entradas síncronas y asíncronas: son dos conceptos que no guardan ninguna relación entre sí.

### *Conexión de módulos*

En la figura 18 se ilustra también el modo en que pueden conectarse los circuitos combinacionales y secuenciales dentro de un sistema síncrono. Observe que las entradas de un circuito combinacional pueden ser tanto las salidas de circuitos secuenciales, como las de otros circuitos combinacionales cuyas entradas estén manejadas, a su vez, por salidas de módulos secuenciales. Este último tipo de conexiones da lugar a la creación de una cadena de dos o más circuitos combinacionales que, en definitiva, equivalen a un solo circuito combinacional, con una funcionalidad que resulta ser una composición de la de los circuitos asociados y con un retardo total mayor.

### *Salidas síncronas*

Para terminar con la revisión de la arquitectura representada en la figura 18, hay que apuntar un detalle sobre las salidas del sistema: pueden obtenerse directamente a partir de la salida de un circuito combinacional (salidas combinacionales) o pueden provenir de salidas de *flip-flops* (salidas registradas). La elección de uno u otro tipo depende, normalmente, de la necesidad o no de eliminar *glitches*; en general una salida combinacional sólo debe registrarse –y convertirse, en consecuencia, en salida registrada– cuando su uso externo o la temporización del circuito lo exija.

## **1.2 Ejecución de operaciones en los circuitos síncronos**

Los sistemas realizados siguiendo técnicas de diseño síncrono tienen un modo de operación caracterizado por el gobierno ejercido por la señal de reloj. En los siguientes apartados se va a analizar la ejecución de operaciones en las estructuras internas y de entrada y salida de los sistemas síncronos.

### Operaciones en las estructuras internas

En la estructura genérica ilustrada en la figura 18 pueden darse dos esquemas básicos para la interconexión interna de circuitos combinacionales (figura 19). En la figura 19a se muestran las condiciones típicas de operación de un bloque combinacional interno: sus entradas son salidas de un circuito secuencial síncrono y, por tanto, podrán cambiar únicamente cuando haya flancos activos de reloj y sus salidas están conectadas a entradas síncronas de otros módulos secuenciales, y son evaluadas sólo cuando haya flancos activos del reloj del circuito.

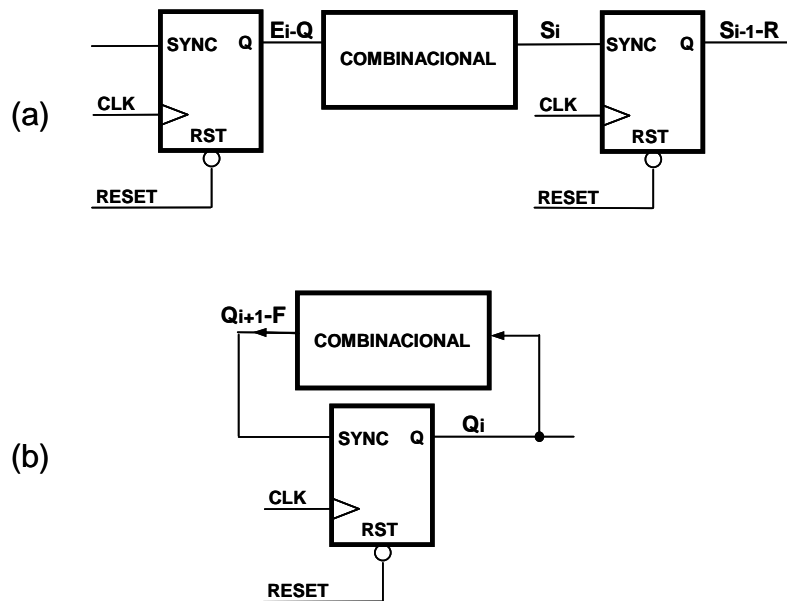


Figura 19 (a y b). Estructuras internas

Para que esta estructura funcione correctamente es necesario que en el tiempo que transcurre desde la conmutación de las entradas hasta el muestreo de las salidas (entre dos flancos activos de reloj), el circuito combinacional haya estabilizado sus salidas o, dicho de otro modo: que el régimen transitorio del combinacional (su tiempo de propagación) sea menor que el periodo de reloj del circuito.

En la figura 20 se ilustra este modo de funcionamiento para una operación de registro de las salidas de un combinacional embutido en una estructura como la de la figura 19a. En un determinado flanco de subida de reloj (flanco  $i$ ), las entradas del combinacional ( $E_i-Q$ ) cambian y las salidas ( $S_{i-1}$ ) correspondientes a las entradas del ciclo anterior (las establecidas por el flanco  $i-1$ ) se registran ( $S_{i-1}-R$ ). El circuito combinacional tarda un cierto tiempo (el de retardo del circuito, representado en la figura 20 mediante un rayado vertical) en establecer valores de salida ( $S_i$ ) correctos y sin *glitches*; si este tiempo (el régimen transitorio) es menor que el periodo del reloj ( $T_{CLK}$ ), las salidas se registran ( $S_i-R$ ) y están disponibles tras el siguiente flanco, en el que las entradas del circuito pueden volver a cambiar para que se realice una nueva operación combinacional.

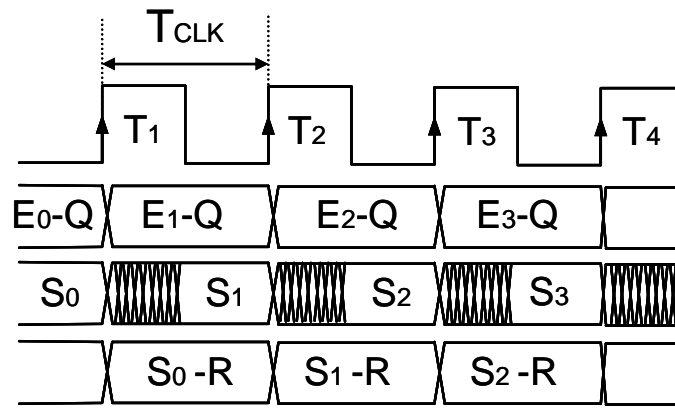


Figura 20. Operaciones combinacionales entre registros

En términos de velocidad, el retardo “equivalente” de cualquier operación realizada por un circuito combinacional empotrado entre dos bloques secuenciales es un periodo del reloj del circuito.

El esquema representado en la figura 19b corresponde a circuitos combinacionales que realizan el cálculo de transiciones de estado en circuitos secuenciales síncronos. Este esquema es reducible a un caso particular del mostrado en la figura 19-a. La particularidad que tiene es que los mismos *flip-flops* que manejan las entradas del combinacional también registran sus salidas, pero que esta operación se lleve a cabo correctamente requiere la misma condición que el caso general (que el tiempo de propagación del combinacional sea menor que un periodo de reloj).

El análisis del modo de operación de los circuitos internos de un sistema síncrono nos permite deducir una propiedad muy importante de este tipo de sistemas: el periodo del reloj es la unidad mínima de tiempo (la resolución de tiempo) de procesamiento en el circuito: cualquier operación de un circuito síncrono tarda en realizarse un número entero de ciclos de reloj. Medida en tiempo real, la duración de una operación es el valor del periodo de reloj multiplicado por el número de ciclos que tarda en completarse. Esta propiedad permite determinar el número de ciclos de reloj de que se dispone para realizar operaciones en tiempo real o para calcular la frecuencia a la que debe funcionar un circuito para poder cumplir las especificaciones de tiempo de una aplicación.

### Ejemplo

*Si un circuito síncrono debe entregar las salidas correspondientes al procesamiento de los datos de entrada en 400 ns y la frecuencia de reloj del circuito es de 10 MHz, determine el número máximo de ciclos de reloj que pueden utilizarse para completar dicho procesamiento.*

*Solución: El periodo de la señal de reloj es de 100 ns; se dispone, por tanto de 4 ciclos de reloj.*

### Ejemplo

*Un circuito síncrono que tarda 10 ciclos de reloj en calcular la salida correspondiente al procesamiento de los datos de entrada, tiene que tardar, como máximo, 200 ns en realizar sus operaciones. Calcule la frecuencia a la que debe funcionar.*

*Solución: El periodo máximo de la señal de reloj es de 200 ns/10, 20 ns; por tanto, la frecuencia mínima a la que debe funcionar es 50 MHz.*

Una vez analizado el modo operación de las estructuras lógicas internas de los circuitos síncronos, vamos a revisar ahora los aspectos característicos del funcionamiento de los circuitos que realizan funciones de interfaz con las entradas y salidas.

### Salidas

Las salidas de un circuito síncrono son, siempre, síncronas, independientemente de que provengan de salidas de *flip-flops* o de salidas de circuitos combinacionales, porque es posible caracterizar su actividad (los instantes en que pueden conmutar) respecto a los flancos activos del reloj del circuito. Lo que puede diferenciar ambos casos es la presencia o ausencia de *glitches* –las salidas de *flip-flops* nunca van a tener *glitches*, mientras que las de circuitos combinacionales pueden, o no, tenerlos. La figura 17 muestra los dos tipos posibles de conexión de las salidas de un circuito síncrono.

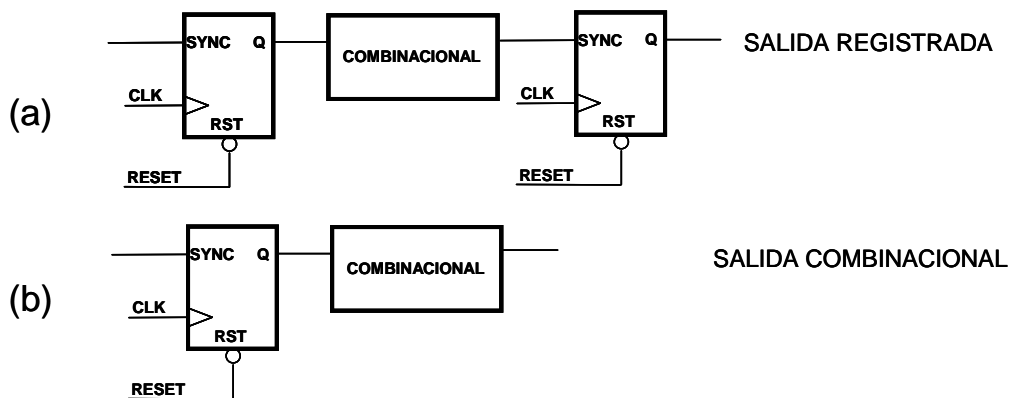


Figura 21. Estructuras de salida

La conexión de la figura 21a, garantiza una salida sin *glitches* (figura 22a) que puede conmutar únicamente en los flancos activos de reloj, con un retardo respecto a estos ( $tp_{\text{SALIDA REGISTRADA}}$ ) cuyo valor es la suma del tiempo de propagación del *flip-flop* ( $tp_{\text{ff}}$ ) y el de la ruta de interconexión que une la salida de éste con la del sistema ( $tp_{\text{ruta}}$ ).

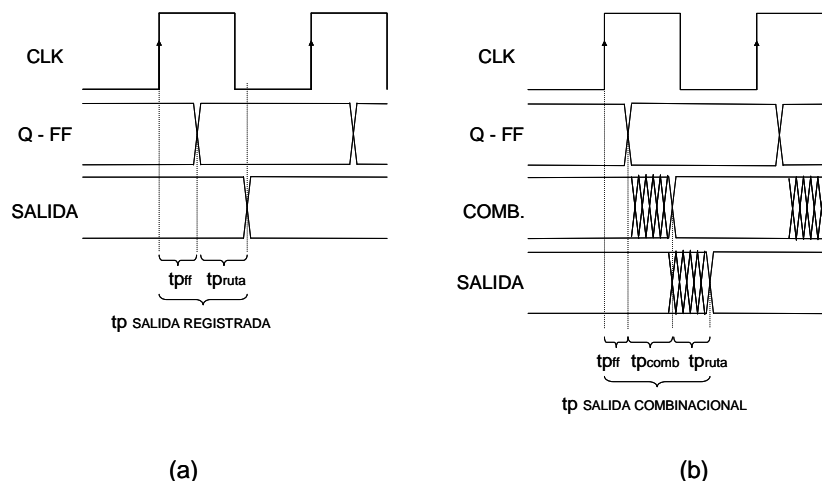


Figura 22. Operación de las salidas combinacionales y registradas

En las salidas combinacionales la existencia o no de *glitches* dependerá de la actividad en las entradas del circuito y de la propia realización del circuito combinacional. Al igual que en el caso anterior, la conmutación de estas salidas (figura 22b) está condicionada por la ocurrencia de un

flanco activo de reloj, aunque ahora el establecimiento de valores correctos se demorará, respecto al flanco, un tiempo igual a la suma del de propagación de un *flip-flop* ( $tp_{ff}$ ) más el de retardo del combinacional ( $tp_{comb}$ ) y el de los recursos de interconexión de las salidas de éste con la propia salida del sistema ( $tp_{ruta}$ ).

### Entradas

Las entradas de un sistema síncrono son siempre asíncronas con el reloj del circuito –si no fuera así, la entrada provendría de un sistema con el mismo reloj y se podría considerar que ambos son subsistemas de un sistema síncrono y la supuesta entrada se convertiría, en definitiva, en una señal “interna” de éste–, entendiendo que esta asincronía significa que no se puede establecer ninguna relación entre los instantes de tiempo en que dicha entrada puede conmutar y los flancos activos de reloj.

En un sistema síncrono no se puede permitir que una entrada asíncrona actúe directamente sobre la entrada de un bloque combinacional interno –puesto que en tal caso no puede garantizarse que sus salidas sean correctas y estables en los instantes de ocurrencia de flancos activos de reloj; para compatibilizar la naturaleza asíncrona de las entradas y esta norma de diseño es necesario registrar las entradas para obtener una “versión” sincronizada. En la figura 23 se muestra el circuito de sincronización y la forma de la entrada.

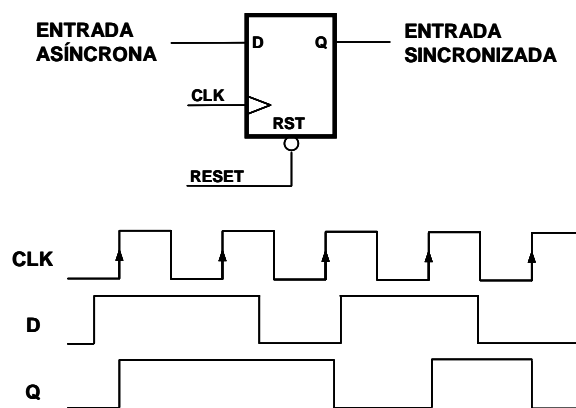


Figura 23. Sincronización de entradas

La sincronización de las entradas asíncronas, siendo necesaria para cumplir las reglas de diseño síncrono, tiene efectos –observables en el cronograma de la figura 24– que el diseñador debe evaluar, pues pueden afectar al diseño del circuito. El primero de ellos es que el circuito de sincronización retarda las conmutaciones de la señal asíncrona tanto como tarde en llegar un flanco activo de reloj: en el caso peor, cuando la entrada asíncrona conmuta justo después de un flanco activo, la demora que se produce es de un periodo de reloj. Un segundo efecto notable de la sincronización es que modifica la forma de la señal: los niveles lógicos de la entrada asíncrona pueden tener, en general, una duración cualquiera, pero la de los niveles de la señal sincronizada siempre va a ser un múltiplo del periodo de reloj.

La duración de los pulsos de la señal sincronizada depende del número de flancos de reloj en que la entrada asíncrona esté a nivel alto (o bajo). Esta última propiedad es válida también para cualquier señal interna de un circuito síncrono; en términos de tiempo, la anchura de una señal es relativa a su nivel en los flancos de reloj: un pulso a nivel alto con una duración de N ciclos de reloj se corresponde con un nivel alto que se detecta en N flancos consecutivos de reloj –entiéndase que lo que se quiere enfatizar aquí es que independientemente del tiempo real que se mantenga un nivel

lógico, o de que haya conmutaciones en el nivel de una señal entre flancos de reloj, para un circuito síncrono sólo es relevante el nivel de las señales en los flancos activos de reloj; de acuerdo con esto, las señales A y B de la figura 24 son equivalentes en forma y duración.

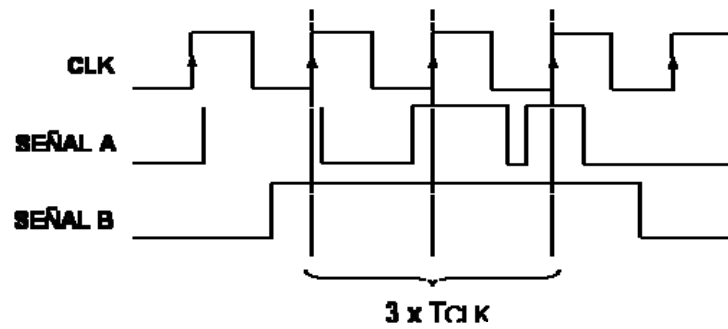


Figura 24. Duración y forma de las señales síncronas