

BLOQUE TEMÁTICO 1**TÍTULO DE LA ACTIVIDAD:** Lectura sobre diseño síncrono**CÓDIGO:**
BT1_A3_L1**FECHA:****NOMBRE:****APELLIDOS:****MODALIDAD:**

Lectura. Individual

TIPO:

Optativa

DURACIÓN:30
minutos**CALENDARIO:****REQUISITOS:****CRITERIO DE
ÉXITO:**

COMENTARIOS E INCIDENCIAS:

TIEMPO DEDICADO:

minutos

AUTOEVALUACIÓN:
[entre 0 y 10 puntos]

No procede

Índice

Conmutación de las salidas de los circuitos combinacionales.....	3
1.- Modelos de funcionamiento de los circuitos combinacionales	3
1.1 Características del funcionamiento de los Circuitos Combinacionales	3
1.2 Modelo ideal de funcionamiento de los Circuitos Combinacionales.....	4
1.3 Modelo de funcionamiento con retardos de circuitos combinacionales simples	5
1.4 Modelo de funcionamiento con retardos de circuitos combinacionales complejos.....	6
Conclusiones	9

Conmutación de las salidas de los circuitos combinacionales

1.- Modelos de funcionamiento de los circuitos combinacionales

En los tres primeros apartados de este capítulo se repasan las propiedades características de los circuitos combinacionales, y los modelos de funcionamiento ideal y con retardos que se utilizan para su análisis y síntesis. En el apartado 1.4 se analiza el comportamiento en conmutación de los circuitos combinacionales complejos, utilizando modelos con retardos, para demostrar que en el proceso de conmutación los circuitos combinacionales se pueden generar pulsos espurios (glitches). El capítulo finaliza exponiendo los problemas de funcionamiento que pueden ocasionar los glitches y cómo condicionan el diseño de sistemas digitales cableados.

1.1 Características del funcionamiento de los Circuitos Combinacionales

El funcionamiento de un circuito combinacional se caracteriza porque la combinación de bits que entrega en sus salidas sólo depende de la que, simultáneamente, esté presente en sus entradas. Como la salida del circuito en un determinado instante de tiempo no guarda relación con los valores de entrada en instantes anteriores, puede decirse que son circuitos que *no tienen memoria*.

En la figura 1 se muestra, a modo de ejemplo, un sumador en el que ambas entradas, A y B, toman el valor 2. Puesto que la función del circuito es calcular la suma de A y B, el valor en la salida debe ser 4.

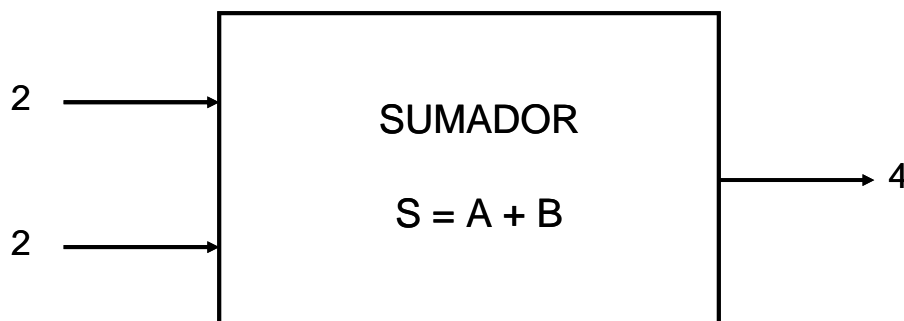


Figura 1. Sumador combinacional

En este ejemplo puede observarse que:

- Para determinar el resultado de la suma en cualquier instante de tiempo al circuito le basta con evaluar y procesar el valor de las entradas en ese mismo instante, resultando irrelevante el que hayan podido tomar anteriormente. El sumador *no tiene memoria*.
- La suma de los mismos valores de entrada tiene asociado siempre el mismo resultado en la salida (siempre que sume 2 y 2 el resultado será 4).
- Mientras las entradas A y B no cambien de valor, el resultado tampoco lo hará (mientras las dos entradas valgan 2 la salida valdrá 4, y sólo cuando cambien las combinaciones de entrada de modo que su suma sea distinta de 4 se modificará el valor en la salida del circuito). La salida del sumador *sólo puede cambiar* si también cambia su entrada.

1.2 Modelo ideal de funcionamiento de los Circuitos Combinacionales

El funcionamiento de los circuitos combinacionales puede representarse mediante *tablas de verdad*, que indican el valor que toma cada bit de salida para todas y cada una de las posibles combinaciones de los bits de entrada. La figura 2 muestra la tabla de verdad de un sumador de dos bits.

A ₁	A ₀	B ₁	B ₀	S ₂	S ₁	S ₀
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	0	1	1	0	1	1
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	0	1	1
0	1	1	1	1	0	0
1	0	0	0	0	1	0
1	0	0	1	0	1	1
1	0	1	0	1	0	0
1	0	1	1	1	0	1
1	1	0	0	0	1	1
1	1	0	1	1	0	0
1	1	1	0	1	0	1
1	1	1	1	1	1	0

Figura 2. Tabla de verdad de un sumador de 2 bits

El funcionamiento también puede expresarse mediante ecuaciones lógicas (booleanas) o, gráficamente, utilizando cronogramas. En los cronogramas *funcionales* los bits de entrada y salida se dibujan como señales ideales, sin tiempos de subida o bajada y sin representar retardos entre las entradas y salidas. En el cronograma de la figura 3 se muestra un ejemplo del funcionamiento ideal del sumador de 2 bits.

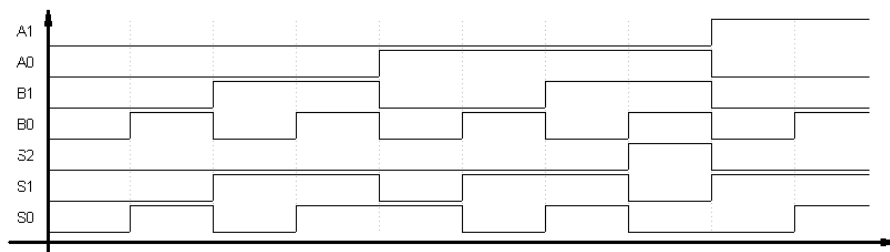


Figura 3. Cronograma del sumador de 2 bits

Las tablas de verdad y los cronogramas funcionales se utilizan en las tareas en que resulta admisible el uso de modelos ideales de funcionamiento (síntesis de ecuaciones booleanas y análisis lógico del funcionamiento del sistema).

1.3 Modelo de funcionamiento con retardos de circuitos combinacionales simples

Para el diseño de circuitos combinacionales se utilizan modelos ideales de funcionamiento. Al interpretar con estos modelos el funcionamiento de un circuito real se desprecia el hecho de que los elementos con que están contruidos (células lógicas y recursos de conexión) tienen retardos. El hecho de que existan retardos implica que las salidas de los circuitos tardan un cierto tiempo en reaccionar a los cambios que se dan en las entradas, es decir, desde que se modifica la combinación de entrada hasta que se establece un valor de salida correcto pasa un cierto tiempo.

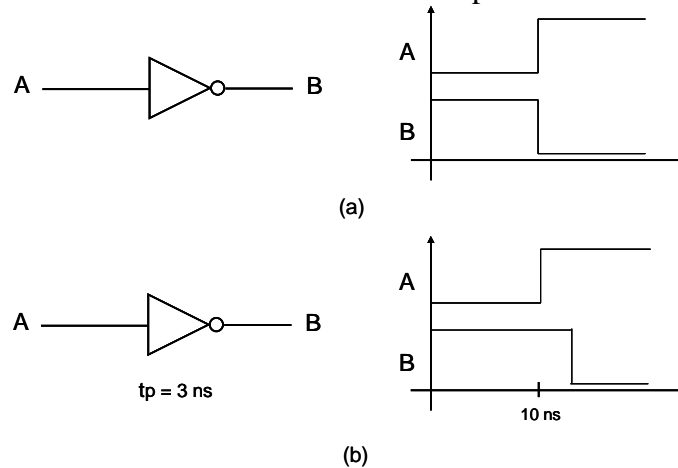


Figura 3. Modelos de funcionamiento de un inversor

Un inversor resulta suficiente para ilustrar las consecuencias que tienen los retardos sobre el funcionamiento de un circuito combinacional. En la figura 3 se muestra el modelo ideal (3a) y con retardos (3b) de una puerta inversora. La única diferencia entre ambos es que en el modelo con retardos la salida no cambia en el mismo instante que la entrada, sino que se retrasa un cierto tiempo: el tiempo de retardo (o propagación) de la puerta. Vamos a repasar a continuación algunas cuestiones importantes relacionadas con este modelo de funcionamiento.

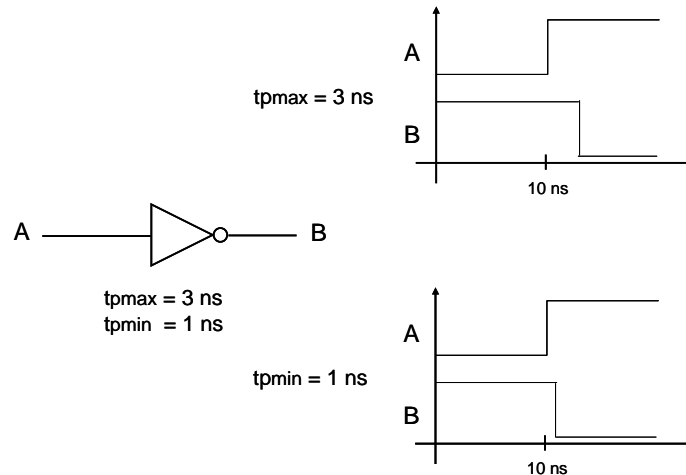


Figura 4. Retardo máximo y mínimo

- El tiempo de retardo del hardware con el que se construyen los circuitos digitales se caracteriza por medio de valores mínimos y máximos (los fabricantes proporcionan a veces también valores típicos de retardo), por lo que resulta imposible conocer su valor exacto; en realidad ni tan siquiera puede hablarse de un “tiempo de retardo exacto”, puesto el retardo efectivo depende de las condiciones de funcionamiento del hardware. Lo único que puede garantizarse en relación con el retardo es que va a estar comprendido dentro de un rango. Lo

que se representa normalmente en los cronogramas en los que se consideran retardos es el valor máximo o mínimo del tiempo de propagación (figura 4).

- El tiempo de retardo de un circuito combinacional se calcula sumando los retardos de las células que realizan operaciones lógicas y el retardo asociado a las pistas y recursos que conectan las células; dependiendo de la tecnología que se use, uno u otro factor puede ser el predominante (en las FPGAs, por ejemplo, el retardo imputable a la red de interconexión suele ser el factor que más contribuye al retardo total). El modelo de retardo para un inversor podría ser como el de la figura 5.

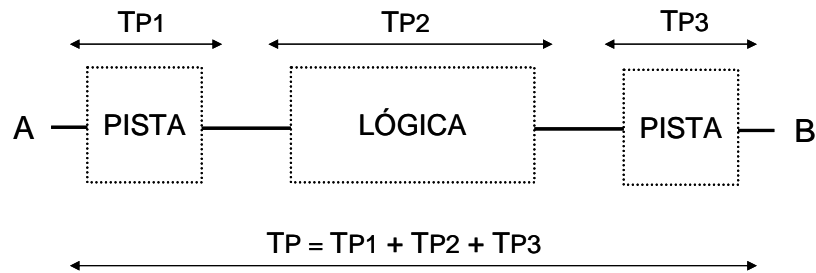


Figura 5. Componentes del retardo

- Por último, hay que poner de manifiesto un detalle muy importante del funcionamiento real que puede pasar inadvertido: desde que cambia la entrada y hasta que transcurre el tiempo de retardo y, en consecuencia, se establece un nuevo valor en la salida, la operación lógica que realiza el circuito es incorrecta, es decir, el circuito funciona *mal* (en el caso del inversor, por ejemplo, el nivel lógico de salida no es el complementario del de entrada). Estos intervalos de “mal funcionamiento” se dan en todos los circuitos combinacionales cuando hay cambios en las entradas que llevan aparejados conmutaciones en la salida, pero están acotados por el tiempo de propagación: el funcionamiento correcto se restablece cuando desde la conmutación de la entrada transcurre un tiempo igual al de propagación del circuito; por ello podemos considerarlo como un *régimen transitorio* de funcionamiento.

Un circuito combinacional estará en *régimen permanente* cuando la entrada que tiene en un determinado momento no ha cambiado durante un tiempo mayor o igual al de propagación del circuito, y en *régimen transitorio* en caso contrario. Durante el *régimen permanente* un circuito combinacional funciona como su modelo ideal, mientras que en el *régimen transitorio* el funcionamiento puede ser distinto.

1.4 Modelo de funcionamiento con retardos de circuitos combinacionales complejos

Una vez conocida la casuística asociada a los retardos en los circuitos combinacionales simples, podemos abordar el estudio del comportamiento real de los circuitos combinacionales complejos, entendiendo que esta categoría engloba a cualquier combinacional realizado mediante la interconexión de varias primitivas lógicas de una determinada tecnología (varias puertas, PALes, o LUTs).

Lo que tiene de particular el *régimen transitorio* de un circuito combinacional complejo es que durante el mismo pueden originarse pulsos espurios, denominados *glitches*. La figura 6 nos permite estudiar este fenómeno en un circuito que realiza una función lógica sencilla.

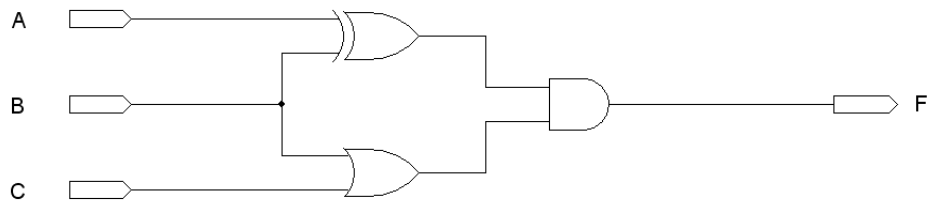
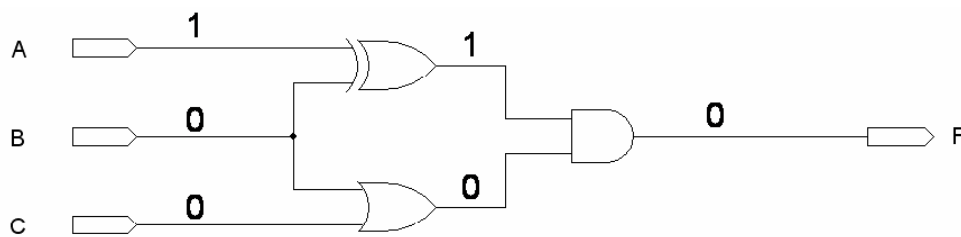


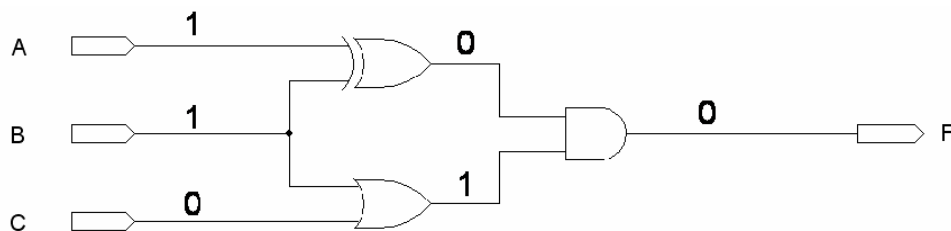
Figura 6. Circuito combinacional

Si el circuito está en régimen permanente podemos analizar su funcionamiento empleando el modelo de funcionamiento ideal:

- Si la combinación de entrada es $A = 1$, $B = 0$ y $C = 0$, en la salida de la puerta *xor* habrá un 1 y en la de la puerta *or* un 0, en consecuencia la salida de la puerta *and*, F, valdrá 0 (Figura 7).

Figura 7. Régimen Permanente para $A = 1$, $B = 0$ y $C = 0$

- Si B pasa a valer 1, la nueva combinación de entrada, $A = 1$, $B = 1$ y $C = 0$, también tiene asociado, en régimen permanente, un 0 en la salida –ya que para esta combinación la salida de la puerta *xor* es 0 (Figura 8).

Figura 8. Régimen Permanente para $A = 1$, $B = 1$ y $C = 0$

Para analizar el régimen transitorio ocasionado por la conmutación de la entrada B hay que tener en cuenta el retardo aportado por cada elemento del circuito:

- Tras la conmutación de la entrada B del circuito, y al cabo de un tiempo T_1 (que será la suma del tiempo de retardo de la puerta *or* y de los retardos introducidos por las pistas de interconexión), el nivel lógico en la entrada de la puerta *and* conectada a la salida de la puerta *or* pasa a ser 1.
- Simultánea e independientemente, y transcurrido un tiempo T_2 desde la conmutación de B (cuyo valor será, en este caso, la suma de los retardos de otras pistas de interconexión y del

tiempo de propagación de la puerta *xor*), el nivel lógico en la otra entrada de la puerta *and* pasará a ser 0.

- Si T_1 es menor que T_2 (figura 9), habrá un 1 en las dos entradas de la puerta *and* durante un intervalo de tiempo de duración igual a $T_2 - T_1$ –ya que la entrada de la puerta *and* conectada a la salida de la puerta *or* se pone a 1 antes de que deje de haber un 1 en la otra entrada.

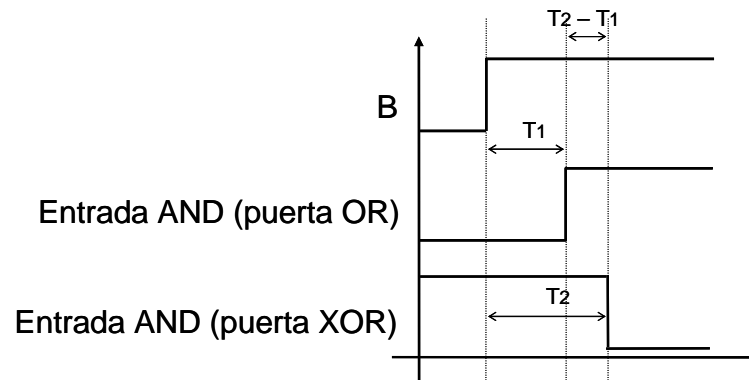


Figura 9. Retardos de Propagación en el R.T.

- Si la puerta *and* y la pista que conecta su salida a la del circuito acumulan un retardo T_3 , se genera un *glitch* tal y como se muestra la figura 10.

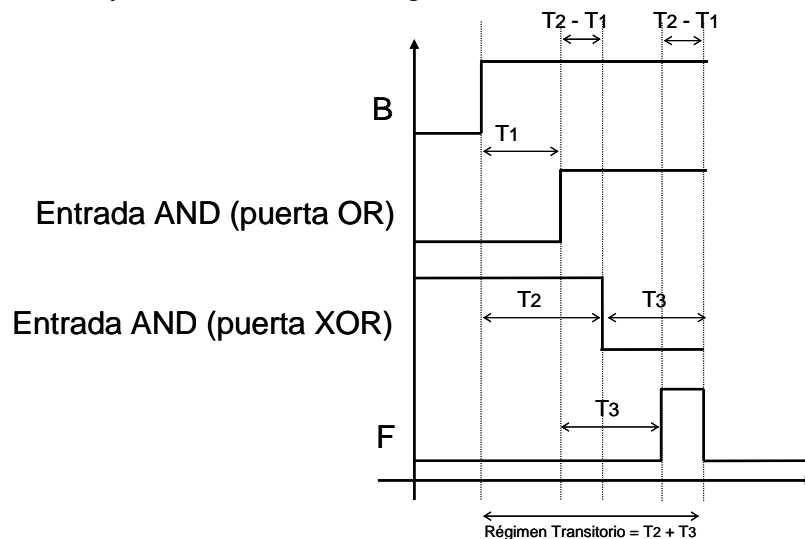


Figura 10. Generación de *glitches*

El ejemplo anterior muestra cómo una conmutación de los bits de entrada entre dos combinaciones que tienen asociado un mismo valor en la salida, un 0, puede dar lugar a la generación de un pulso espurio, un *glitch*, debido a los retardos asociados a los elementos del circuito; observe que con unos retardos diferentes podría cambiar el comportamiento del circuito: si T_1 fuese mayor que T_2 , no se generaría el *glitch* en el caso de la conmutación estudiada porque no llegaría a haber simultáneamente dos unos –sí dos ceros– en la entrada de la puerta *and*.

La duración de los *glitches* está acotada por el retardo del circuito, su número y forma depende de la estructura del circuito –es decir, de qué realización concreta, de entre las múltiples posibles, se ha elegido para construirlo–, de los retardos asociados a los elementos del circuito (que son cambiantes y sólo en cierta medida controlables por el diseñador) y de la actividad en las entradas –que determina, en definitiva, las conmutaciones que se producen y, en consecuencia, los regímenes transitorios que pueden darse.

Conclusiones

Como hemos visto, el funcionamiento de los circuitos combinacionales reales se diferencia del funcionamiento ideal en que existe un retardo en el establecimiento de la combinación de salida correcta cuando cambiamos la combinación de entrada y en que, además, durante ese periodo de tiempo –que consideramos como un régimen transitorio de funcionamiento– puede haber pulsos espurios, *glitches*, en las salidas del circuito.

Las salidas de un circuito combinacional que genere *glitches* pueden causar o no errores de funcionamiento en un sistema dependiendo de “a qué” y “cómo” estén conectadas. Hay un conjunto de casos donde los *glitches* pueden causar problemas o funcionamientos incorrectos:

- Cuando las salidas de un combinacional se conectan a la entrada de reloj de un *flip-flop* o la entrada de habilitación de un *latch*; en ambos casos un *glitch* constituye un evento que puede determinar la memorización incontrolada de un dato.
- Cuando las salidas de un combinacional se conectan a entradas asíncronas de *latches* o *flip-flops*; porque los *glitches* pueden producir una inicialización indeseada.
- Cuando la salida del circuito combinacional es también una salida de un sistema digital cuyas especificaciones morfológicas son incompatibles con la presencia de *glitches*; un ejemplo de esto son las señales de control de buses asíncronos: señales de validación de datos o direcciones, de control de lectura/escritura, etcétera.

También hay situaciones en las que la existencia de *glitches* en las salidas de un combinacional resulta irrelevante:

- Cuando las salidas del circuito combinacional se conectan a las entradas de otro circuito combinacional. El conjunto equivale a un único combinacional, cuyas salidas potencialmente podrán producir *glitches* durante un régimen transitorio de duración acotada por el tiempo de propagación de los bloques combinacionales encadenados.
- Cuando las salidas del combinacional se registran en *flip-flops* una vez que el circuito ha alcanzado el régimen permanente de funcionamiento.