



## 1.º Trabalho Prático

### Objetivo

Projetar e implementar de um sistema digital para a realização de testes de circuitos digitais.

### Descrição

A Figura 1 apresenta o diagrama de blocos do sistema a implementar. Este sistema permite verificar o correto funcionamento dos seguintes circuitos digitais de duas entradas:  $F1 = A.B$ ,  $F2 = \bar{A} + B$  e  $F3 = A.\bar{B} + \bar{A}.B$

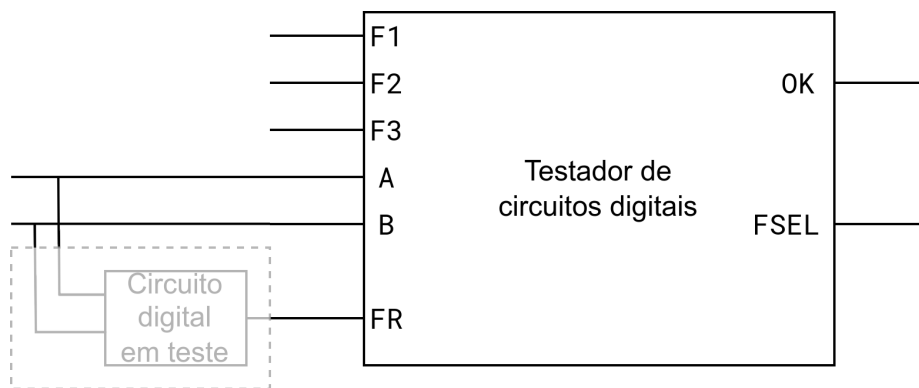


Figura 1: Diagrama de blocos do sistema

As entradas  $F1$ ,  $F2$  e  $F3$  permitem selecionar, quando ativas, qual o circuito digital que será testado.

As entradas  $A$  e  $B$  determinam quais os valores lógicos que estão presentes nas entradas do circuito digital em teste.

A entrada  $FR$ , indica qual o valor lógico real que o circuito em teste apresenta para uma dada combinação das entradas  $A$  e  $B$ .

A saída  $OK$ , quando ativa, indica se circuito em teste exibe o valor correto. Quando não existir qualquer circuito digital selecionado, isto é, nenhuma das entradas  $F1$ ,  $F2$  e  $F3$  ativas, esta saída fica desativa para qualquer das combinações das entradas  $A$  e  $B$ .

A saída  $FSEL$ , quando ativa, indica que está pelo menos um circuito digital selecionado.

### Funcionamento

O sistema apresenta o seguinte funcionamento:

1. Seleciona-se o circuito digital que se pretende testar, ativando a respetiva entrada  $F1$ ,  $F2$  ou  $F3$ . Se existir mais que uma entrada ativa, o sistema deve considerar o circuito digital pertencente à entrada de índice maior, isto é, a de maior prioridade.  $F3 \gg F2 \gg F1$
2. Na entrada  $FR$ , define-se o valor que o circuito em teste gera para a combinação das entradas  $A$  e  $B$ .
3. A saída  $OK$  fica ativa se, para a combinação das entradas  $A$  e  $B$ , o resultado do circuito em teste corresponde ao circuito digital selecionado.

## Implementação

A Figura 2 apresenta uma implementação possível do sistema.

O circuito digital **Codificador com prioridade** produz o código **Y** de dois *bits* (**Y1** e **Y0**) do circuito digital a testar mais prioritário. A saída **FS** é ativa quando existe pelo menos uma entrada ativa.

O circuito digital **Gerador de função** apresenta na saída **R** o valor lógico que a função codificada em **FC** (**FC1** e **FC0**) deve ter para a combinação determinada pelas entradas **C1** e **C0**.

O circuito digital **Validador** apresenta a saída **V** ativa se existir um circuito selecionado (**E** ativo) e o valor lógico de **RG** e **RR** forem iguais.

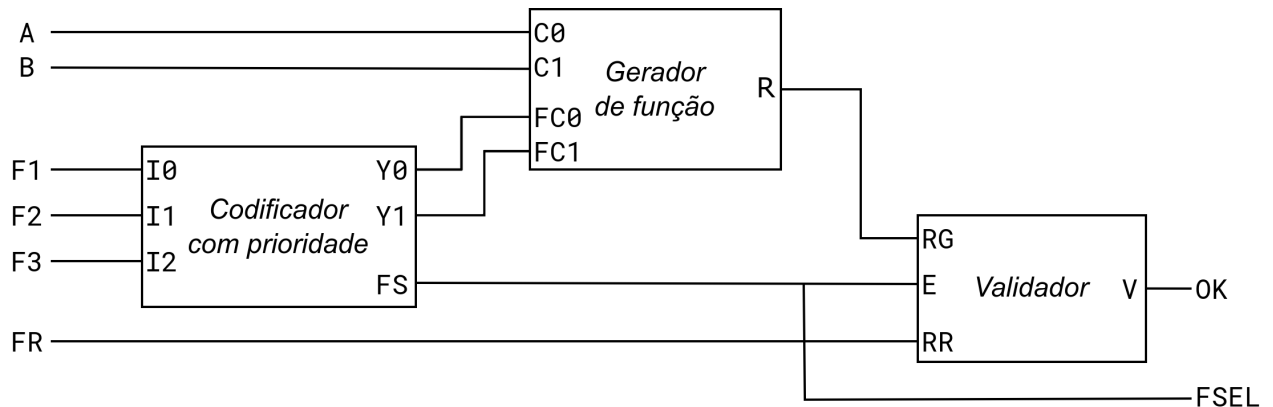


Figura 2: Diagrama de blocos detalhado de uma implementação do sistema

Esta implementação está parcialmente descrita no ficheiro [LEETC\\_LSD\\_2324i\\_1TP.circ](#) e deve ser a base de trabalho inicial para a realização do trabalho.

Recomenda-se a utilização do ficheiro [LEETC\\_LSD\\_2324i\\_1TP.pld](#) como *template* para a descrição em CUPL do trabalho.

Para a apresentação do protótipo do sistema desenvolvido, deve ser utilizada uma PAL ATF750CL e a placa de ensaios/testes ATB para a realização das diferentes condições de teste.

## Calendarização

O trabalho é realizado em grupo e **deve ser entregue até às 8h do dia 11 de outubro de 2023 via plataforma Moodle na meta-disciplina de LSD da LEETC**. Aquando da sua submissão deverá ser entregue um relatório com a solução adotada, que fazendo um todo coerente, deve conter:

- uma descrição sucinta dos métodos adotados;
- o desenho esquemático;
- a descrição CUPL.

**Nota:** A apresentação do trabalho é feita ao docente da turma em data a combinar com este.