

Conversores digitales analógicos

Es conveniente "convertir" los valores de las magnitudes del mundo real (analógico) en números para poder analizarlas y procesarlas. (En particular a nosotros nos interesará MEDIRLAS): **Conversores Analógicos Digitales: ADC**

En algunos casos también se necesitará volver a convertir esos valores numéricos al "mundo" analógico: **Conversores Digitales Analógicos: DAC**

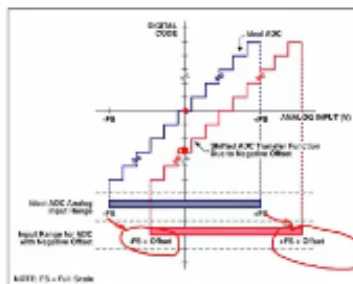


La cantidad de Dígitos Binarios (BIT's) es variable. (Eso cambia la **resolución**).

La magnitud analógica corresponderá al número binario con un **factor de escala**.

Siempre hay una referencia de tensión (o corriente) analógica que "define" ese factor de escala

Conversores: Parámetros

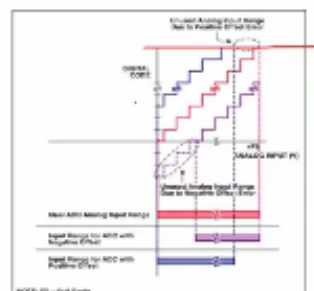


El error de offset además de lo obvio limita el rango de valores "convertibles".

Idealmente la relación gráfica entre los valores analógicos y digitales es una "escalera" con pendiente 1.

Normalmente se presentan diferencias con esa curva ideal.

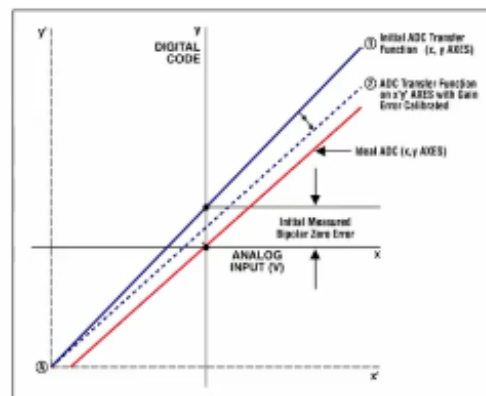
Offset: Cuando el cero de la magnitud analógica y digital no coinciden pero la pendiente sigue siendo 1.



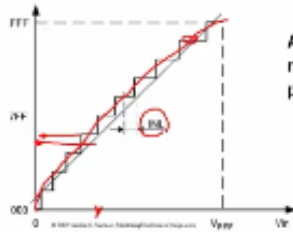
Conversores: Parámetros

Error de ganancia: Ocurre cuando la pendiente de la curva que relaciona valores digitales y analógicos no es 1.

Error de ganancia:
ejemplo en un
conversor bipolar



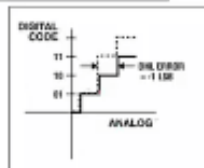
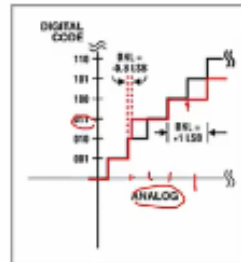
Conversores: Parámetros



Alinealidad integral (INL): indica cuán "lejos" como máximo se está de la curva ideal (escalera que tiene pendiente 1 y pasa por el origen).

Alinealidad diferencial (DNL=Differential Non Linearity): refiere a un valor específico de conversión que puede estar separado de la curva ideal.

Si llega a ser igual a 1 LSB puede haber códigos faltantes

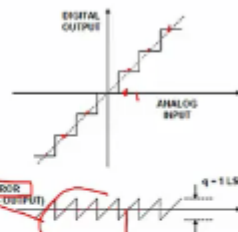


Conversores: Ruido de cuantización

La digitalización conduce a una pérdida de la información (Un rango de valores de la señal analógica se convierte en el mismo número).

Se puede imaginar que la señal digitalizada es la señal original a la que se le ha sumado un valor que llamamos error de cuantización o ruido de cuantización.

Rigurosamente hablando en muchos casos ese "ruido" es más una distorsión (está fuertemente correlacionada con la señal por lo que no deberíamos llamarlo ruido).



Si aceptamos que ese "ruido" es una rampa periódica de amplitud $\frac{q}{2}$ donde q es el "escalón analógico" correspondiente a un bit podremos calcular su **valor eficaz R** como:

$$R = \sqrt{\frac{1}{T} \int_{-T/2}^{T/2} \left(\frac{q}{2} t\right)^2 dt}$$

$$R = \frac{q}{\sqrt{12}}$$

Desde el punto de vista espectral es aproximadamente plano hasta $f_s/2$ donde f_s es la frecuencia de muestreo. Obsérvese que la potencia total es INDEPENDIENTE de la velocidad de muestreo.

Conversores: Ruido de cuantización

Supongamos que se muestrea y digitaliza una señal sinusoidal cuyos picos coinciden con los valores mínimo y máximo de un conversor de n bits donde 1 bit representa un salto q de valores. Como el valor eficaz de una sinusoides es:

$$V_{RMS} = \frac{V_{pico}}{\sqrt{2}} \text{ y } V_{pico} = q2^{n-1}$$

El valor eficaz de la señal será S :

$$S = \frac{q2^{n-1}}{\sqrt{2}} = \frac{q2^n}{2\sqrt{2}}$$

La relación señal ruido en dB es:

$$S/R = 20 \log \left(\frac{q2^n}{2\sqrt{2}} \cdot \frac{\sqrt{12}}{q} \right) = 20 \log \left(2^n \frac{\sqrt{12}}{\sqrt{4 \cdot 2}} \right) = n \cdot 20 \log(2) + 20 \log \left(\frac{\sqrt{3}}{2} \right)$$

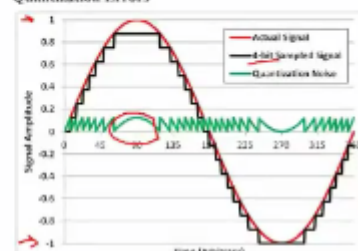
Como: $20 \log 2 = 6.02$ $20 \log (\sqrt{3/2}) = 1.76$

Resulta

$$S/R = 6.02n + 1.76 \text{ dB}$$

Esa ecuación si bien se calculó para una señal sinusoidal y un "error" con ciertas "aproximaciones" tiene una validez bastante general. Redondeando se puede decir que la relación señal a ruido de cuantización en dB es 6 veces más grande que la cantidad de bits.

Quantization Errors



$$20 \log \left(\frac{\sqrt{3}}{2} \right) = 20 \log \left(\frac{\sqrt{3}}{2} \right) = 20 \log \left(\frac{1.732}{2} \right) = 20 \log (0.866) = -1.2 \text{ dB}$$

$$6.02n - 1.2 \text{ dB} \approx 6.02n + 1.76 \text{ dB}$$

Conversores: ENOB

Hemos visto que la relación señal a ruido teórica al digitalizar es

$$S/R = 6.02n + 1.76 \text{ dB}$$

Por el funcionamiento no óptimo de un conversor la relación puede resultar peor que la calculada considerando solo el número de bits.

Podríamos pensar esa situación como equivalente a si se hubiera digitalizado en forma perfecta pero con un menor número de bits.

Si se despeja n de la ecuación anterior

$$n = \frac{(S/R) - 1.76 \text{ dB}}{6.02}$$

Llamaremos número de bits efectivos de un conversor al que se obtiene de la fórmula anterior usando la relación S/R observada como dato.

El número de bits "efectivos" (ENOB) es generalmente menor (igual en las condiciones ideales) que el número de bits reales n del conversor:

$$n > \text{ENOB} = \frac{(S/R) - 1.76 \text{ dB}}{6.02}$$

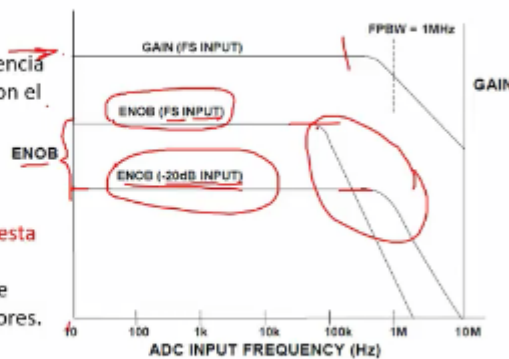
Conversores: ENOB

El ENOB es una característica de AC de los conversores.

El ENOB **varía** con la frecuencia de la señal digitalizada y con el nivel de las mismas

El cambio se debe a:

- Alinealidades de los conversores
- Diferencias en la respuesta en frecuencia de los circuitos analógicos que conforman los conversores.
- Variaciones en las impedancias de entrada de los circuitos analógicos



Muestreo y retención

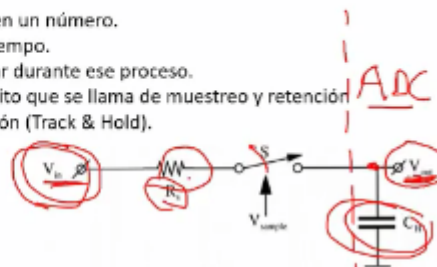
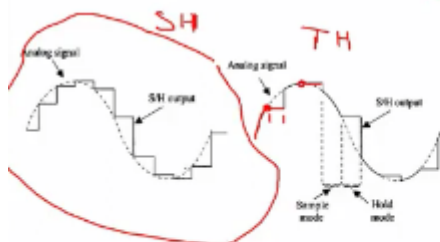
Un conversor AD convierte una tensión en un número.

Para realizar el proceso se requiere un tiempo.

La tensión a convertir no debería cambiar durante ese proceso.

Para lograr esto último se utiliza un circuito que se llama de muestreo y retención (Sample & Hold) o seguimiento y retención (Track & Hold).

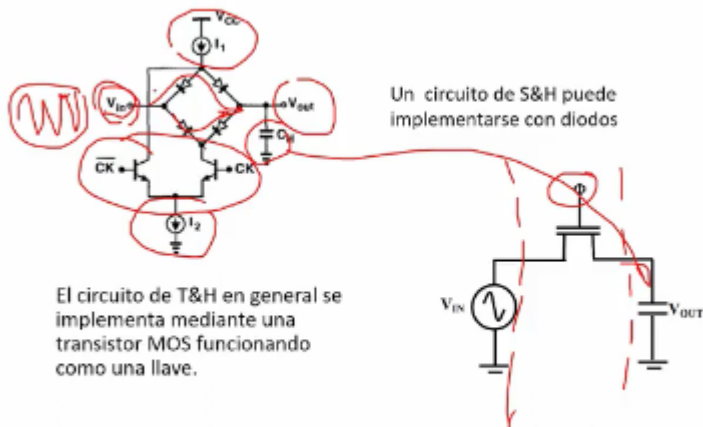
Circuito básico



Cuando la llave está cerrada el capacitor C_H se carga al valor de V_{in} . ($V_{out} = V_{in}$)
Al abrirse la llave el capacitor permanece cargado con el último valor que tuvo V_{in} .
 V_{out} es una MUESTRA de V_{in} en el momento de la apertura.

La diferencia es que en el S&H la llave se cierra brevemente antes de volver a abrirse mientras que en el T&H está casi siempre cerrada y solo se abre en el momento de "tomar" la muestra. Por eso se prefiere el T&H en casi todas las aplicaciones de hoy.

Muestreo y retención

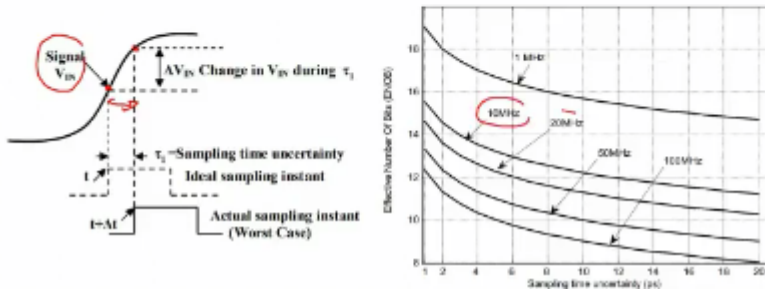


Un rápido análisis del circuito permite encontrar varias limitaciones que deberán ser consideradas

Muestreo y retención

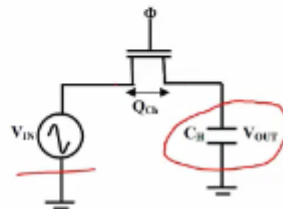
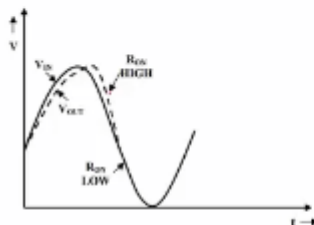


1. La constante de tiempo RC.
2. El efecto del ruido térmico de la R_{eq} del MOS.
3. La incertidumbre en el momento de la apertura de la llave MOS.

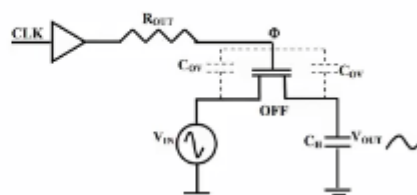


Muestreo y retención

4. Alinealidades del transistor MOS en track.
5. Inyección de carga al pasar a modo hold.



6. Impedancia finita del MOS como llave abierta.



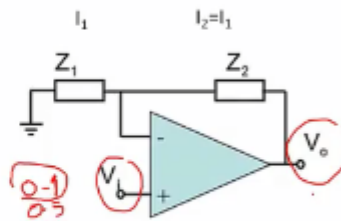
Digitales analógicos (DAC)

En un amplificador operacional como el de la figura:

$$V_o = (1 + \frac{Z_2}{Z_1}) V_i$$

Si representamos el dígito binario 0 por una tensión de 0 Volt y el dígito binario 1 por 5 Volt y "conectamos" alguno de esos dígitos binarios como V_i aparecerá una tensión V_o .

Podemos imaginar que estamos "convirtiendo" el dígito binario en una tensión analógica

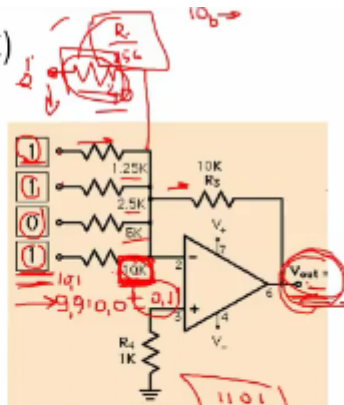


Esta conversión de un solo bit en una tensión no es muy útil. Veremos como convertir, con esta misma idea, números de mayor cantidad de bits en tensiones analógicas.

Digitales analógicos (DAC)

Se puede aprovechar la configuración anterior para "convertir" un número más "complejo".

El bit más significativo se "conecta" a la resistencia menor y los restantes a resistencias que sucesivamente tienen valores de resistencias que se multiplican por 2.



Normalmente ese esquema no se usa por la dificultad en obtener valores de R muy diferentes con las exactitudes requeridas.

Si se tienen 10 bits la resistencia más grande es 1024 veces mayor que la más pequeña y su tolerancia debe ser menor que el valor de ella.

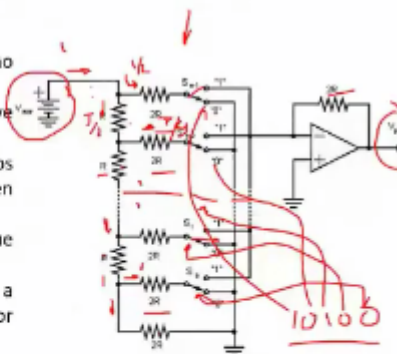
Se suele usar un esquema con resistores iguales en paralelo o la red R-2R.

Digitales analógicos (DAC)

Tiene más resistencias pero son todas del mismo valor (las de valor 2R son 2 resistores en serie). Cuando el bit correspondiente sea uno la llave estará en la posición 1 y en la otra cuando sea 0. La corriente entregada por V_{ref} se divide en dos corrientes iguales (porque las R_{eq} son iguales) en cada nodo.

Eso hace que la corriente por S_{n-1} sea el doble que la de S_{n-2} y así sucesivamente.

Esas corrientes al pasar por la llave se deriva a masa o se agrega a la corriente que va a pasar por la resistencia de realimentación.



Como la tensión de salida la genera la corriente total (definida por cuales llaves están cerradas) sobre la 2R de la realimentación la tensión será proporcional número binario que "comanda" la apertura y cierre de las llaves.

Ese valor estará "escalado" por V_{ref} .

Usando R de valor pequeño se aumenta el consumo del conjunto pero la velocidad de respuesta del sistema mejora (puedo cambiar el estado de las llaves más rápidamente y el valor analógico de la salida seguirá siendo proporcional al número binario).

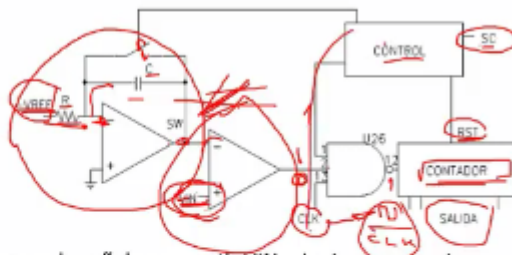
Analógicos digitales (ADC)

Tipos:

- • Rampa
- • Sigma-Delta
- • Aproximaciones sucesivas
 - Flash
 - Flash pipeline
 - Flash entrelazado

Conversores: Rampa

Cuando se comienza la conversión una tensión de referencia V_{ref} se integra analógicamente y se comienzan a contar los pulsos regulares de una señal de reloj (CLK)



El valor integrado se compara con la señal a convertir V_{IN} mientras se cuentan los pulsos de un reloj.

Cuando la integral alcanza un valor igual a la señal de entrada se inhibe la entrada de los pulsos al contador. La lectura del contador es el valor digital que representa el valor analógico que se deseaba convertir.

Se convierte "midiendo" el tiempo que tarda un integrador para llegar al valor analógico que se desea convertir.

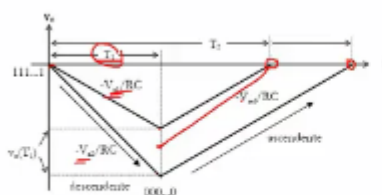
Se requiere Linealidad muy buena del integrador y, además, R y C deben tener tolerancias muy pequeñas pues la exactitud del valor de la integral depende de ello.

Conversores: Rampa doble

Se integra la señal V_A a digitalizar durante un tiempo fijo T_1 .

Al comenzar la integración el comparador cambia de estado.

Luego de T_1 se conecta la referencia V_{REF} (negativa y mayor en valor absoluto a V_A) la rampa invierte su pendiente hasta que la tensión de salida del integrador vuelve a 0.



La rampa inicial tiene pendiente variable y llega a un valor proporcional a la tensión a convertir.

La rampa de la vuelta a 0 tiene pendiente fija.

El tiempo necesario para volver a 0 T_2 es proporcional a V_A :

$$T_2 = \frac{V_A}{A_{EF}} T_1$$

Ese tiempo está "acumulado" en la cuenta del contador que "es" el valor digital de V_A .

Conversores: Rampa doble

Ventajas:

La conversión es independiente de la constante de integración.

Desventajas:

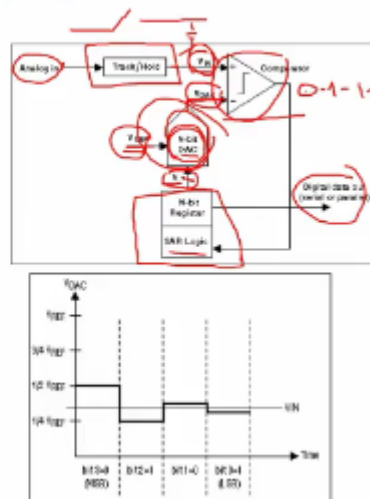
Es lento y el tiempo de conversión depende del valor a convertir.

Cuando el número de bits crece para una dada frecuencia de reloj la pendiente de la señal integrada es muy pequeña dando lugar a errores en la detección de la "vuelta a 0" en el comparador.

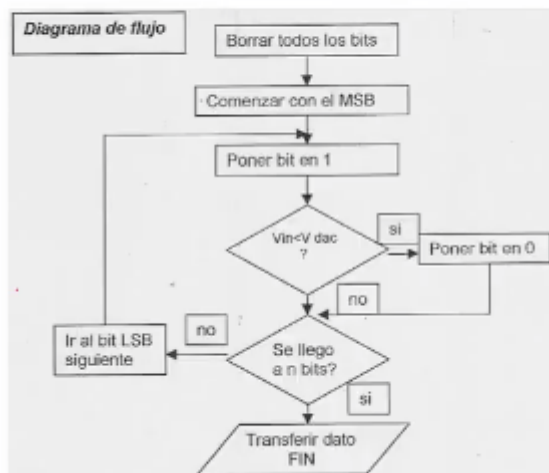
Se utiliza un esquema de multiple rampa con DAC intermedios para aumentar la resolución y limitar tiempos de adquisición y errores del comparador

Aproximaciones sucesivas (SAR)

- Se utiliza un DAC y un registro de aproximaciones sucesivas.
- Se realiza una comparación por bit. La velocidad está limitada por el tiempo de establecimiento del DAC (Diferente para cada bit), el de respuesta del comparador, en el orden de 1 Msa/s
- La linealidad depende de la del DAC y más de 12 bits de resolución requieren laser trimming en las obleas de silicio.
- Se usa un tipo especial de DAC llamado DAC capacitivo que implementa el DAC con capacitores para disminuir consumo y área de silicio usado.

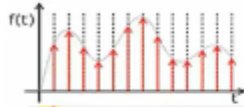
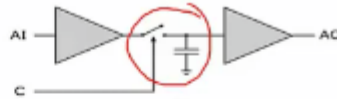


Lógica funcional del SAR

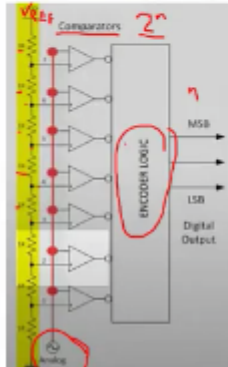
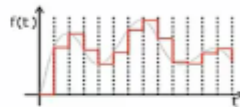


Conversores: Flash

La señal a digitalizar se conecta en AI y es amplificada y conectada al capacitor (la llave se encuentra cerrada y el capacitor está cargado con la tensión de la señal)



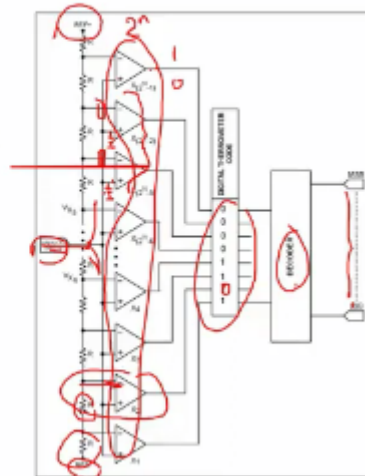
Cuando se desea hacer una conversión se abre la llave. La tensión en ese momento queda "congelada" en el capacitor.



La tensión de entrada "congelada" (Analog input en la imagen) se compara con distintas tensiones obtenidas al dividir una referencia con resistores iguales. Las salidas de los comparadores sucesivamente se ponen en 1 a medida que la tensión a convertir es mayor. En este ejemplo las 7 salidas de los comparadores se codifican con una lógica de dos etapas para tener una salida de 3 bits. Para que la salida sea de n bits son necesarios $2^n - 1$ comparadores

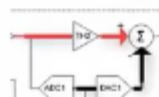
Conversores: Flash

- Nótese que la tensión a convertir debe estar siempre entre REF+ y REF- para que las comparaciones funcionen
- Se requiere que los amplificadores tengan mucho ancho de banda y bajo offset (menor cuanto más bits tenga el conversor). La linealidad y el valor exacto de la ganancia no importan
- Los resistores integrado se ajustan en valor con laser. Errores en el "laser trimming" crean códigos "imposibles".
- Lo mismo ocurre si la señal de entrada cambia más rápido que la velocidad de respuesta de los amplificadores o no llega simultáneamente a todos.
- Se requieren $2^n - 1$ comparadores por lo que conversores flash de más de 10 bit son difíciles de fabricar no solo por el aumento de la complejidad circuital sino también por el aumento del consumo (y calentamiento del chip)



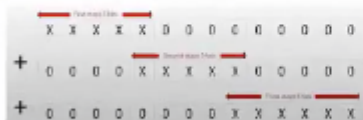
Flash pipeline

El circuito TH1 retiene el valor analógico de la tensión de entrada que es convertida por ADC1 (flash de 5 bits).



El DAC1 convierte esa tensión en analógica nuevamente y la resta a la tensión anterior ahora retenida por TH2

A2 es un amplificador (que gana 32) que lleva la diferencia (o residuo) como máximo al mismo máximo permitido en ADC1 y el proceso se repite en la siguiente etapa obteniéndose los "siguientes" bits del conversor que se agregan a los primeros.

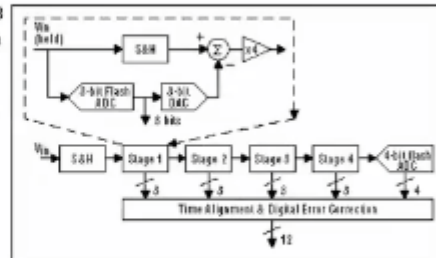


La etapa digital hace un solapamiento de bits para corregir y controlar las diferencias entre los ADC y DAC de cada etapa.

Si bien teóricamente se puede repetir indefinidamente el mismo esquema en la práctica se limita a tres o 4 etapas porque los errores se van acumulando.

Conversores: Flash pipeline

- Se agrupan conversores flash (=alta velocidad) de pocos bits (=pocos comparadores). Para obtener 14 bits se necesitan tres ADC de 5 bits (o sea $3 \times 32 = 96$ comparadores) en lugar de $2^{14} - 1 = 16383$
- Se requiere amplificadores y DACs que tengan mucha linealidad. En particular en la primera etapa.
- El tiempo de conversión es siempre mayor al de un flash por los tiempos analógicos de los amplificadores y los DACs
- Si bien la cantidad de conversiones por segundo es igual a la de un flash se necesita el tiempo de 3 conversiones para obtener el primer valor...
- La lógica incluye corrección de errores y codificación es más complicada que en los flash en los que es simplemente un codificador.
- Por debajo de 1 Msa/s es más conveniente (=5) usar los del tipo de Aproximaciones sucesivas.

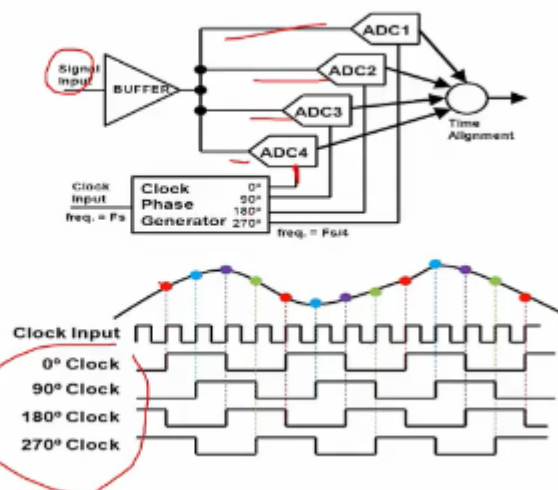


Conversores: Entrelazado de ADC

Cuando la velocidad de un conversor no alcanza.... Se ponen varios!

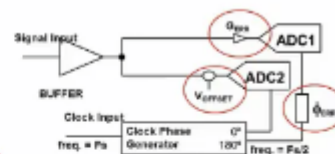
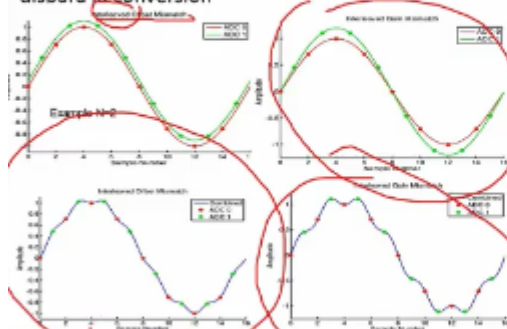
La muestras se toman defasadas en cada uno respecto de los otros.

En este tipo de implementaciones se trata que todos los ADC estén apareados (con la misma V_{in} entreguen el mismo número) y que las muestras se tomen perfectamente equiespaciadas



Conversores: Entrelazado ADC

Los problemas típicos de estos conversores son diferencia de ganancia u offset en los caminos a cada conversor y errores de fase en la señal de clock que dispara la conversión



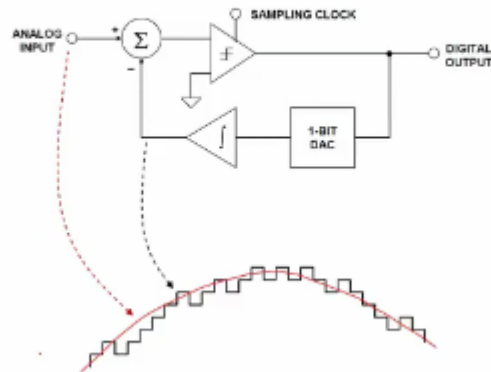
Nótese en este ejemplo el efecto de los errores de offset y ganancia. La señal "aparente" (si "creemos" en las muestras) es una senoide con una onda triangular superpuesta.

Los errores de offset y ganancia son detectables y hasta cierto punto corregibles digitalmente analizando las señales resultantes.

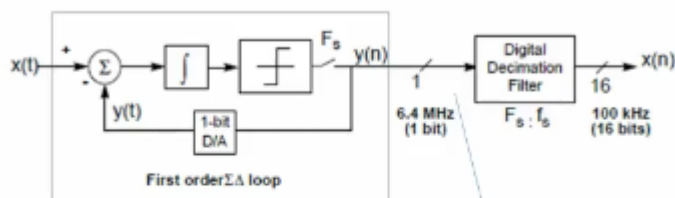
Los errores debido a la fase incorrecta del clock son MUCHO mas difíciles de corregir y se trata de hacerlo mejorando el clock y equiparando los caminos analógicos de las señales.

Conversores: Sigma-delta

Modulación delta. Principio de funcionamiento

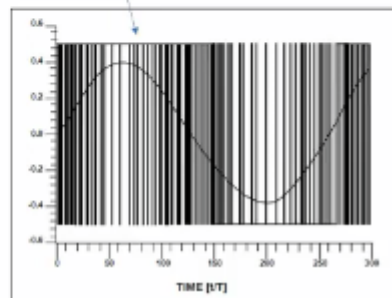


Conversores: Sigma-delta



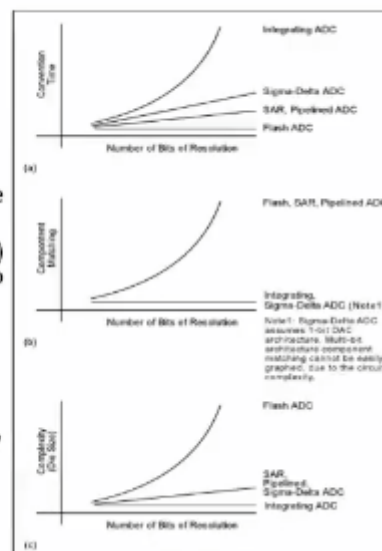
Implementación conversor

Salida observable con una entrada sinusoidal



Conversores comparación

- La velocidad de conversión no depende del número de bits en un conversor flash
- La exactitud de los componentes es crítica en los flash y los de aproximaciones sucesivas, no en los de rampa
- La circuitería (y la potencia consumida) casi se duplica cada bit en un flash, eso no ocurre con los de los otros tipos.
- Los de rampa son inherentemente lentos por el tiempo de integración necesario.
- Los de rampa permiten convertir más fácilmente señales de muy bajo valor y eliminar perturbaciones aleatorias (por la integración).



Conversores: Comparación tipos

La gráfica que sigue es orientativa, varía con los fabricantes y evoluciona rápidamente (donde dice parallel léase entrelazados).

