



IE0323

Sistemas Digitales I

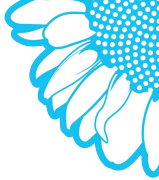
Laboratorio #3

Diagramas Esquemáticos



Objetivos

- Familiarizarse con el software Intel Quartus Prime Lite y su entorno de diseño gráfico.
- Implementar diagramas esquemáticos a partir de compuertas lógicas básicas.
- Diseñar y sintetizar circuitos digitales basados en expresiones booleanas.
- Programar una FPGA para verificar el funcionamiento de los diseños implementados.
- Comprender la relación entre las asignaciones de pines y los periféricos de la placa de desarrollo.



Tarjeta DE10-Lite

Conexión USB

VGA

SDRAM 64MB

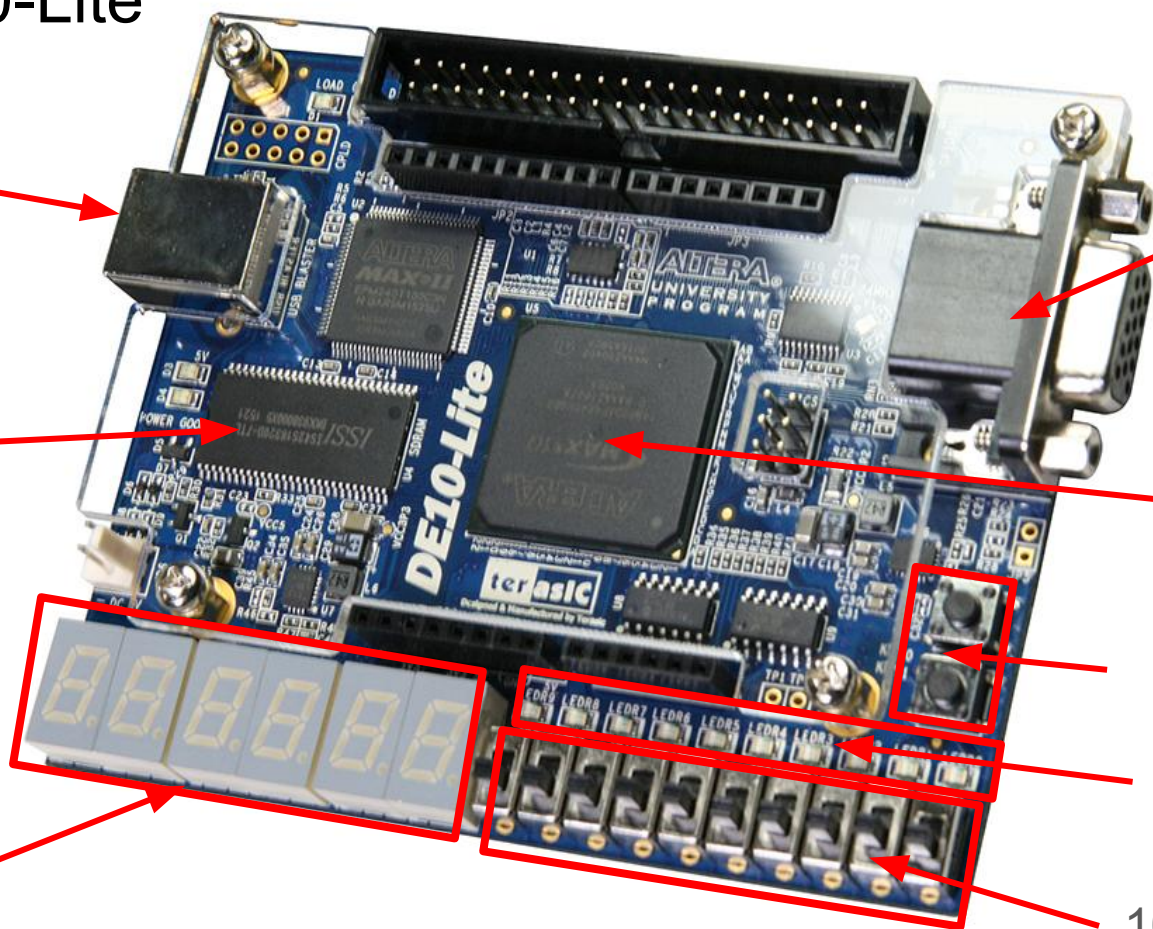
FPGA Altera
Max 10

2x Botón

10x LED

6x Displays de
7-Segmentos

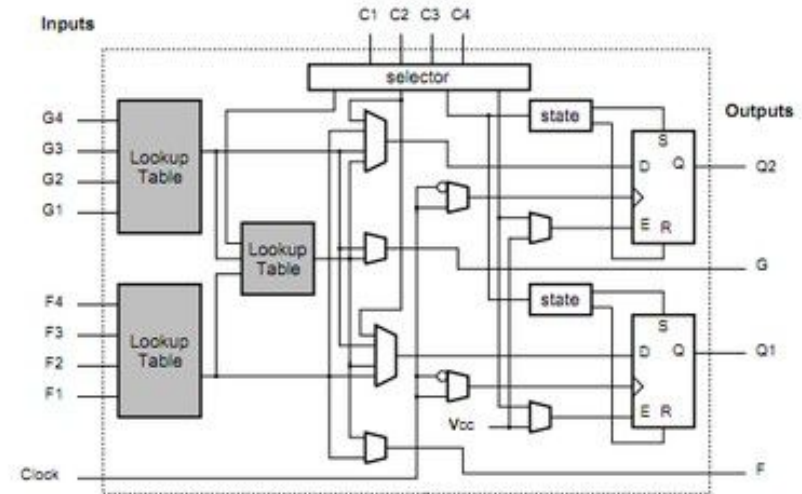
10x Switch





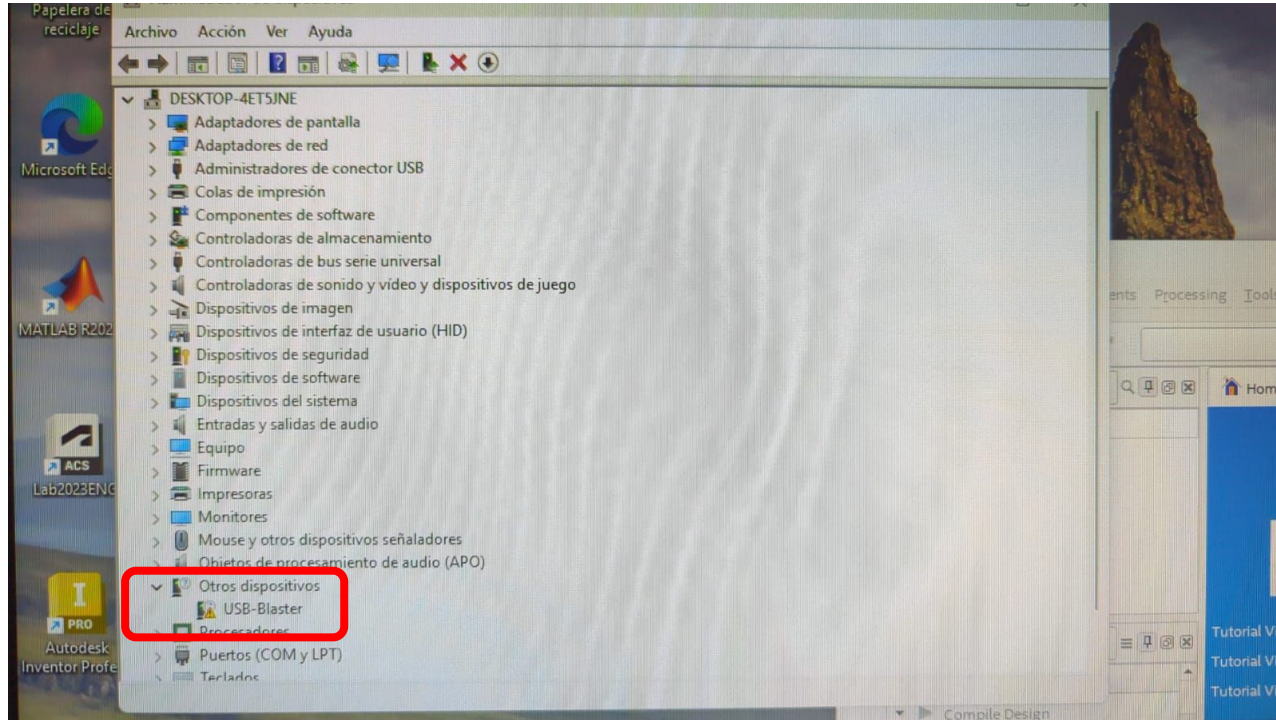
¿Qué es una FPGA?

- Es un dispositivo lógico programable, el cual puede (re)configurarse para que implemente (casi) cualquier función lógica.
- HW mucho más rápido que SW
 - Podemos hacer circuitos para funciones específicas
 - Muy usado para aceleradores



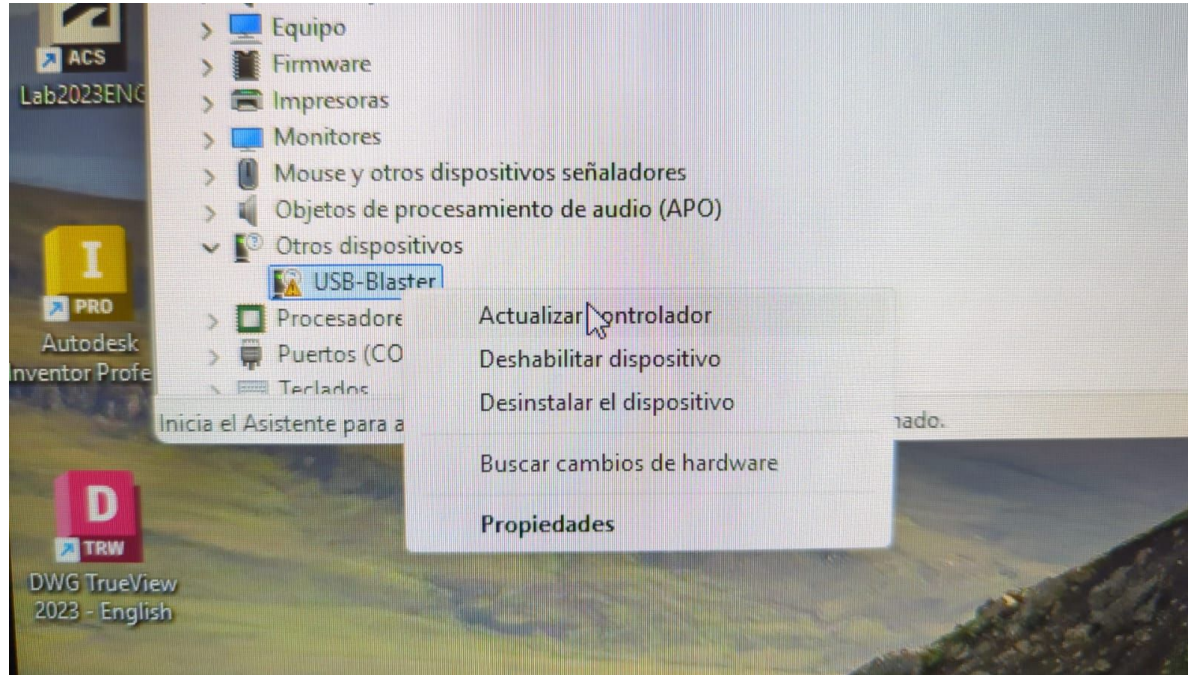
Drivers (i)

Conectar la FPGA y abrir el administrador de dispositivos



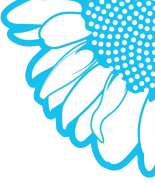
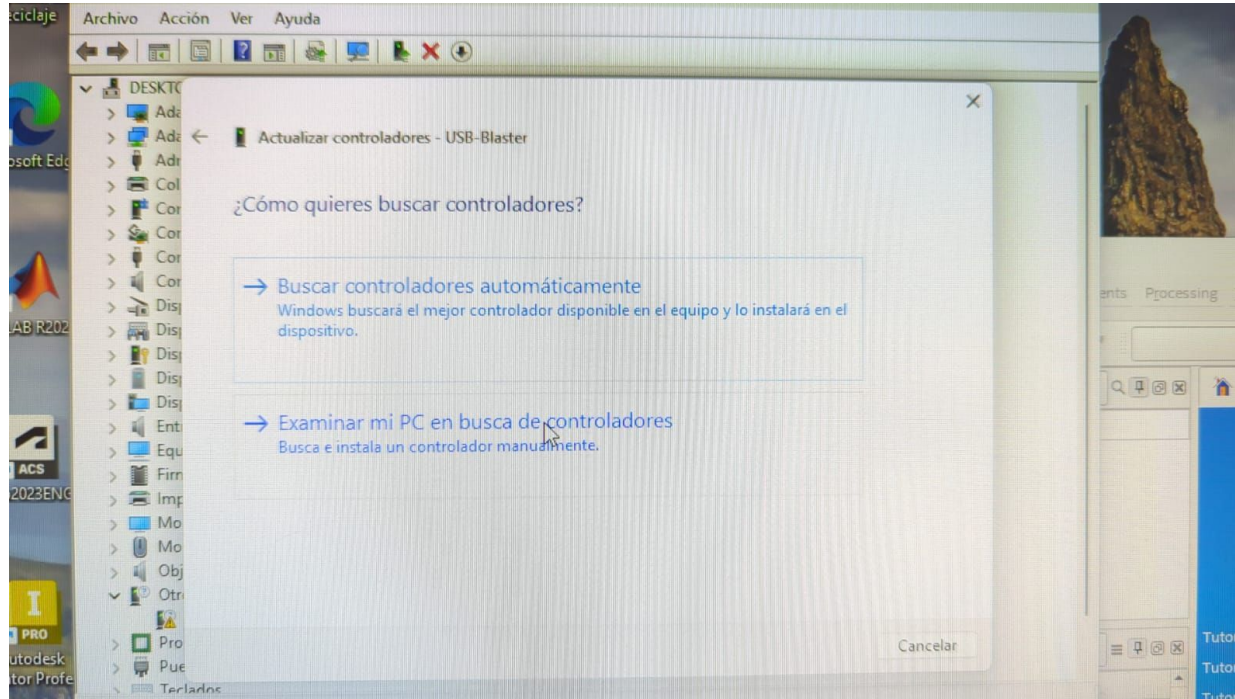
Drivers (ii)

Clic derecho en USB-Blaster -> Actualizar controlador



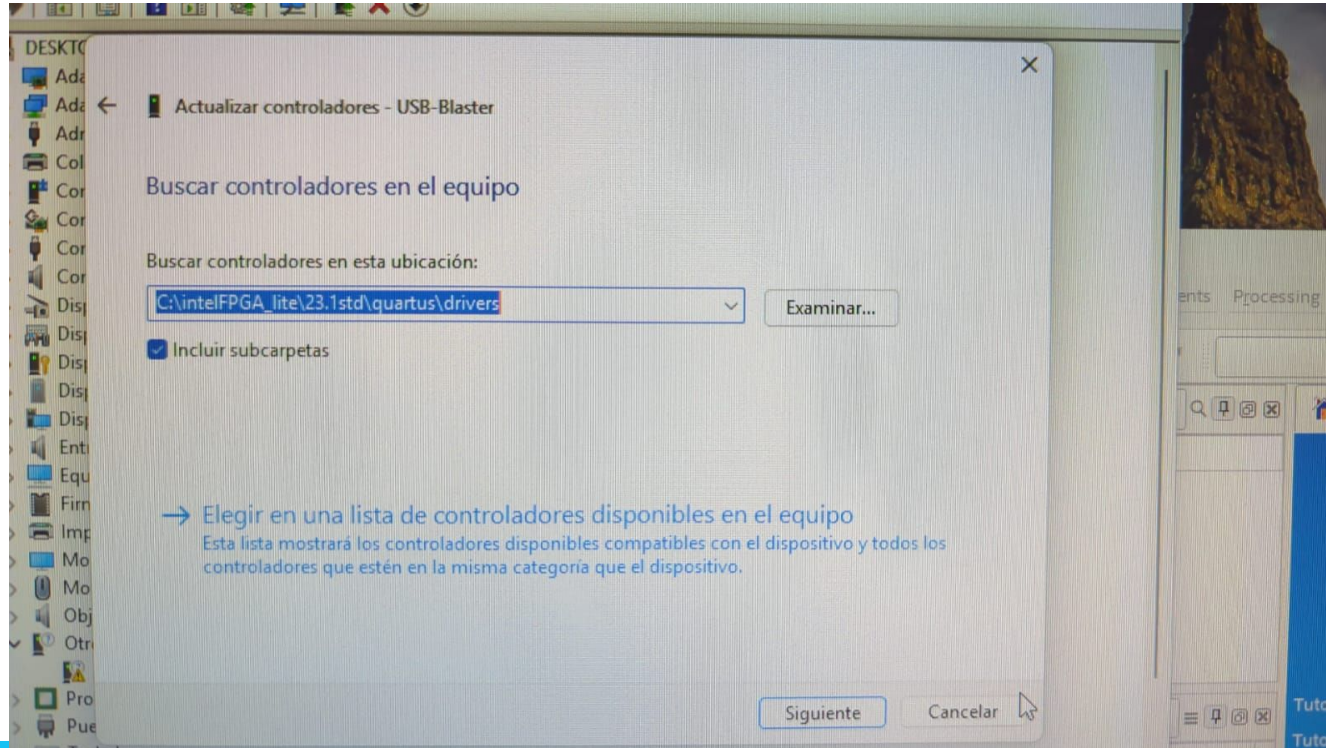
Drivers (iii)

Examinar mi PC en busca de controladores



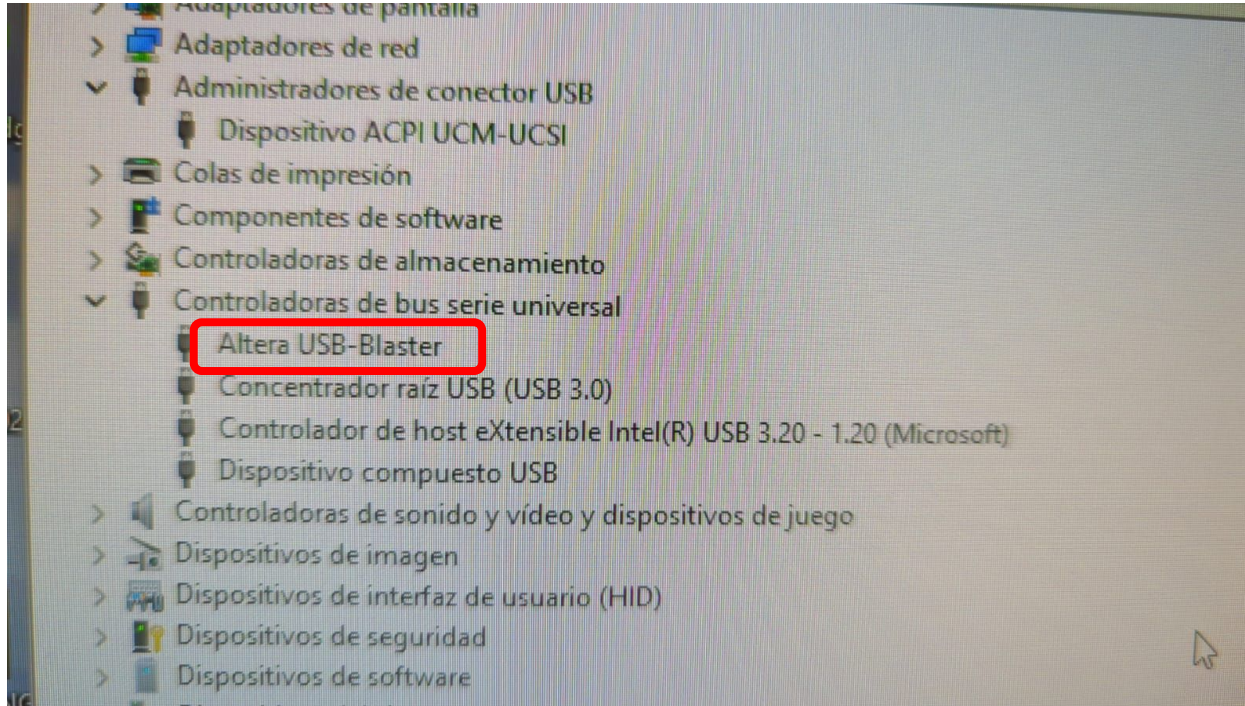
Drivers (iv)

<Dirección donde instalaron Quartus>\drivers



Drivers (v)

<Dirección donde instalaron Quartus>\drivers





Procedimiento

1. Si ya hicieron la primera parte del manual, pueden seguir con el trabajo en clase, sino, inicien por la XOR del inicio
2. Hacer un proyecto nuevo (las mismas instrucciones del manual)

$$Y(A, B, C, D) = \overline{A} B + \overline{A} \overline{B} C + D$$

$$Z(A, B, C, D) = A B C D + \overline{A} \overline{B} C$$

3. Mapear terminales

Señal	Componente
A	SW9 
B	SW8 
C	SW7 
D	SW6 
Y	LEDR5 
Z	LEDRO 

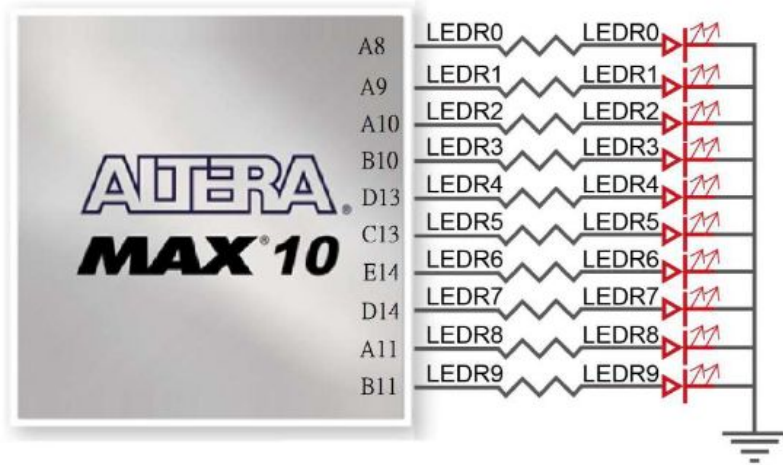


Figure 3-16 Connections between the LEDs and MAX 10 FPGA

Table 3-5 Pin Assignment of LEDs

Signal Name	FPGA Pin No.	Description	I/O Standard
LEDR0	PIN_A8	LED [0]	3.3-V LVTTTL
LEDR1	PIN_A9	LED [1]	3.3-V LVTTTL
LEDR2	PIN_A10	LED [2]	3.3-V LVTTTL
LEDR3	PIN_B10	LED [3]	3.3-V LVTTTL
LEDR4	PIN_D13	LED [4]	3.3-V LVTTTL
LEDR5	PIN_C13	LED [5]	3.3-V LVTTTL
LEDR6	PIN_E14	LED [6]	3.3-V LVTTTL
LEDR7	PIN_D14	LED [7]	3.3-V LVTTTL
LEDR8	PIN_A11	LED [8]	3.3-V LVTTTL
LEDR9	PIN_B11	LED [9]	3.3-V LVTTTL



Figure 3-15 Connections between the slide switches and MAX 10 FPGA

Table 3-4 Pin Assignment of Slide Switches

Signal Name	FPGA Pin No.	Description	I/O Standard
SW0	PIN_C10	Slide Switch[0]	3.3-V LVTTTL
SW1	PIN_C11	Slide Switch[1]	3.3-V LVTTTL
SW2	PIN_D12	Slide Switch[2]	3.3-V LVTTTL
SW3	PIN_C12	Slide Switch[3]	3.3-V LVTTTL
SW4	PIN_A12	Slide Switch[4]	3.3-V LVTTTL
SW5	PIN_B12	Slide Switch[5]	3.3-V LVTTTL
SW6	PIN_A13	Slide Switch[6]	3.3-V LVTTTL
SW7	PIN_A14	Slide Switch[7]	3.3-V LVTTTL
SW8	PIN_B14	Slide Switch[8]	3.3-V LVTTTL
SW9	PIN_F15	Slide Switch[9]	3.3-V LVTTTL



Procedimiento

1. Si ya hicieron la primera parte del manual, pueden seguir con el trabajo en clase, sino, inicien por la XOR del inicio
2. Hacer un proyecto nuevo (las mismas instrucciones del manual)

$$Y(A, B, C, D) = \overline{A} B + \overline{A} \overline{B} C + D$$

$$Z(A, B, C, D) = A B C D + \overline{A} \overline{B} C$$

3. Mapear terminales

Señal	Componente
A	SW9 → PIN_F15
B	SW8 → PIN_B14
C	SW7 → PIN_A14
D	SW6 → PIN_A13
Y	LEDR5 → PIN_C13
Z	LEDRO → PIN_A8