



1r Examen 2020

Estructura de Computadors (Universitat Rovira i Virgili)



Escanea per obrir en Studocu

[Inici](#) / [Cursos](#) / [20-21 ESTRUCTURA DE COMPUTADORS \(118713\)](#) / [General](#) / [Parcial1](#)

Començat el dimecres, 28 d'abril 2021, 12:15

Estat Acabat

Completat el dimecres, 28 d'abril 2021, 14:05

Temps emprat 1 hora 49 minuts

Qualificació **6,17** sobre 10,00 (**62%**)

Pregunta 1

Completa

Sense qualificar

Subir la parte frontal del DNI

 [_dni.jpeg](#)

Pregunta 2

Parcialment correcte

Puntuació 0,62 sobre 0,75

1) Una de las primeras computadoras de propósito general creada en 1946 fue:

ENIAC



2) Qué otras dos personas se les considera partícipes en la propuesta conocida como Arquitectura Von Neumann?

Peckert y Mowly



3) Qué es el ISA de un computador?

Conjunto de instrucciones que una CPU entiende y ejecuta



4) Qué indica que un procesador es de N bits?

El tamaño de los registros y el bus de datos



5) La fórmula que calcula el tiempo de ejecución de un procesador depende de

el tiempo de ciclo, el número de instrucciones y el CPI



6) Un reto en el diseño de procesadores es

suavizar la direrencia de velocidad entre procesador y memoria



La resposta correcta és:

1) Una de las primeras computadoras de propósito general creada en 1946 fue:

[ENIAC]

2) Qué otras dos personas se les considera partícipes en la propuesta conocida como Arquitectura Von Neumann?

[Eckert y Mauchly]

3) Qué es el ISA de un computador?

[Conjunto de instrucciones que una CPU entiende y ejecuta]

4) Qué indica que un procesador es de N bits?

[El tamaño de los registros y el bus de datos]

5) La fórmula que calcula el tiempo de ejecución de un procesador depende de

[el tiempo de ciclo, el número de instrucciones y el CPI]

6) Un reto en el diseño de procesadores es

[suavizar la direrencia de velocidad entre procesador y memoria]

Pregunta 3

Incorrecte

Puntuació 0,00 sobre 0,50

Calcula el tiempo de S del bit más significativo de un sumador en serie de 29 bits que utiliza un único Full Adder con un tiempo de Suma de 8 y un tiempo de Carry de 5. Asumid también que el tiempo del biestable es de 2

Resposta: ✖

La resposta correcta és: 204

Pregunta 4

Completa

Puntuació 0,75 sobre 0,75

Calculad el tiempo de retardo (tanto de Carry como de Suma) que introduce un sumador CPA (Carry Propagate Adder) de 18 bits que utiliza 18 Full Adders de 1 bit en cascada. Suponed que los retardos de las puertas lógicas utilizadas por el Full Adder son de AND=3T, OR=3T y XOR=4T. Suponed también que el Full Adder que se utiliza dispone de 2 XOR, 2 AND y 1 OR.

 [_ec1.jpeg](#)

Pregunta 5

Completa

Puntuació 0,75 sobre 0,75

Calculad el tiempo de retardo que introduce un sumador CSA (Carry Select Adder) de 128 bits que utiliza CPA (Carry Propagate Adders) de 4 bits. Suponed un retardo de 12T para cada CPA y de 2T para cada uno de los multiplexores.

 [_ec2.jpeg](#)

Pregunta 6

Completa

Puntuació 0,75 sobre 0,75

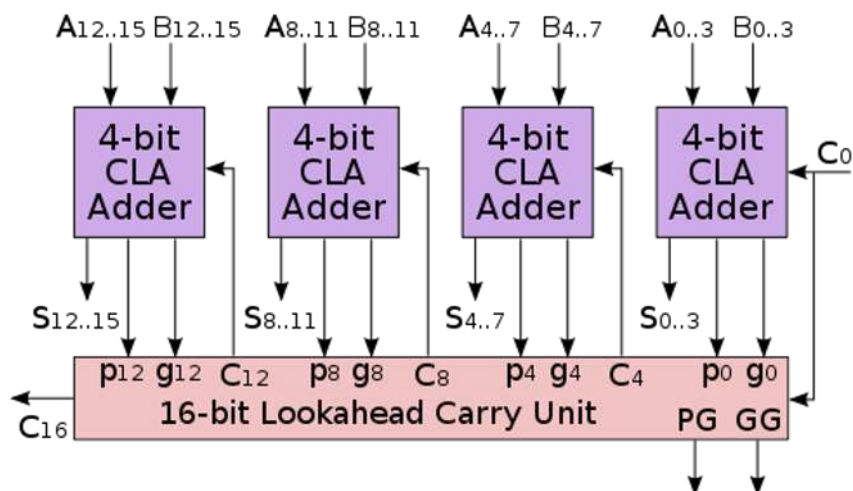
Calculad el tiempo de retardo que introduce un sumador CLA (Carry Look-Ahead Adder) de 32 bits que utiliza 32 Partial Full Adders de 1 bit. Suponed que el Partial Full Adder utiliza dos XOR, una AND y una OR con unos retardos para esas puertas lógicas de AND=2T, OR=1T y XOR=4T. Recalculad los tiempos asumiendo que el CLA es ahora de 128 bits.

 [_ec3.jpeg](#)

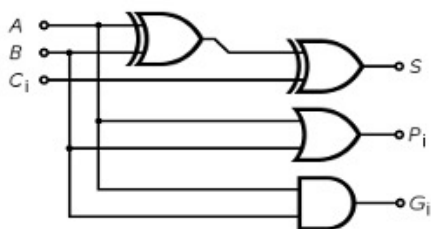
Incorrect

Puntuació 0.00 sobre 0.75

Calculad el tiempo de retardo que introduce un sumador CLA (Carry Look-Ahead Adder) de 16 bits que utiliza 4 CLA de 4 bits.



Suponed que el CLA utiliza Partial Full Adders de 1 bit. Suponed también el siguiente diseño de circuito para el Partial Full Adder y con unos retardos para todas las puertas lógicas del circuito de AND=1T, OR=1T y XOR=1T.



Concretamente se pide indicar el tiempo de retardo de estas 3 señales

1

X

5

X

1

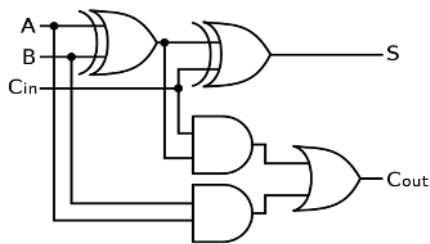
X

Pregunta 8

Completa

Puntuació 0,10 sobre 0,75

Diseñad un circuito multiplicador Carry Save Array de 3x3 bits y calculad el retardo de TODOS los bits del resultado de la multiplicación. Suponed que SÓLO se dispone de ANDS sueltas y de este diseño de Full Adder (los que sean necesarios)



Asumid también estos tiempos para las puertas lógicas: AND=3T OR=4T y XOR=7T

 [ec4.jpeg](#)

Pregunta 9

Parcialment correcte

Puntuació 0,86 sobre 1,00

Indicad los valores (1, 0, X) que toman las siguientes señales de la Unidad de Control

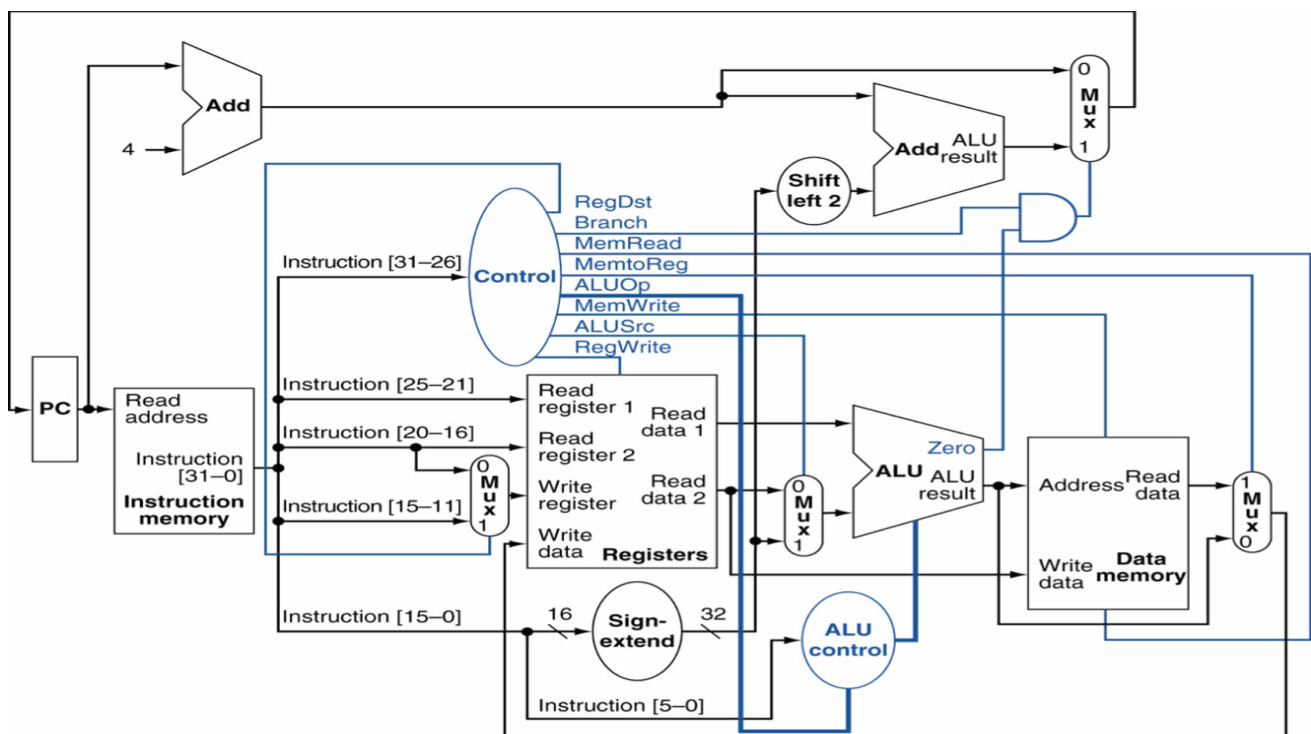
RegDst	Branch	MemRead	MemToReg	MemWrite	ALUSrc	RegWrite
1	X	0	0	1	0	1
✓	✗	✓	✓	✓	✓	✓

para la nueva instrucción STREGDIV en el procesador ESCALAR MONOCICLO MIPS

- **Formato:** stregdiv \$a,\$b,\$c
- **Descripción:** "Esta instrucción divide el contenido de \$a y \$b y el resultado lo almacena en \$c. Además guarda en la posición de memoria apuntado por \$a/\$b, el contenido del registro \$b"
- **Especificación Semántica:**

$$\$c = \$a / \$b$$

$$\text{Memoria}[\$a / \$b] = \$b$$



La resposta correcta és:

Indicad los valores (1, 0, X) que toman las siguientes señales de la Unidad de Control

RegDst	Branch	MemRead	MemToReg	MemWrite	ALUSrc	RegWrite
[1]	[0]	[0]	[0]	[1]	[0]	[1]

para la nueva instrucción STREGDIV en el procesador ESCALAR MONOCICLO MIPS

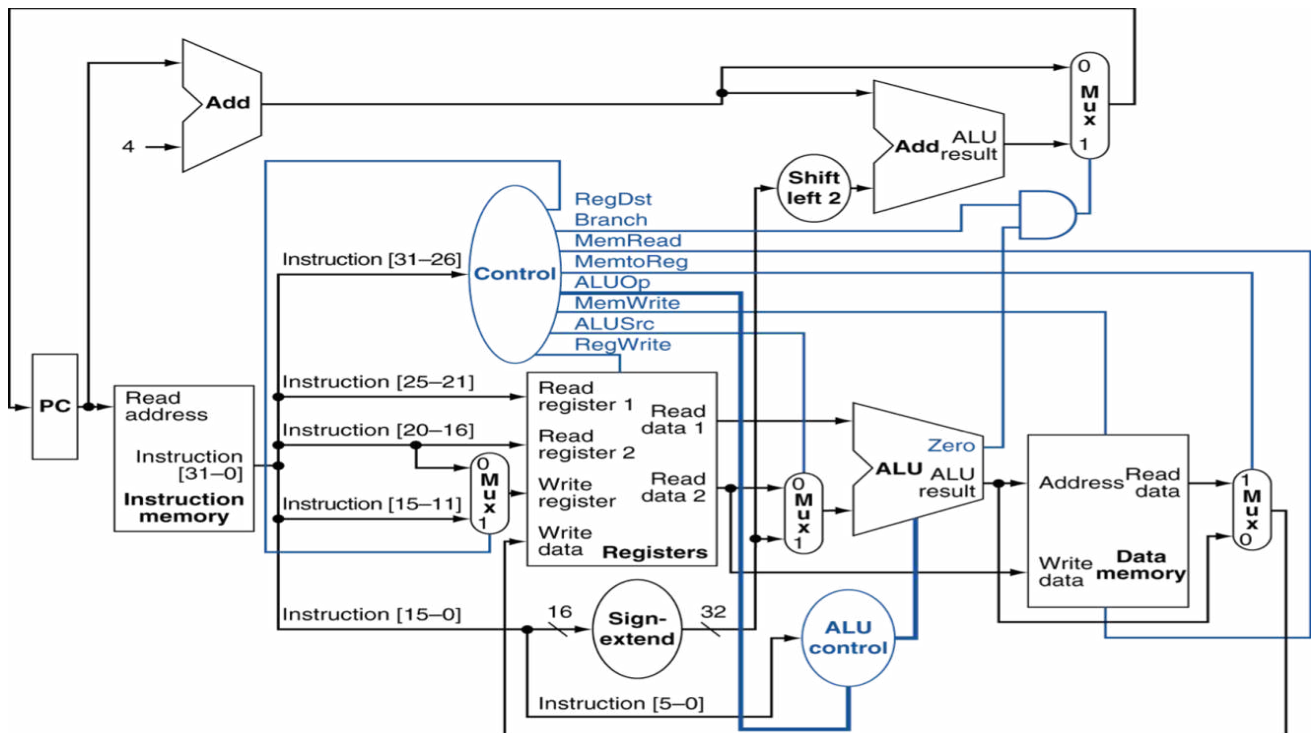
- **Formato:** stregdiv \$a,\$b,\$c

- Descripción: "Esta instrucción divide el contenido de \$a y \$b y el resultado lo almacena en \$c. Además guarda en la posición de memoria apuntado por \$a/\$b, el contenido del registro \$b"

- Especificación Semántica:

$\$c = \$a / \$b$

$\text{Memoria}[\$a / \$b] = \$b$



Pregunta 10

Parcialment correcte

Puntuació 0,33 sobre 1,00

Calculad el tiempo de ciclo que debería tener un procesador MIPS monociclo a partir del análisis de las instrucciones: (1) Aritméticas, (2) LOAD, (3) STORE, (4) BEQ y (5) JMP. Asumid los siguientes retardos para las diferentes partes del procesador (para el resto de circuitería se pueden asumir valores despreciables):

Memoria Instrucciones, lectura 140

Memoria Instrucciones, escritura 180

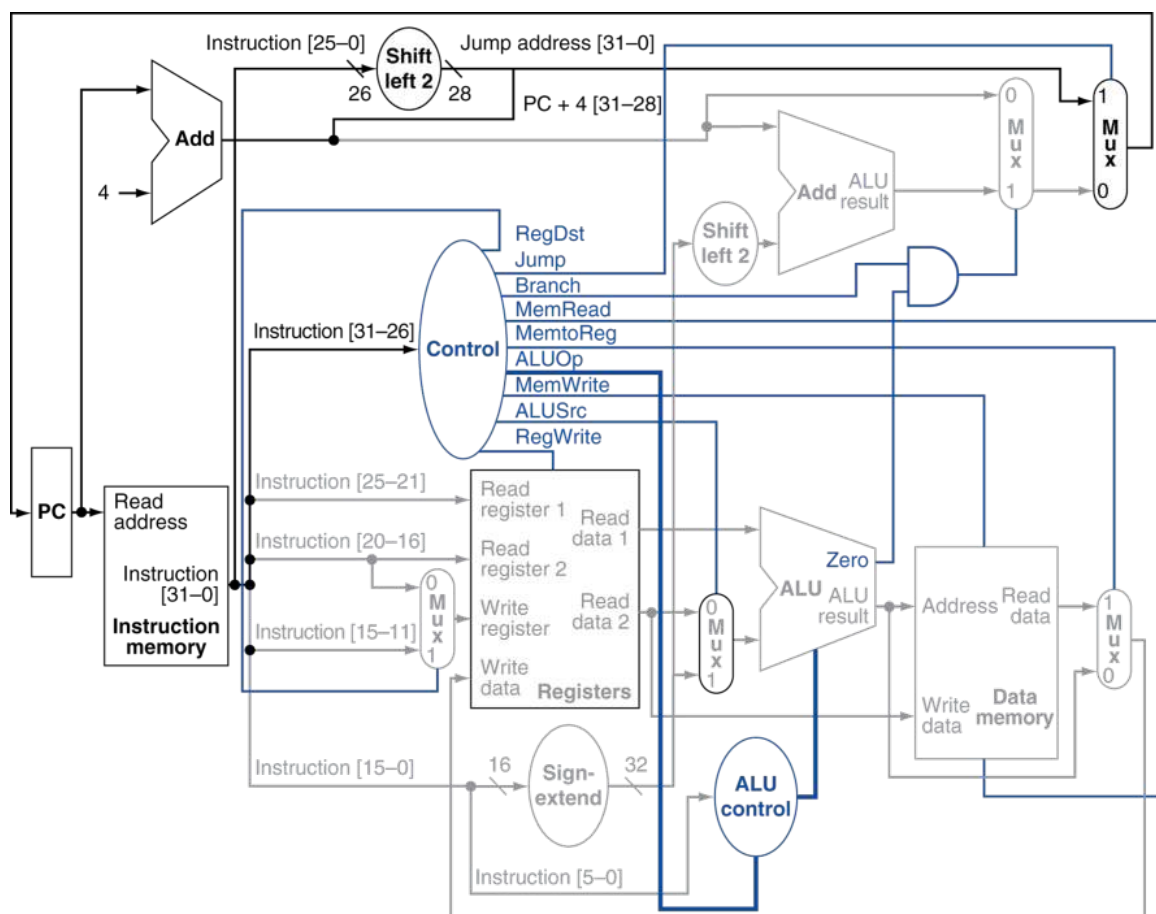
Memoria Datos, lectura 165

Memoria Datos, escritura 215

Banco Registros, lectura 90

Banco Registros, escritura 115

ALU 70



TIEMPO ARITMÉTICAS	415	✓
TIEMPO LOAD	465	✗
TIEMPO STORE	515	✓
TIEMPO BEQ	415	✗
TIEMPO JMP	310	✗

TIEMPO ARITMÉTICAS

415



TIEMPO DE CICLO

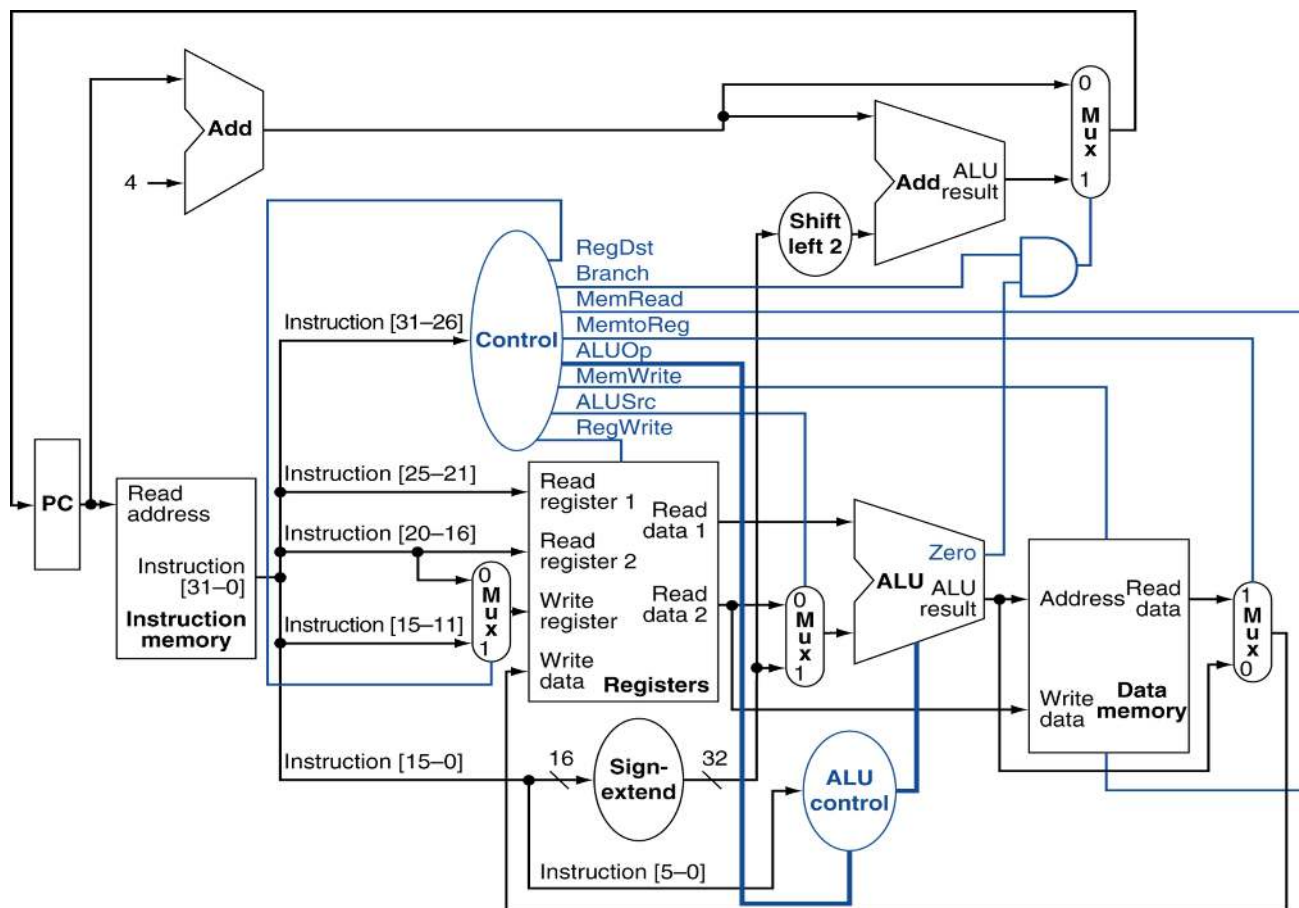
875



Pregunta 11

Completa

Puntuació 2,00 sobre 3,00



Realizad el análisis y el diseño necesario para poder incluir la instrucción DECCPY4 en el procesador escalar monociclo MIPS.

- **Sintaxis:** `deccpy4 $a,$b`
- **Descripción:** "Esta instrucción guarda en la dirección de memoria indicada en el registro \$a menos cuatro, el contenido del registro \$b incrementado en uno, siempre y cuando, el contenido del registro \$b sea menor que 0. Además, decrementa en 4 el contenido del registro \$a independientemente del contenido de \$b"
- **Especificación Semántica:**

$$\$a = \$a - 4$$

$$\text{si } \$b < 0: \text{Memoria}[\$a-4] = \$b + 1$$

[ec5.jpeg](#)
[ec6.jpeg](#)

◀ Examen de Prueba

Salta a...

Reserva Revisión Examen ▶