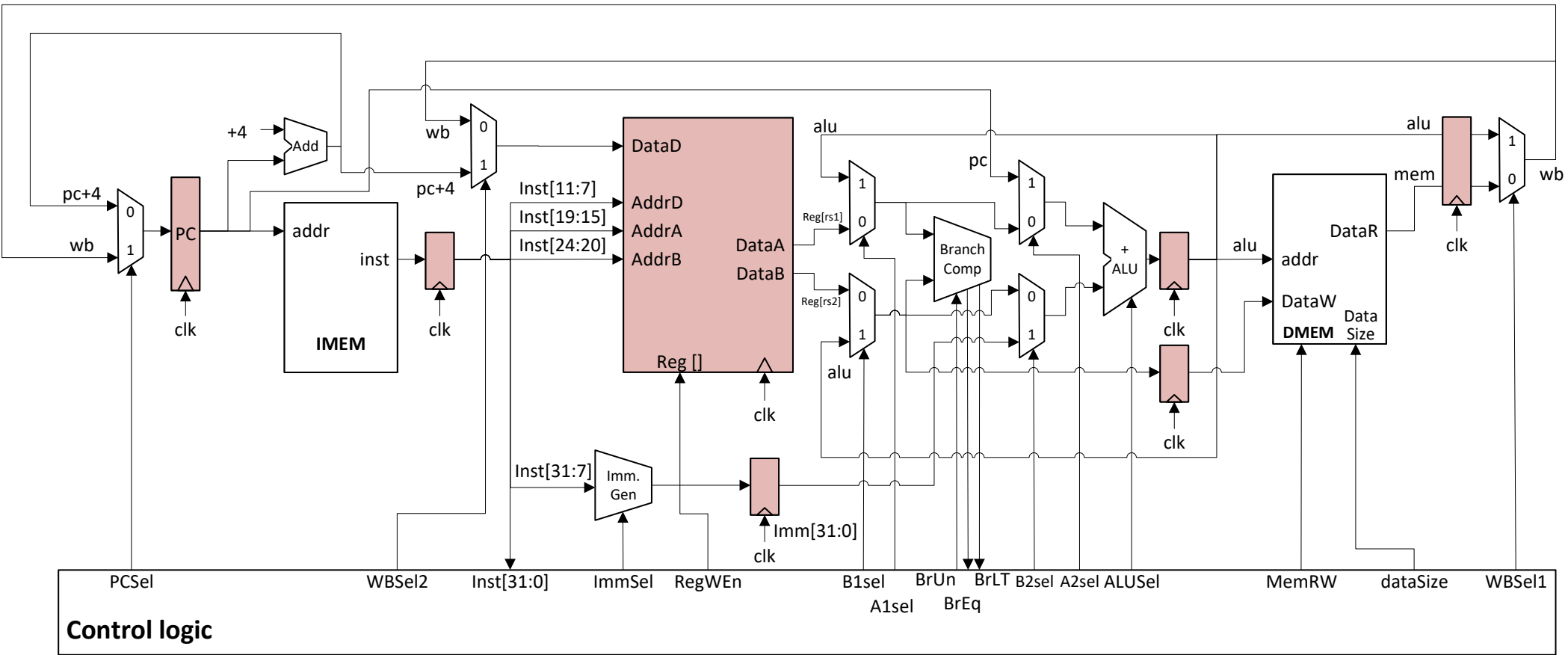


# RISC V Project main architecture

Notes : Schéma non mis à jours  
Multiplexer A1Sel et B1Sel ont une entrée en plus wb



## Control logic architecture

