



École nationale supérieure de physique, électronique, matériaux

28 avril 2023



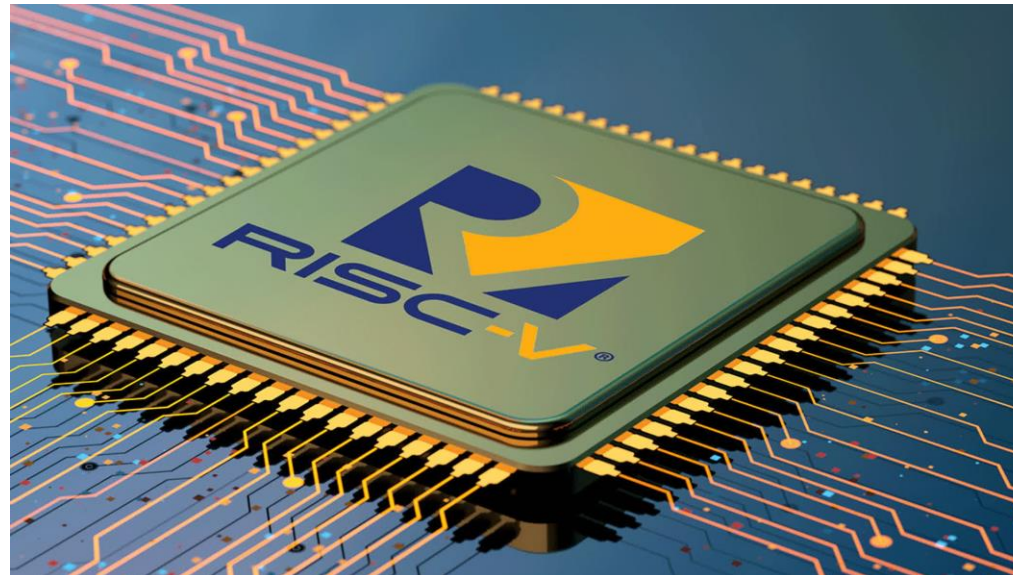
Gaël OUSSET
Antoine CHASTAND
Romain DUCHADEAU



Introduction

Présentation

- Un processeur RISC, qu'est-ce que c'est ?
- Jeu d'instruction RISC-V
- Objectif : Conception d'un Processeur RISC-V à 5 étages



- I. Le jeu d'instruction
- II. Le Pipeline
- III. Les tests
- IV. Portage sur cible ASIC
- Conclusion



Model*Sim*

Jeu d'instruction

Présentation

- RV32I : Jeu d'instruction de base du RISC-V
 - 32-bits
 - Manipulation d'entier
 - 47 instructions
 - Registres / registres
 - Registres / immédiat
 - Branchement conditionnel
 - Transfert de contrôle
 - Load / Store
 - 37 implémentés

Jeu d'instruction

Principales limitations

- Ne supporte pas les multiplication et divisions
 - Jeu d'instruction RV32M
- Ne supporte pas les flottants
 - Jeu d'instruction RV32F
- Faible support d'instruction système

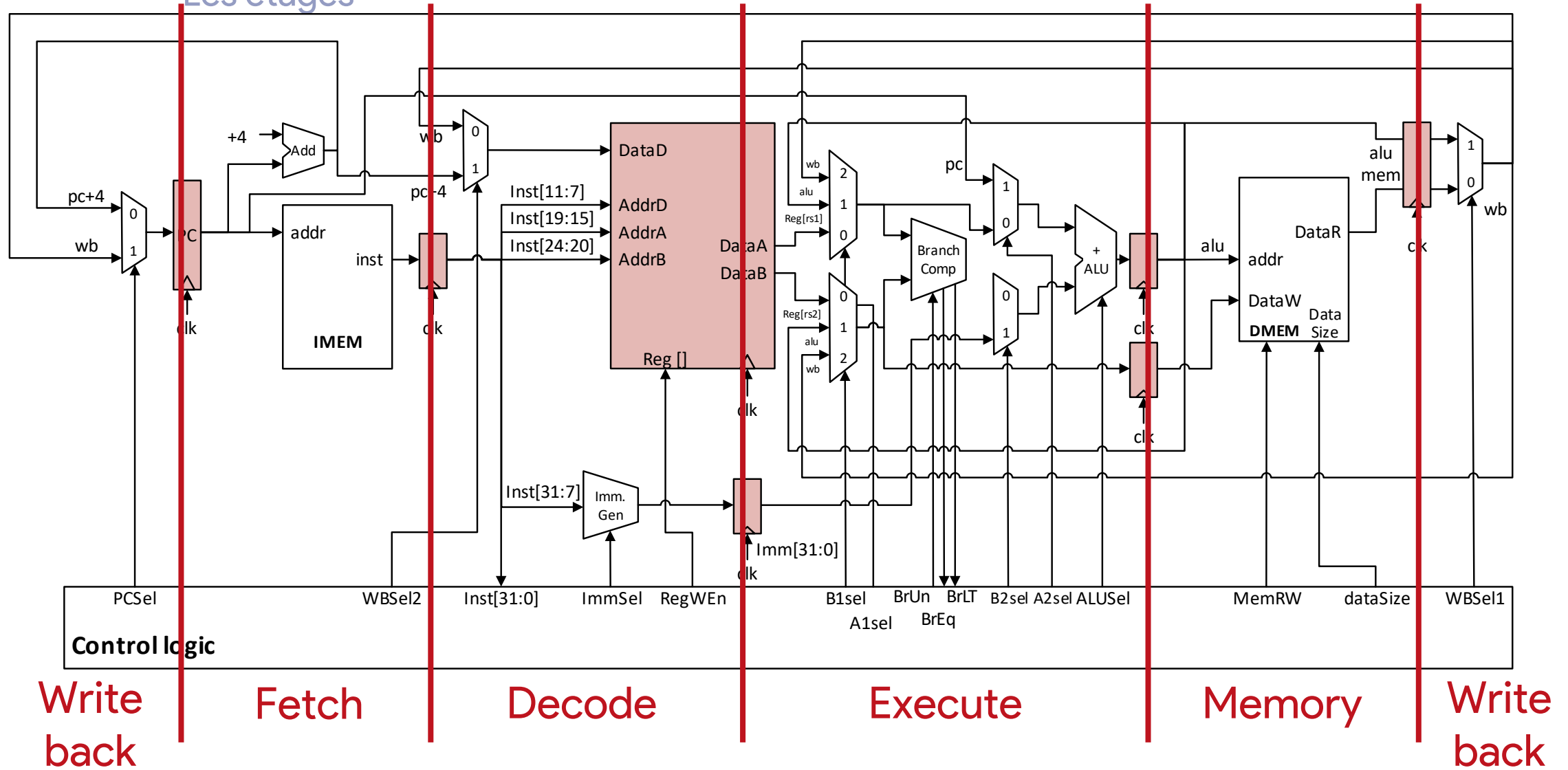
Jeu d'instruction

Modifications apportées

- Instructions **CSR** (Control Status Register) non supportées
- Instructions **ECALL** et **EBREAK** non supportés
- Instructions **FENCE** et **E.FENCE** non supportés
- Implémentation de l'instruction **NOP**

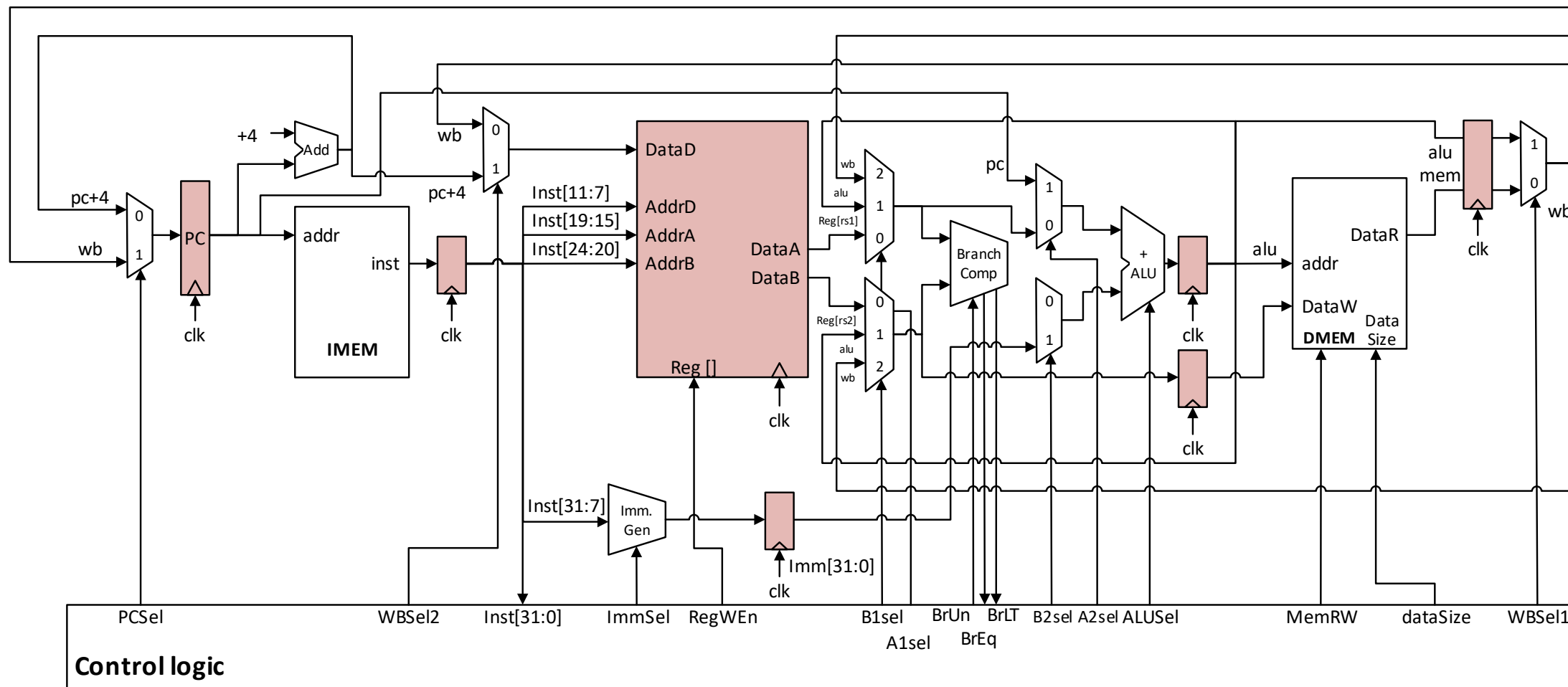
Le pipeline

Les étages



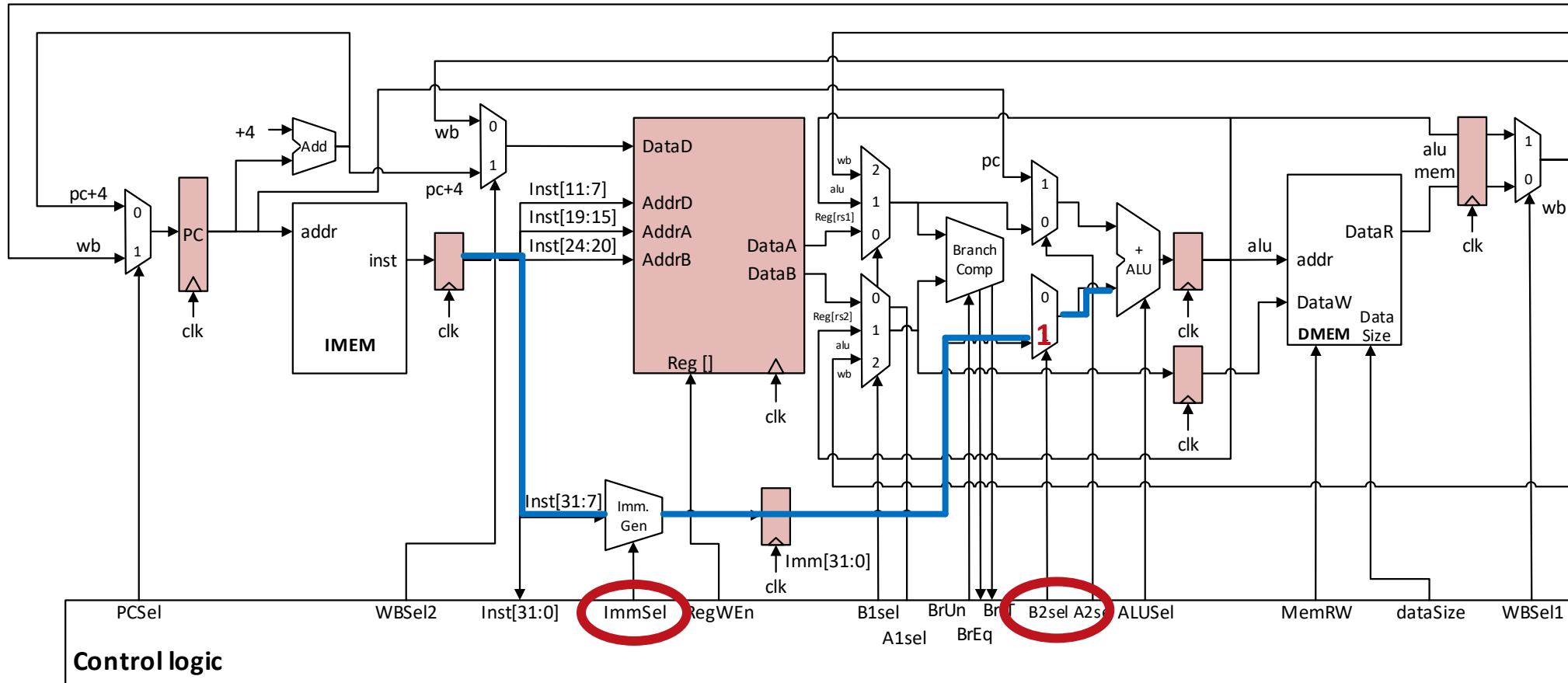
Le pipeline

Les blocs



Le pipeline

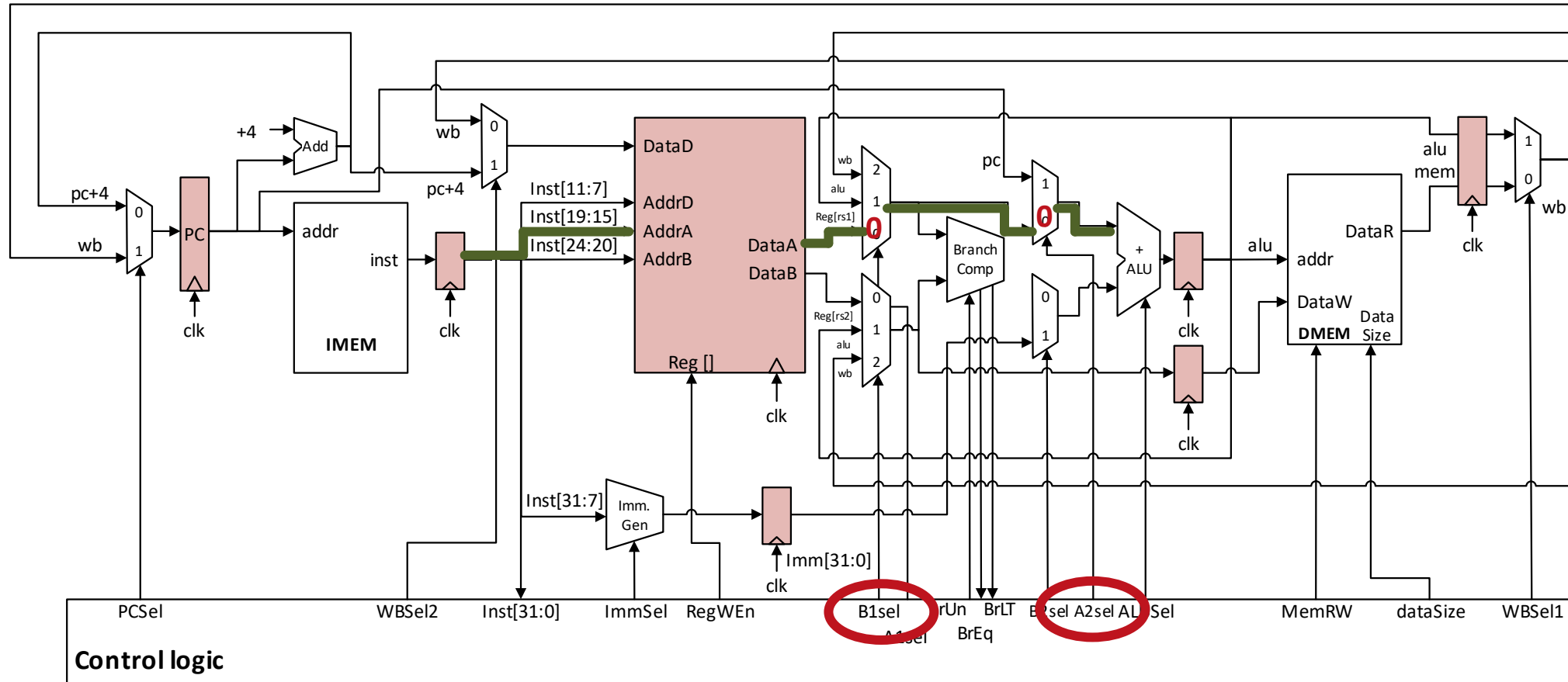
ADDI



Instruction	Nom	Format	Description	Implementation	Codage							Code op
					31-27	26-25	24-20	19-15	14-12	11-7	6-2	1-0
ADDI	add immediate	addi rd,rs1,imm	ADD entre rs1 et imm → rd	$x[rd] = x[rs1] + sext(immediate)$	imm[11:0]			rs1	000	rd	00100	11

Le pipeline

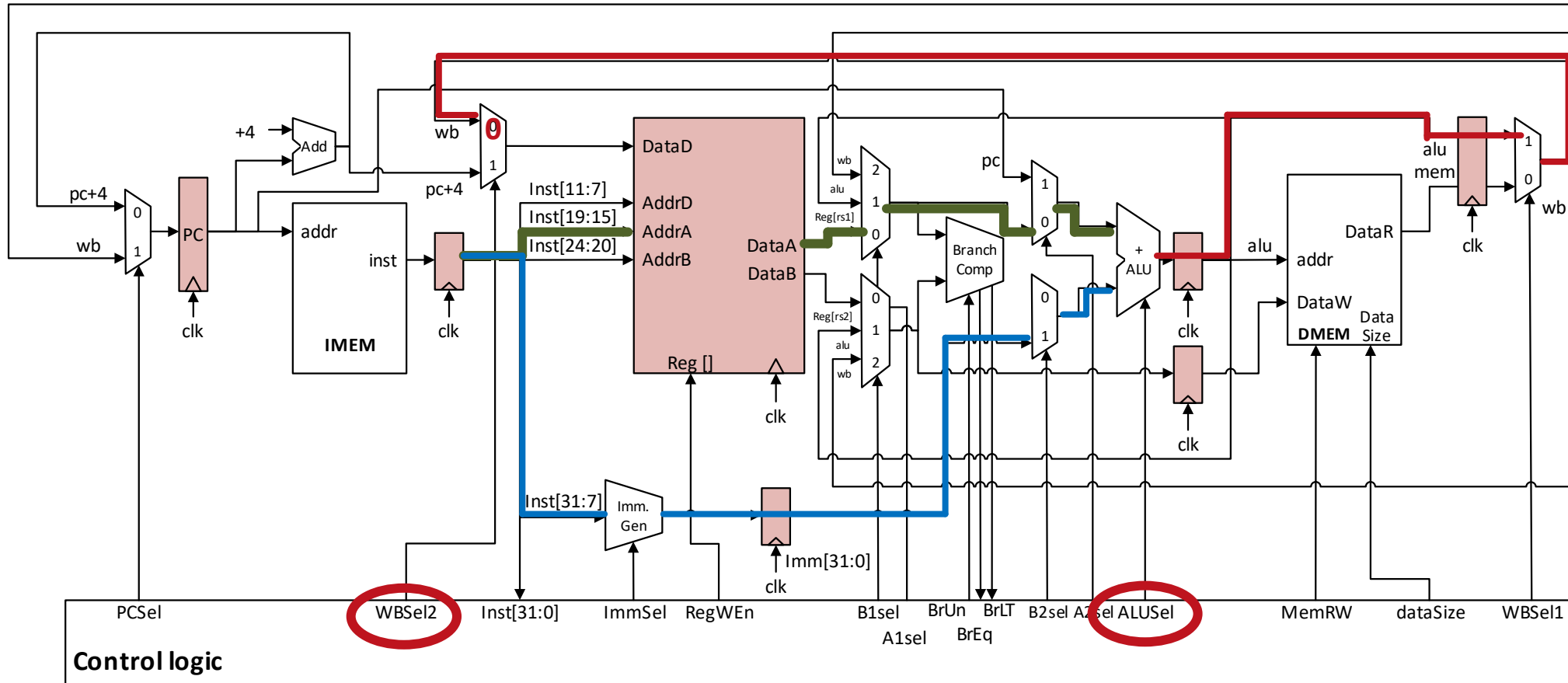
ADDI



Instruction	Nom	Format	Description	Implementation	Codage							Code op
					31-27	26-25	24-20	19-15	14-12	11-7	6-2	
ADDI	add immediate	addi rd,rs1,imm	ADD entre rs1 et imm → rd	$x[rd] = x[rs1] + sext(immediate)$	imm[11:0]			rs1	000	rd	00100	11

Le pipeline

ADDI



Instruction	Nom	Format	Description	Implementation	Codage						
					31-27	26-25	24-20	19-15	14-12	11-7	Code op
ADDI	add immediate	addi rd,rs1,imm	ADD entre rs1 et imm → rd	$x[rd] = x[rs1] + sext(immediate)$	imm[11:0]			rs1	000	rd	00100 11

Tests « à la main »

Test de la mémoire des instructions

```

initial forever begin
  imem1.tab_inst[0] = 32'haaaaaaaa;
  imem1.tab_inst[1] = 32'hbbbbbbbb;
  imem1.tab_inst[2] = 32'hcccccccc;
  imem1.tab_inst[3] = 32'hdddddddd;
  addr = 32'h00000000;
  #100
  addr = 32'h00000004;
  #100
  addr = 32'h00000008;
  #100
  addr = 32'h0000000c;
  #100;
end
  
```

+	pc	-No...	0	4	8	12
+	inst_out	-No...	aaaaaaaa	bbbbbbbb	cccccccc	dddddddd

Compilateur RV32I

```
main:
    addi    sp,sp,-32
    sw      r6,28(sp)
    addi    r6,sp,32
    lui     r3,2
    sw      r3,-28(r6)
    lui     r3,1
    sw      r3,-20(r6)
    lw      r2,-28(r6)
    lw      r3,-20(r6)
    beq     r2,r3,.L2
    sw      zero,-24(r6)
    jal     r1,.L3

.L4:
    lw      r3,-20(r6)
    addi    r3,r3,1
    sw      r3,-20(r6)
    lw      r3,-24(r6)
    addi    r3,r3,1
    sw      r3,-24(r6)

.L3:
    lw      r2,-24(r6)
    lui     r3,4
    blt     r2,r3,.L4

.L2:
    lw      r3,-20(r6)
    lw      r6,28(sp)
    addi    sp,sp,32
    jalr    ra,r2,main

;https://godbolt.org/
;int main(void) {
;    int a = 2;
;    int b = 1;
;
;    if (a != b) {
;        for (int i = 0; i < 5; i=i+1) {
;            b = b + 1;
;        }
;    }
;
;    return b;
;}
```



```
11111110000000010000000100010011
00000000011000010010111000100011
000000010000000010000001100010011
000000000000000000000000110110111
11111110001100110010001000100011
000000000000000000000000110110111
11111110001100110010011000100011
11111110010000110010000100000011
11111110110000110010000110000011
0000010000110010000000001100011
00000000000000000000000000000000
00000000000000000000000000000000
11111110000000110010010000100011
00000001110000000000000011101111
11111110110000110010000110000011
00000000000100011000000110010011
11111110001100110010011000100011
11111110100000110010000110000011
00000000000100011000000110010011
1111111000110011001001000000110011
00000000000000000000000000000000
00000000000000000000000000000000
11111110110000110010000110000011
00000001110000010010001100000011
00000010000000010000000100010011
11111001000000010000000011100111
01111000110101111111001101101111
```

```
\code\code-line return -1
\code return 0
Aucune erreur dans l'expression !
```

Mise à jours des adresses des jumps et des branchement :

```
( -----
Type : LABEL_LINE
Label : PROG_START
Address : 0
-----
```

```
Type : INSN_LINE
Instruction : 11 (2)
Rd : 2
Rs1 : 2
Rs2 : 0
Imm : -32
Label :
Address : 0
-----
```

```
Type : INSN_LINE
Instruction : 20 (5)
Rd : 0
Rs1 : 2
Rs2 : 3
Imm : 12
Label : .L4
Address : 4
-----
```

```
Type : INSN_LINE
Instruction : 0 (0)
Rd : 0
Rs1 : 0
Rs2 : 0
Imm : 0
Label :
Address : 8
-----
```

```
Type : INSN_LINE
Instruction : 0 (0)
Rd : 0
Rs1 : 0
Rs2 : 0
Imm : 0
Label :
Address : 12
-----
```

```
Type : LABEL_LINE
Label : .L4
Address : 16
-----
```

```
Type : INSN_LINE
Instruction : 36 (6)
Rd : 6
Rs1 : 0
Rs2 : 0
Imm : -16
Label : PROG_START
Address : 16
-----
```

Ecriture du code assembleur :

Valeur de retour 0

Appuyez sur une touche pour continuer... |

Portage sur cible ASIC

Synthèse



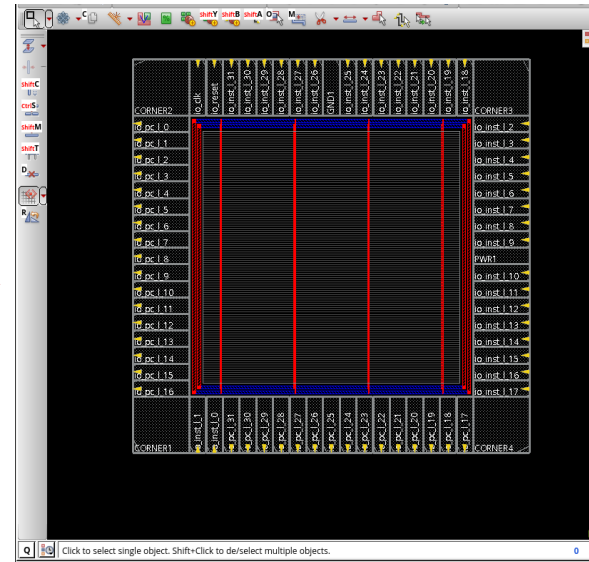
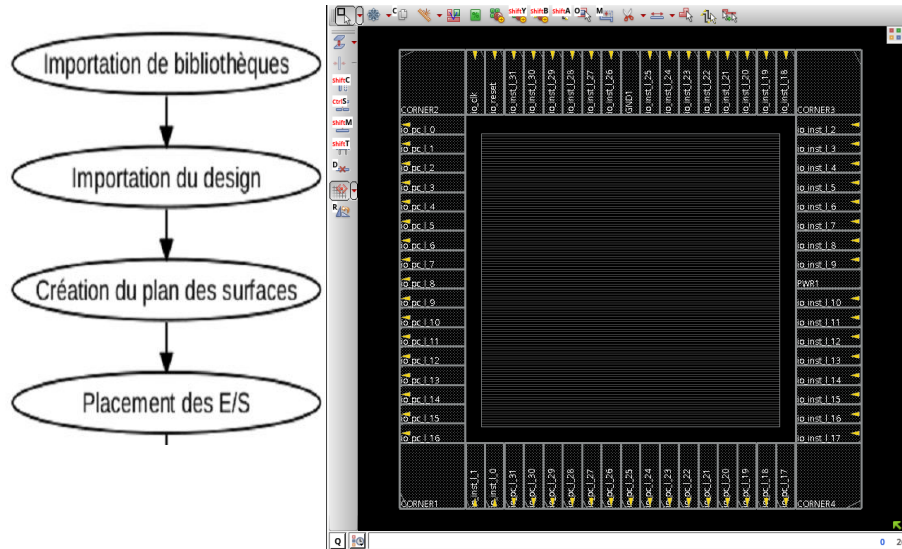
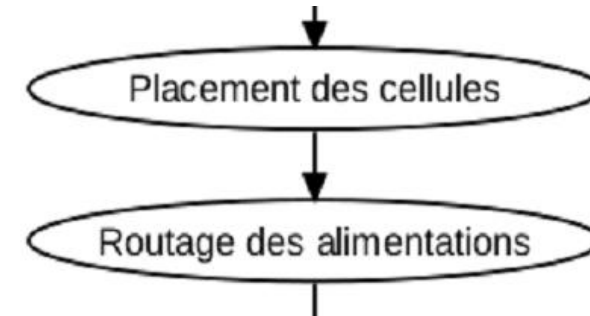
- Qu'est-ce qu'une synthèse ?
- Logiciel de Synthèse: Synopsys Design Vision
- Performances du processeur à la fréquence maximale :

Critères	Chemin Critique	Fréquence Maximale	Puissance Consommée	Surface occupée
Performances	7 ns	143 MHz	120 mW	1.9 mm ²

Portage sur cible ASIC

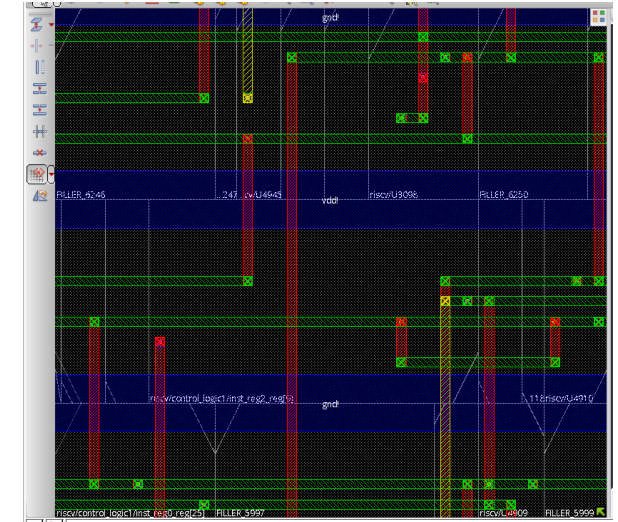
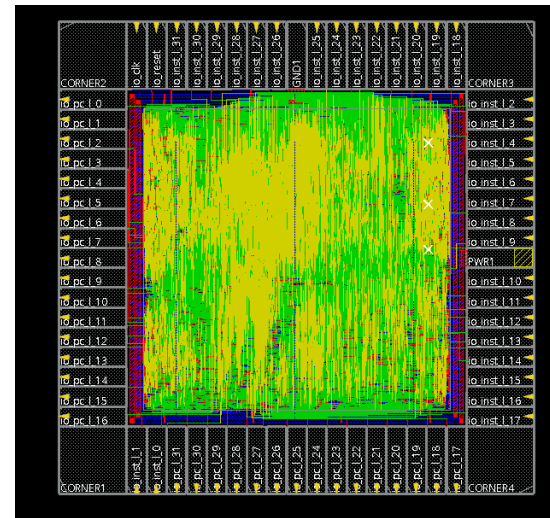
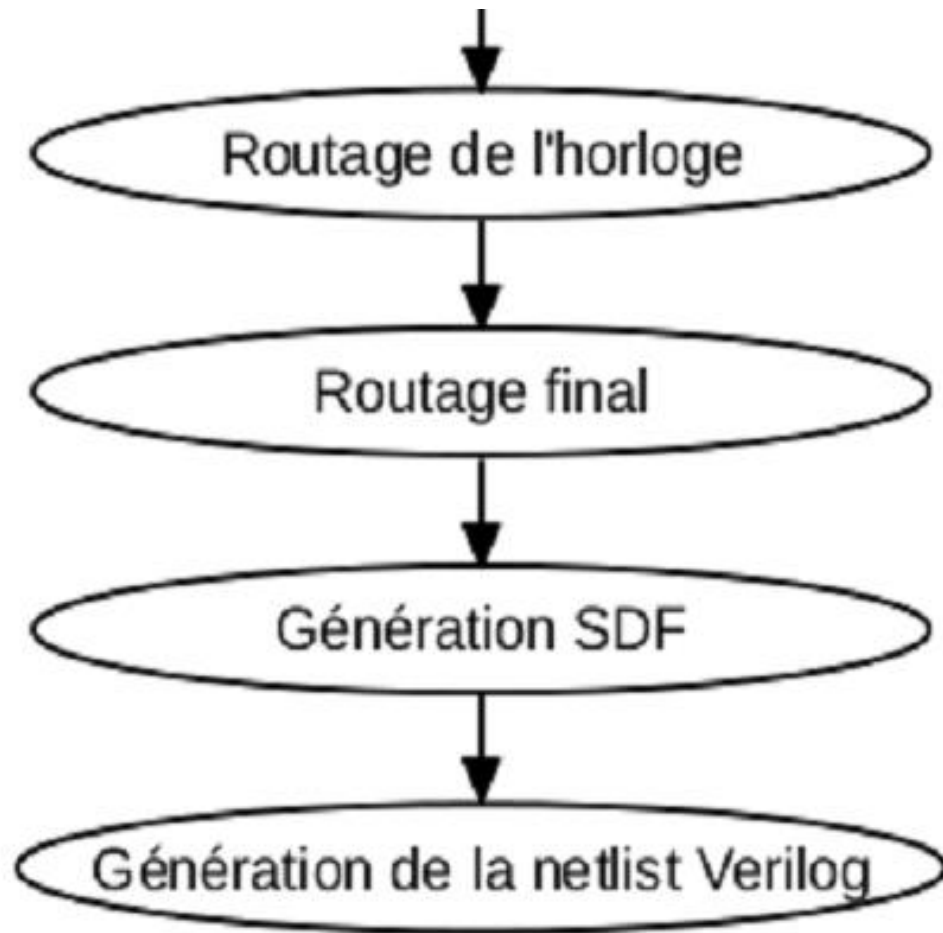
Implémentation sur ASIC

- Une Implémentation ? **cādence**
- Une Implémentation en plusieurs étapes :



Portage sur cible ASIC

Implémentation sur ASIC



Exports des données du circuits
(Schéma électrique, temps de propagation ...)

Questions ?



Bibliographie

- <https://www.netcost-security.fr/actualites/153835/star64-est-un-nouvel-ordinateur-monocarte-risc-v-pour-les-developpeurs-et-les-amateurs/>
- https://www.google.com/url?sa=i&url=https%3A%2F%2Fmaker-hub.georgefox.edu%2Fwiki%2FModelsim&psig=AOvVaw14QY0_d-en551UmEoy4PRTi&ust=1682702539515000&source=images&cd=vfe&ved=0CBEQjRxqFwoTCLiyr8rJyv4CFQAAAAAdAAAAABAE
- https://www.google.com/url?sa=i&url=https%3A%2F%2Fwww.facebook.com%2FCadenceDesign%2F&psig=AOvVaw3MaJ1fL5qmvo6x66rUgD_4&ust=1682704305083000&source=images&cd=vfe&ved=0CBEQjRxqFwoTCNChmJTQyv4CFQAAAAAdAAAAABAW