

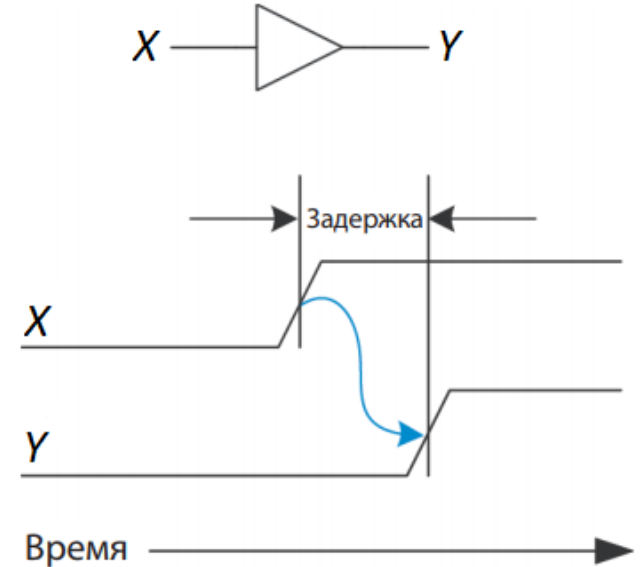
Временной анализ

Тема временного анализа и временных ограничений является сложной для разработчиков ПЛИС не только потому, что она не проста для понимания, но и потому, что многие разработчики стараются избегать ее в принципе до тех пор, пока их устройство работает, на первый взгляд, без ошибок

Игнорируя эту тему, можно легко получить в проекте ошибку, которую сложно как обнаружить, так и воспроизвести

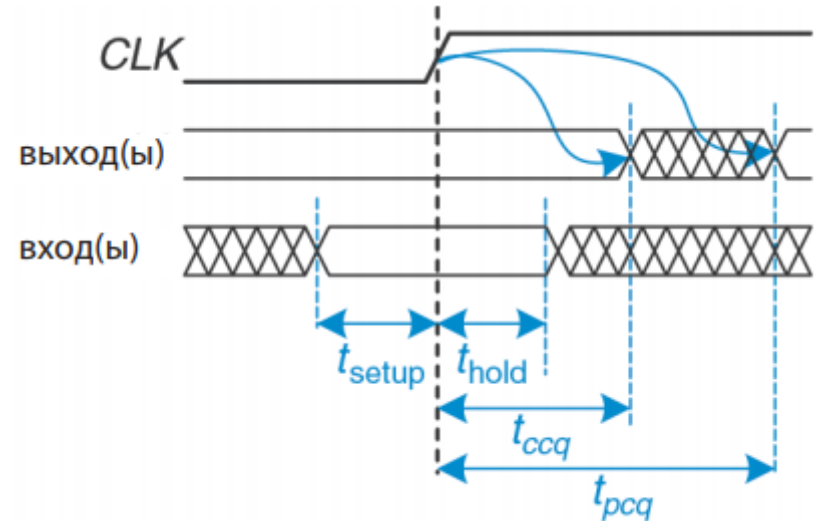
Временные характеристики комбинационных схем

- Задержка распространения (propagation delay-PD) КС – это максимальное время от момента изменения входных сигналов до момента установки всех выходных сигналов
- Задержка распространения цепи последовательно соединенных элементов определяется как сумма задержек распространения отдельных элементов
- Чем больше элементов содержит цепь, тем больше задержка распространения
- Цепь с наибольшей задержкой называется критическим путем
- Именно такой путь ограничивает скорость работы схемы



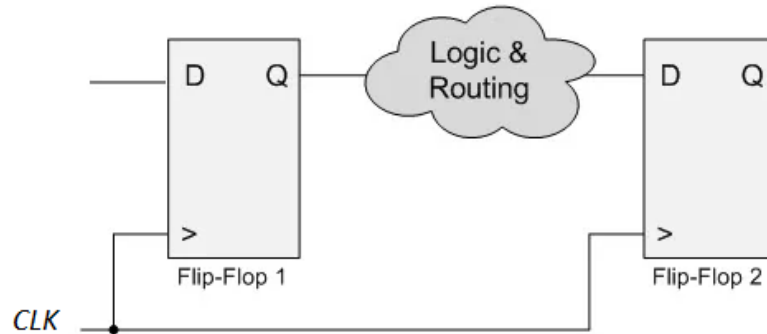
Временные характеристики синхронных схем

- Время до фронта тактового импульса когда данные на входе должны оставаться стабильными – время предустановки (t_{setup})
- Время после фронта тактового импульса когда данные на входе должны оставаться стабильными – время удержания (t_{hold})
- t_{ccq} (clock-to-Q contamination delay) – наименьшая задержка схемы
- t_{pcq} (clock-to-Q propagation delay) – наибольшая задержка схемы



Временной анализ

- В общем случае, синхронная схема состоит из набора триггеров, изменяющих свое состояние по фронту тактового сигнала, которые отделены друг от друга комбинационной логикой (КЛ)
- Задержка распространения (PD) в такой схеме складывается из времени распространения сигнала от первого триггера к КЛ, по КЛ и от КЛ ко второму триггеру
- Цель временного анализа заключается в том, что бы для каждого пути между двумя триггерами рассчитать задержку распространения сигналов и установить, что отсутствует нарушение времен предустановки и удержания триггеров

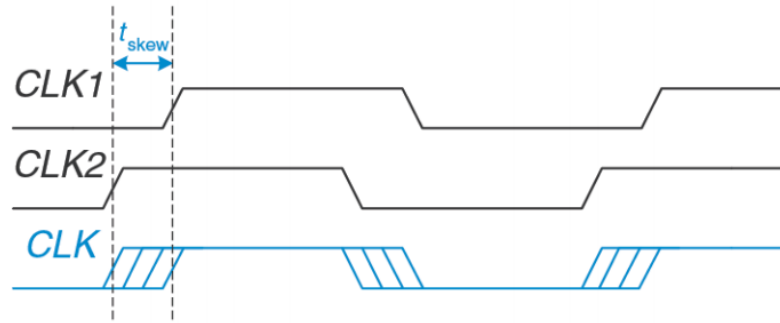


Временной анализ

- Обычно период тактового сигнала известен на этапе разработки проекта
- Большое значение PD может привести к неработоспособности проекта
- Разработчик прописывает желаемую частоту в файле констрейнов, на основе которой САПР производит временной анализ проекта
- При обнаружении ошибок, САПР выдает сообщение о нарушении t_{setup} или t_{hold} соответствующего триггера
- Решение проблем, связанных с временным анализом — одна из основных задач разработчика

Временной анализ

- При временном анализе учитывается, что сигнал тактирования приходит на входы триггеров в разные моменты времени
- Неодновременность прихода тактового сигнала на триггеры называется расфазировкой тактового сигнала (t_{skew})
- Для проверки нарушения времени установки рассматривается цепь с наибольшей задержкой
- Для проверки нарушения времени удержания рассматривается цепь с наименьшей задержкой

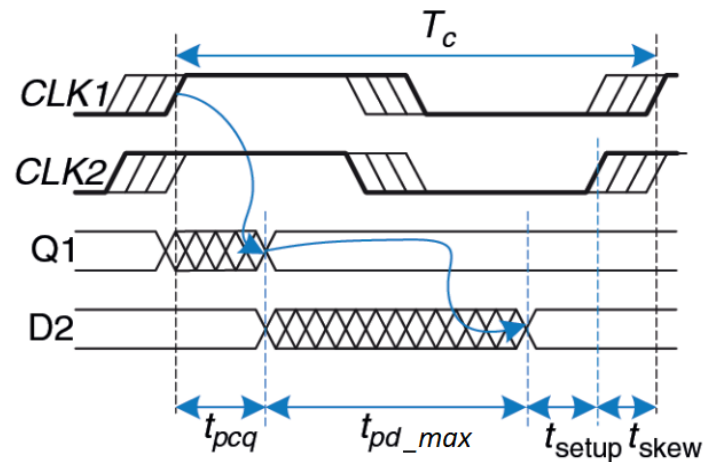
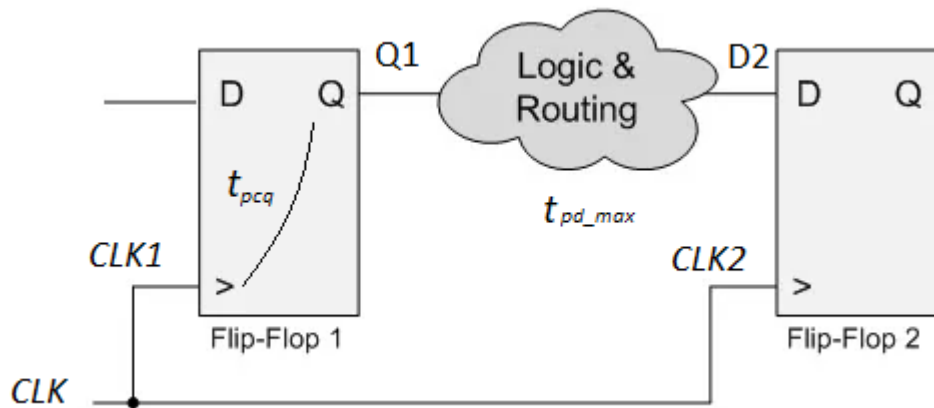


Нарушение времени установки

- Данные от первого триггера должны распространяться достаточно быстро, чтобы успеть дойти до второго триггера раньше его времени предустановки относительно следующего тактового импульса
- Для цепи с наибольшей задержкой должно выполняться условие:

$$t_{pcq} + t_{pd_max} + t_{skew} \leq T_c - t_{setup}$$

- При анализе рассматривается худший случай: тактовый сигнал на первый триггер приходит с наибольшей задержкой, а на второй триггер - с наименьшей задержкой

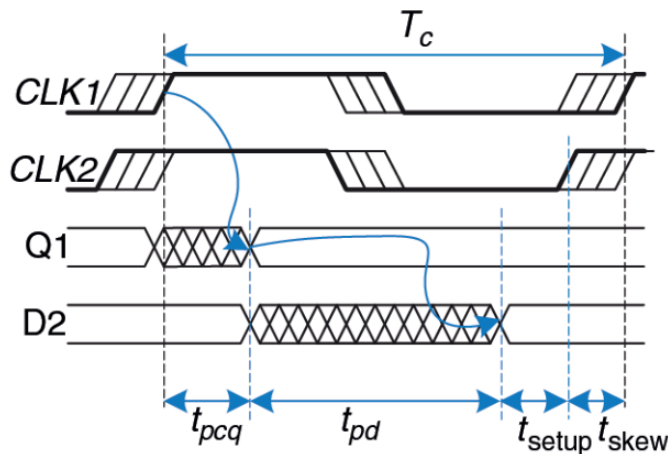


Нарушение времени установки

- Минимально возможный период такой схемы будет определяться как:

$$T_c \geq t_{pcq} + t_{pd} + t_{setup} + t_{skew}$$

- $T_c, t_{pcq}, t_{setup}, t_{skew}$ – определены
- Ошибки, связанные с нарушением времени предустановки решаются уменьшением PD

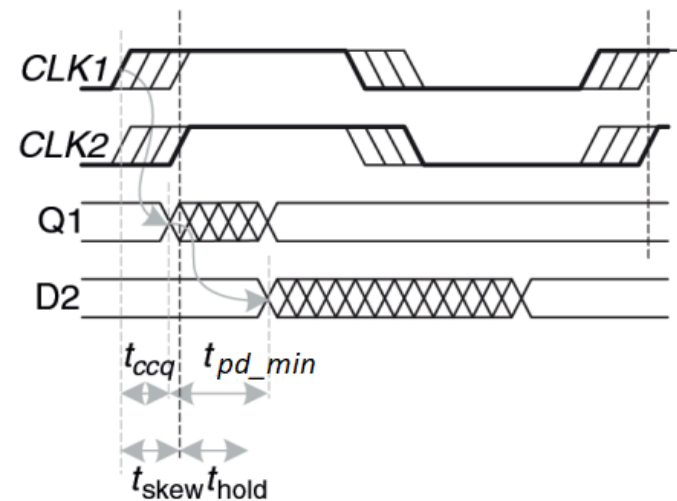
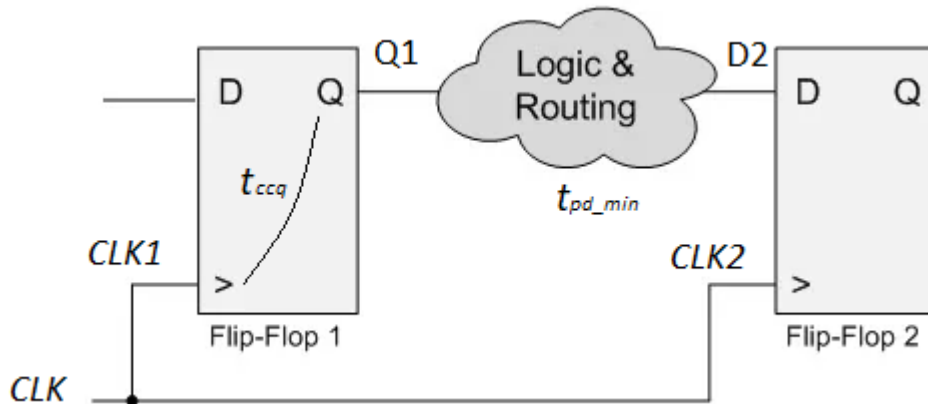


Нарушение времени удержания

- Данные от первого триггера должны распространяться достаточно медленно, чтобы поступить на второй триггер после окончания его времени удержания относительно текущего тактового импульса
- Для цепи с наименьшей задержкой должно выполняться условие:

$$t_{ccq} + t_{pd_min} \geq t_{hold} + t_{skew}$$

- При анализе рассматривается худший случай: тактовый сигнал на первый триггер приходит с наименьшей задержкой, а на второй триггер - с наибольшей задержкой



Нарушение времени удержания

- У триггеров t_{hold} обычно равен 0
 - С учетом этого и при отсутствии КЛ между триггерами ($t_{pd_min} = 0$) для пары последовательно соединенных триггеров минимальное время распространения сигнала должно быть больше расфазировки тактового сигнала:

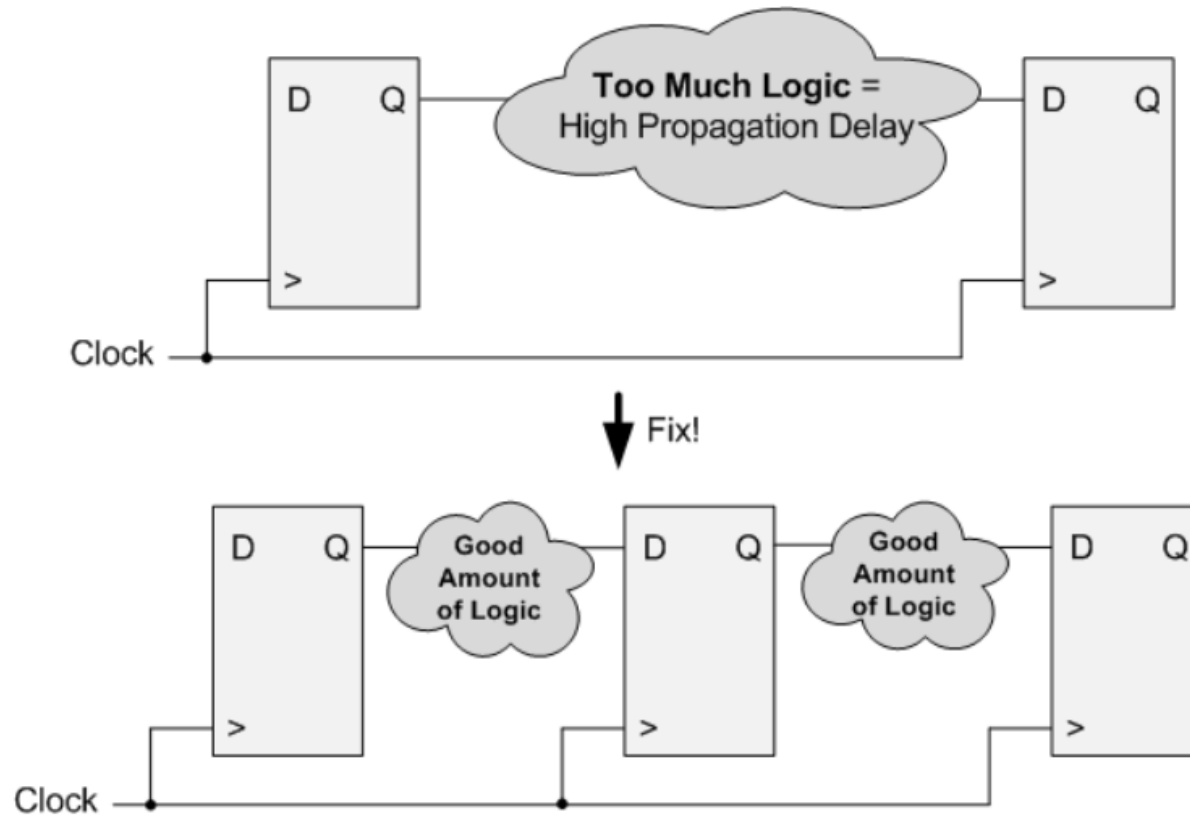
$$t_{ccq} \geq t_{skew}$$

- Минимизация t_{skew} за счет оптимального соединения ЛЭ берет на себя САПР
- $t_{ccq}, t_{hold}, t_{skew}$ – определены
- Ошибки, связанные с нарушением времени удержания решаются увеличением PD

Конвейер

- Решением проблемы, связанной с нарушением времени установки, является уменьшение времени распространения сигнала
- Для этого комбинационную схему разделяют на последовательные стадии (ступени конвейера) триггерами
- В таком случае, отдельно взятая ступень конвейера имеет меньшее время распространения
- При этом с каждой ступенью конвейера увеличивается количество тактовых циклов, через которые формируется результат в схеме

Конвейер



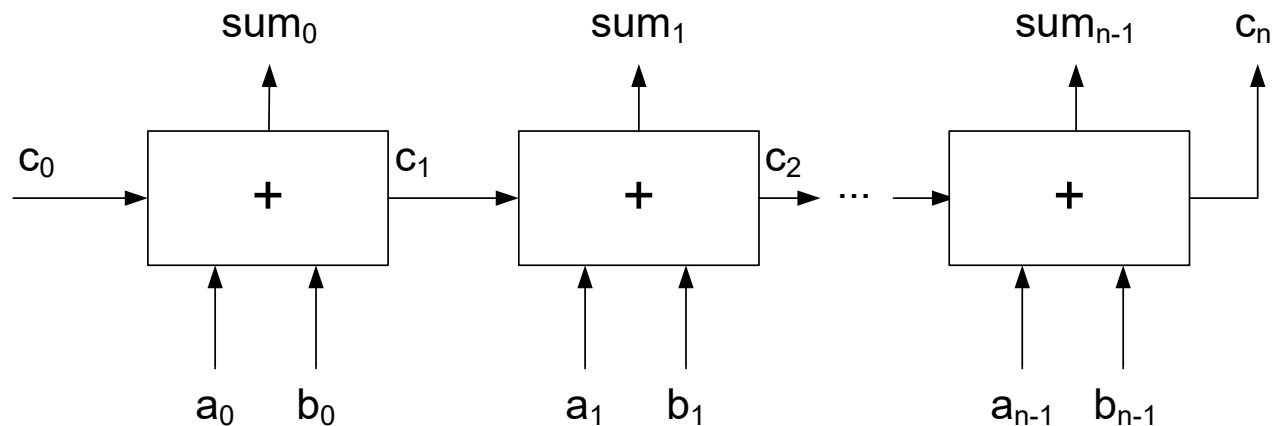
Конвейер

- Пропускная способность (или производительность) конвейера – это количество данных, обработанных конвейером в единицу времени
- Латентность (latency) – задержка между поступлением входных данных и появлением соответствующих им выходных
- Первые данные, поданные на конвейер с N последовательными триггерами, пройдут весь конвейер через N тактов
- При подаче последовательности данных, начиная с N -го такта данные будут обрабатываться на всех ступенях конвейера (конвейер заполнится)

Пример

Построить конвейер на основе полного сумматора

$$\text{SUM} = A + B$$

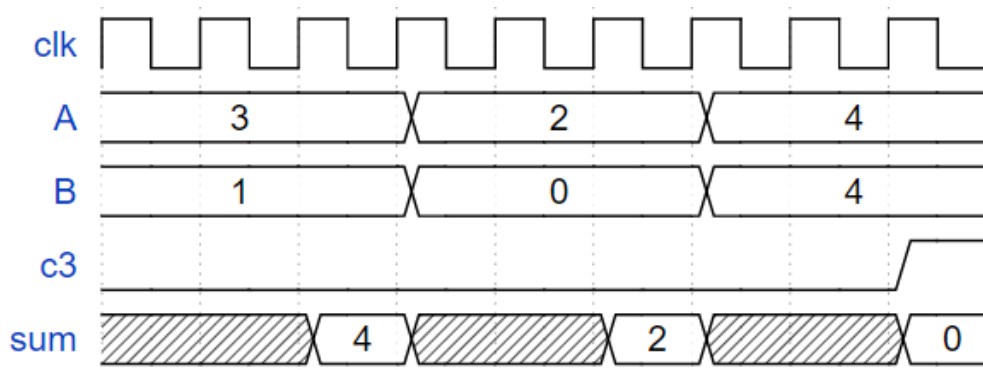
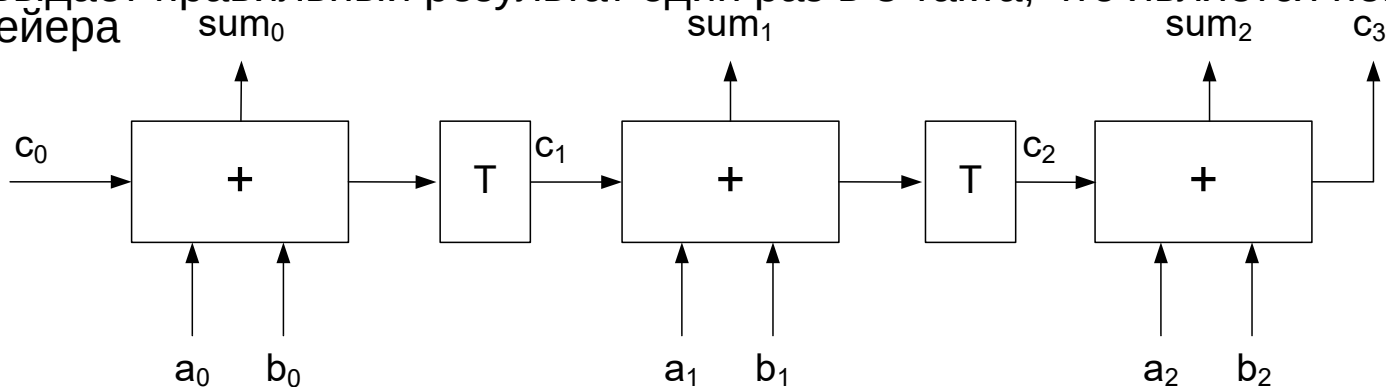


c_n	a_n	b_n	sum_n	c_{n+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

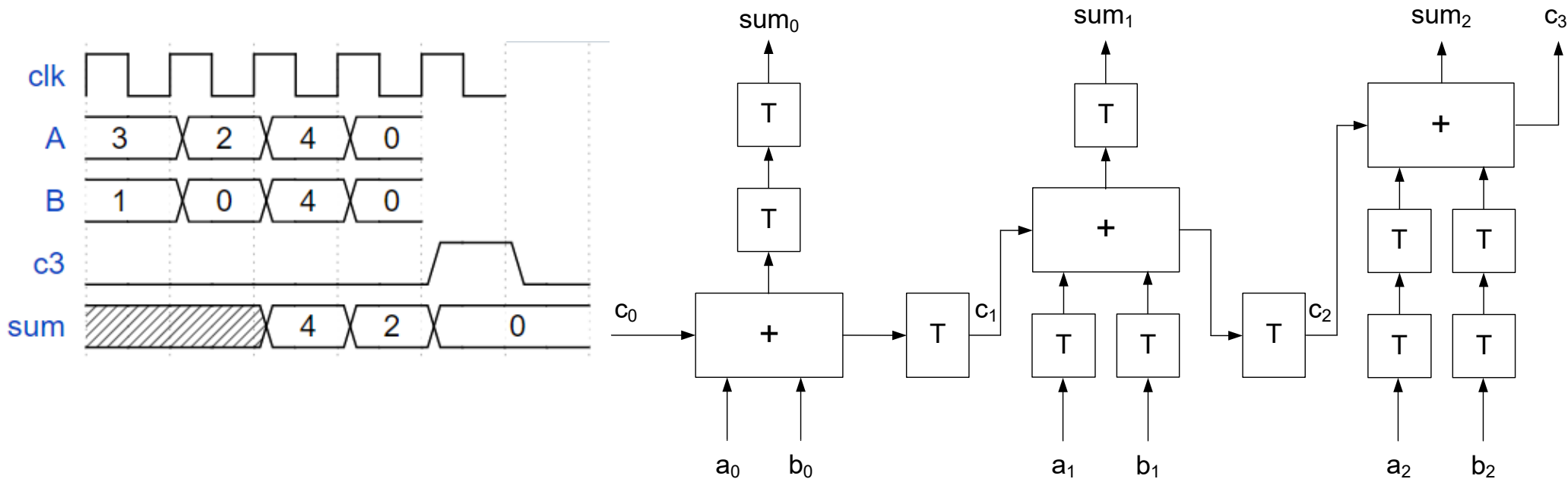
В схеме ниже старший разряд результата C_3 появляется на выходе схемы с задержкой 2 такта

Но выходной сигнал зависит не только от переноса, но и от входов A и B , поэтому в такой схеме входные сигналы не должны меняться, пока на выходе не появится старший разряд результата

Такая схема выдает правильный результат один раз в 3 такта, что является некорректной работой конвейера



Для решения вышеописанной проблемы необходимо синхронизировать разряды входных операндов с соответствующими сигналами переноса и выходные разряды между собой введением задержек разрядов входных и выходных операндов



Литература

- Дэвид М. Хэррис, Сара Л. Хэррис:
“Цифровая схемотехника и архитектура
компьютера”
- 01signal.com/constraints/timing

