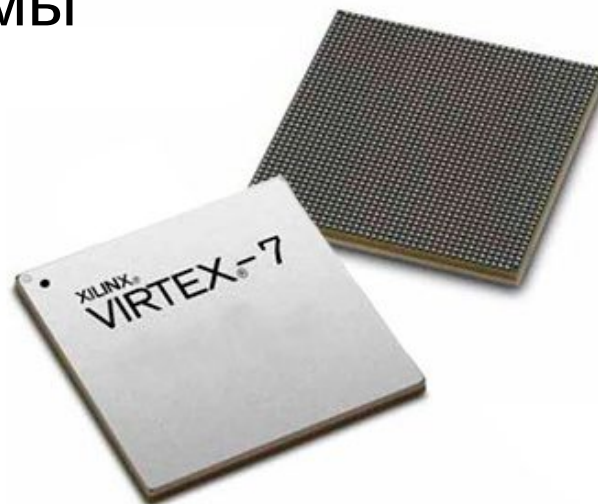


ПЛИС

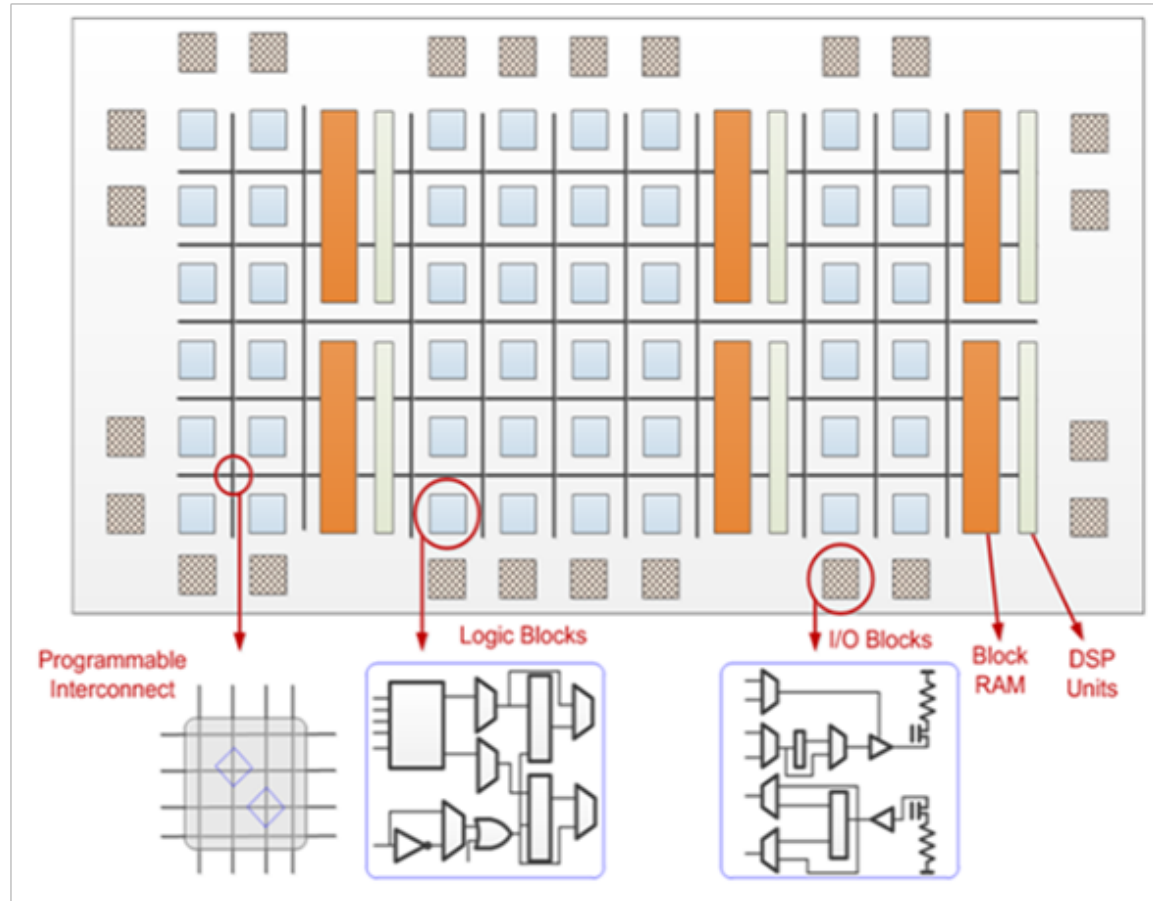
Это матрица логических блоков, конфигурируемых для выполнения функций комбинационной или последовательностной схемы



Структура ПЛИС

- Конфигурационные логические блоки (configurable logic blocks, CLB)
- Программируемые связи между CLB (сеть межсоединений с возможностью переключения путей прохождения сигнала в зависимости от логики проекта)
- Блоки ввода/вывода (связь внешних выводов ПЛИС с внутренней логикой)
- Также ПЛИС содержит специально выделенные ресурсы, такие как блочная память, DSP блоки и т.д.

Структура ПЛИС

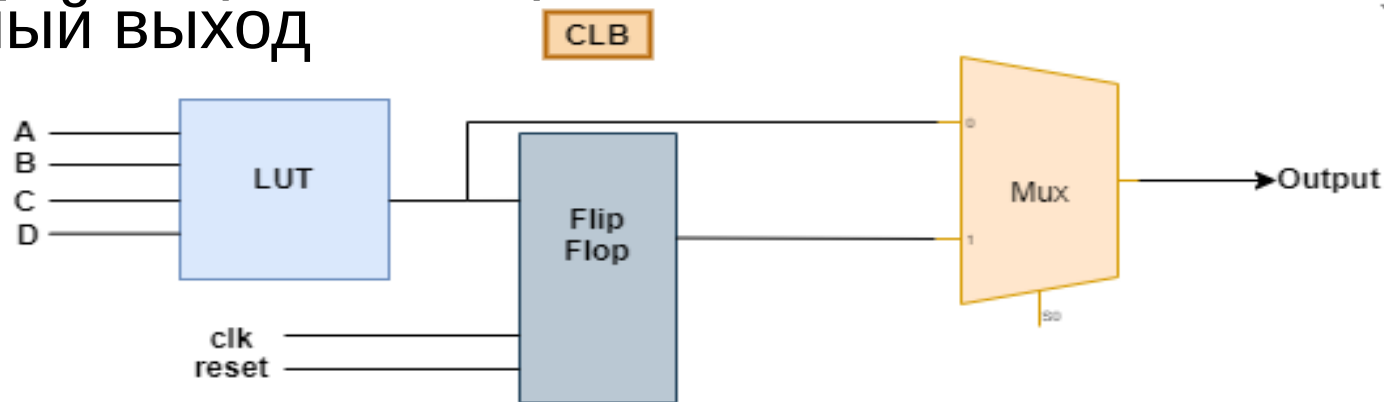


CLB

- Состоят из базовых логических элементов (ЛЭ)
- Конечная структура определяется производителем

Логический элемент

- Простейший ЛЭ содержит LUT, триггер и мультиплексор
- LUT (Look-Up Table) – таблица преобразования, с помощью которой можно реализовать любую булеву функцию
- Триггер реализует синхронную логику
- Мультиплексор выбирает синхронный или комбинационный выход

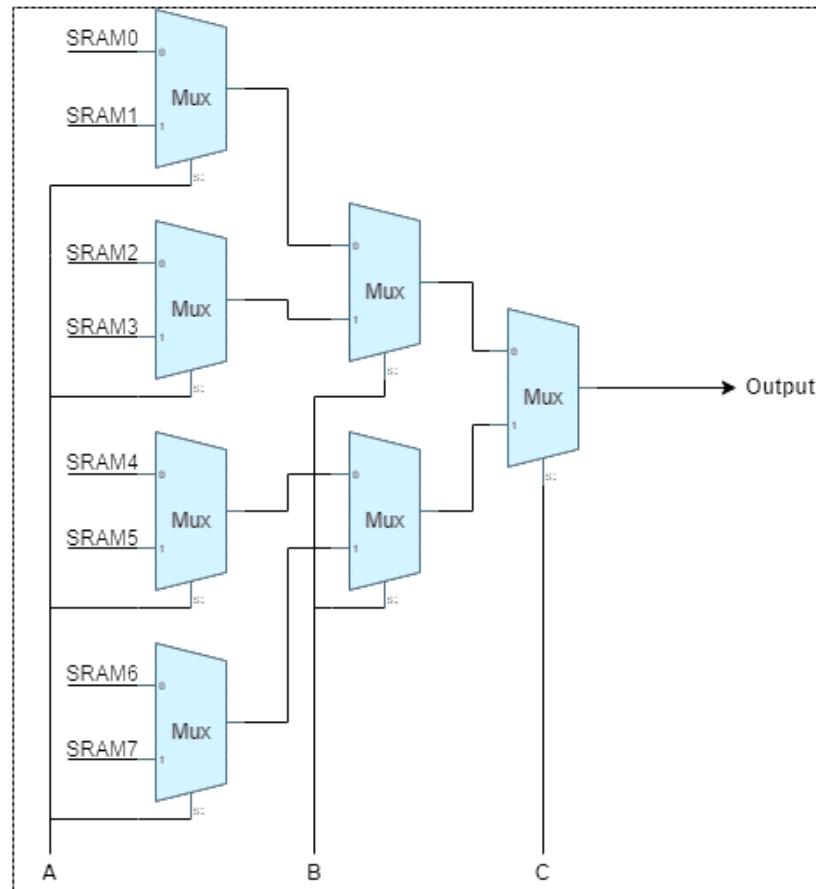


LUT

- LUT содержит мультиплексоры и ячейки SRAM
- В ячейках содержатся выходные значения функции
- Мультиплексоры управляются входными сигналами функции и выбирают ячейку SRAM, содержащую нужное выходное значение
- На LUT с k -входами (k -LUT) можно реализовать любую k -входовую функцию
- В k -LUT будет содержаться 2^k бит SRAM и мультиплексор $2^k:1$
- При такой реализации LUT время прохождения сигнала не зависит от реализуемой функции

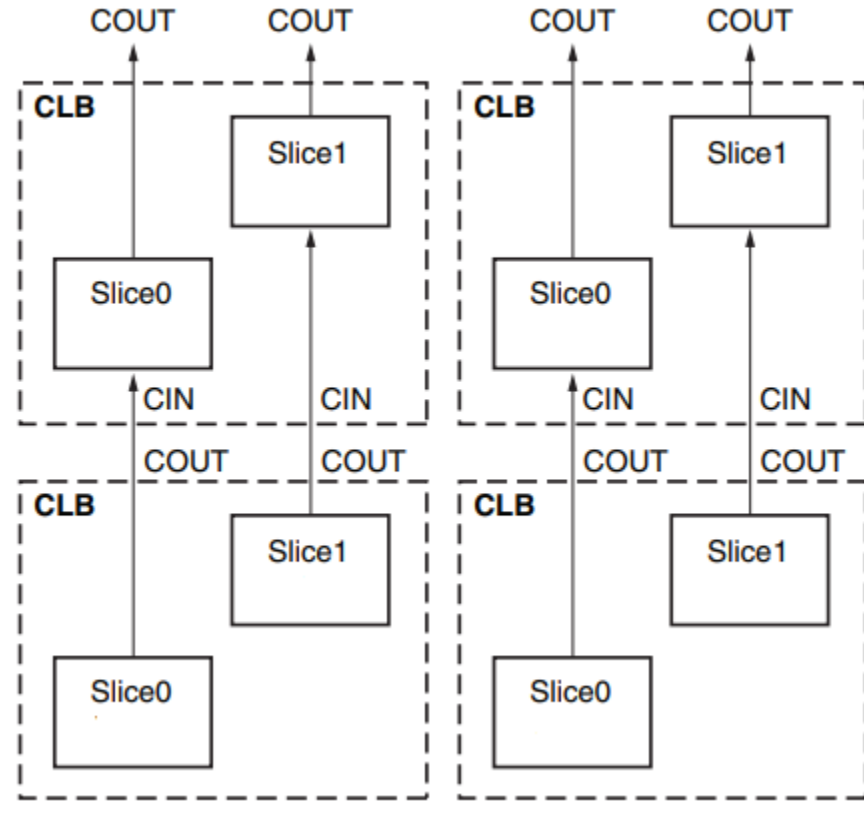
Пример 3-LUT

- Для реализации трехвходовой функции требуется 8-бит SRAM и мультиплексор 8:1
- Мультиплексор 8:1 может быть реализован в виде каскада мультиплексоров 2:1



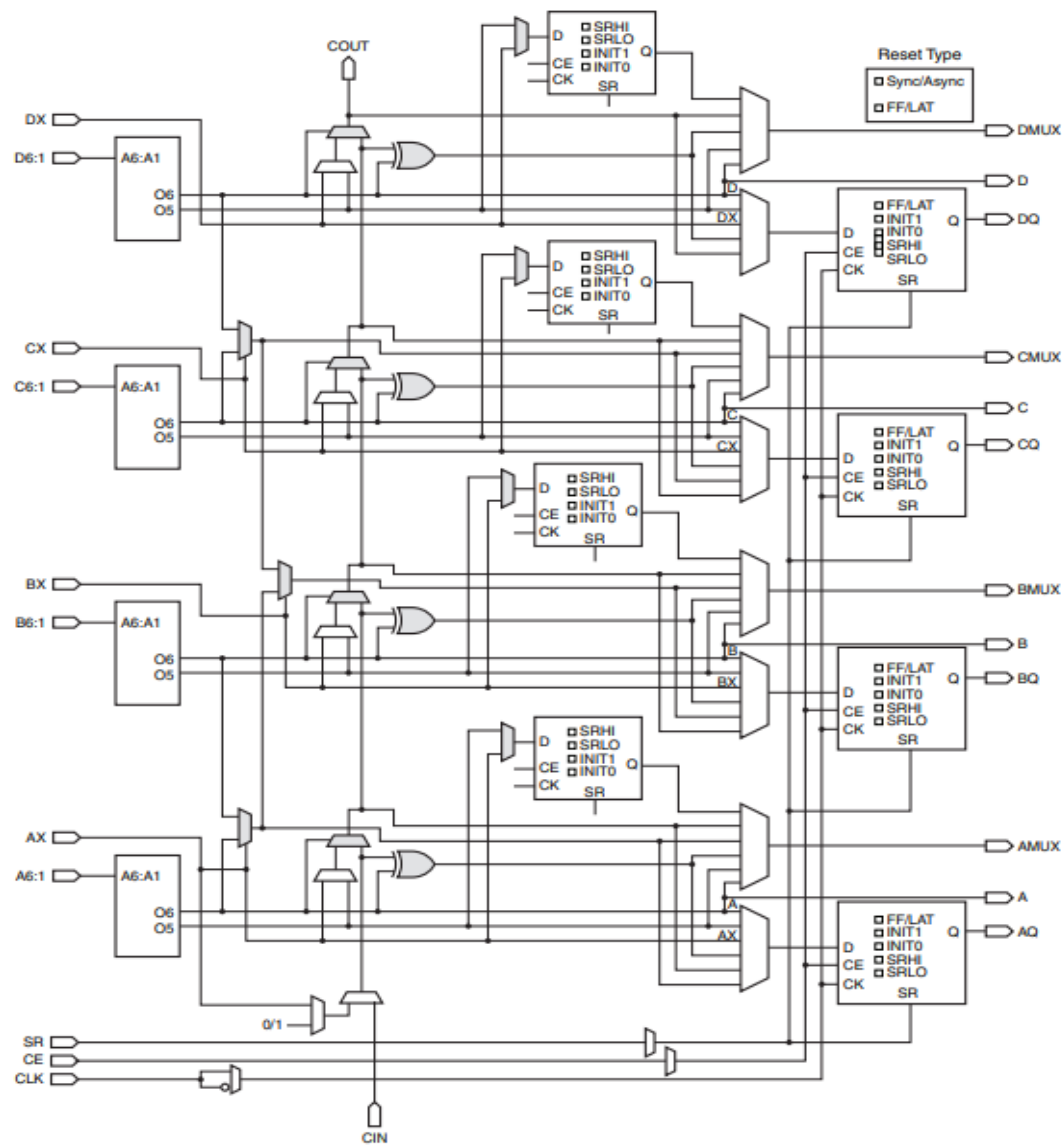
ЛЭ Xilinx

- ЛЭ Xilinx – Slice
- В одном CLB Xilinx содержится два slice



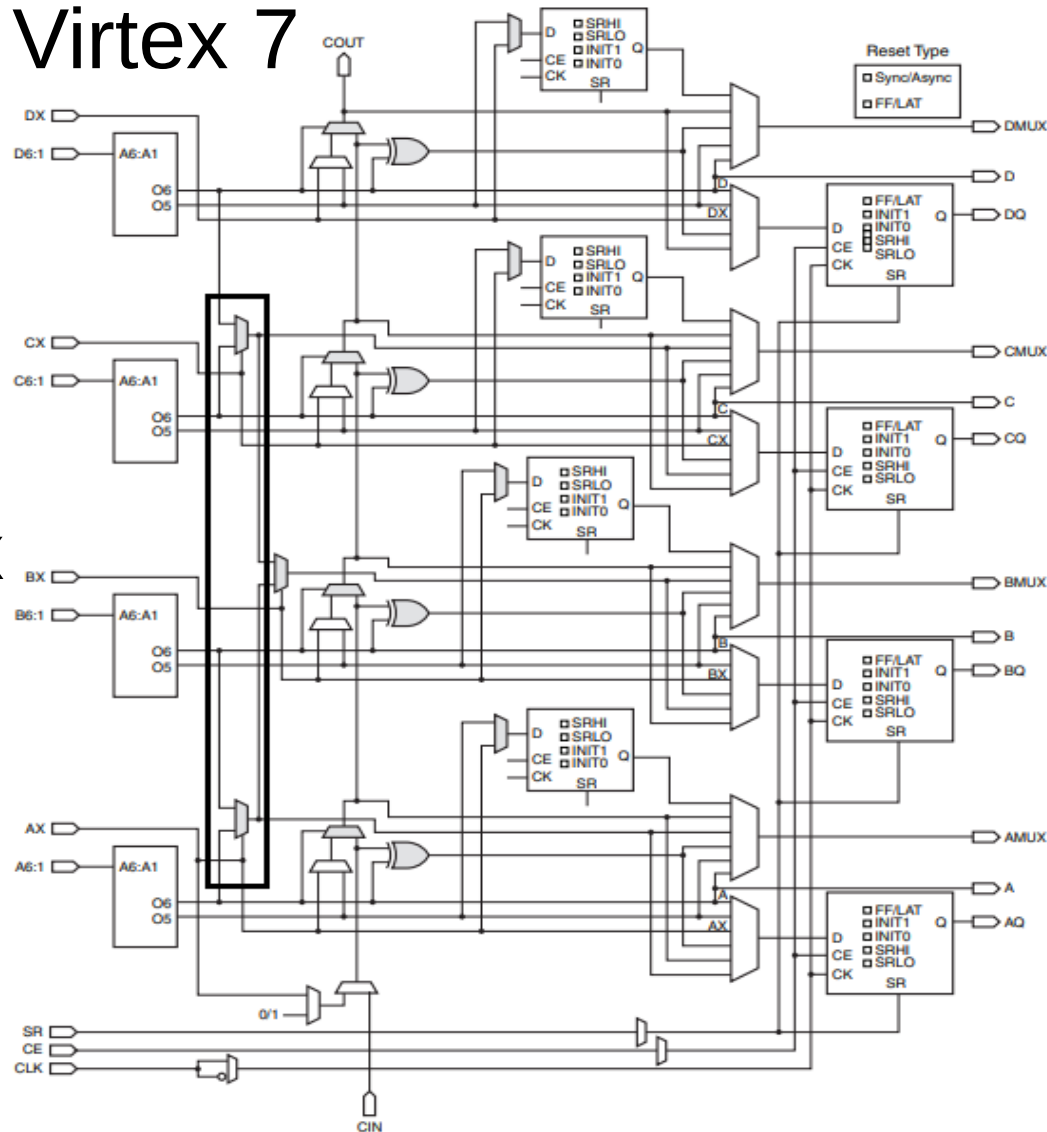
Slice Virtex 7

Каждый Slice содержит
четыре 6-LUT, 8 триггеров,
мультиплексоры и логику
переноса



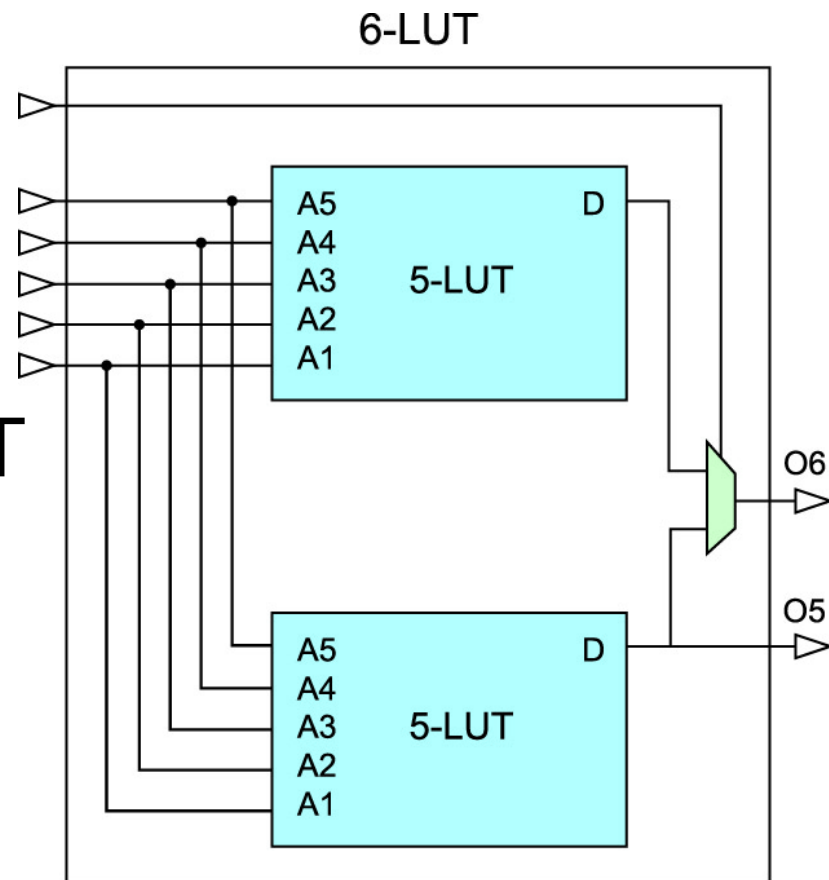
Мультиплексоры в Slice Virtex 7

- Расширяют функционал ЛЭ
- Например, выделенные мультиплексоры объединяют выходы двух LUT
- Такие преобразования выполняются синтезатором и не требуют внимания разработчика



LUT в Slice Virtex 7

- Каждый LUT содержит 6 входов и два выхода
- Может быть сконфигурирован как 6-LUT или как два 5-LUT

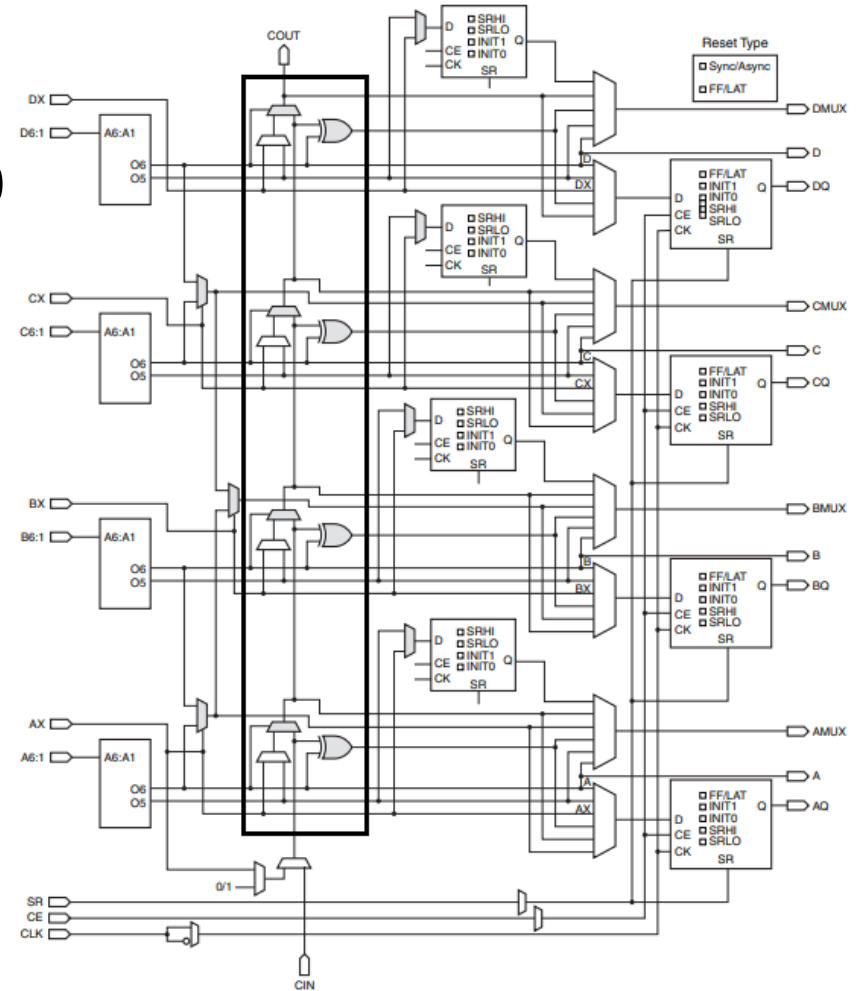


Цепь переноса в Slice Virtex 7

- Кроме реализации логических функций, в Slice имеется выделенная логика переноса для реализации быстрых арифметических операций
- Выделенная логика переноса содержит элементы, вычисляющие однокбитовую сумму и передающие бит переноса на следующие аналогичные элементы внутри slice или на другой slice

Цепь переноса в Slice Virtex 7

- Синтезатор автоматически реализует конструкцию $a+b$ языка SystemVerilog с использованием выделенных цепей переноса
- Суммирование, описанное с помощью эквивалентных логических выражений, будет реализовано на LUT



Триггеры в Slice Virtex 7

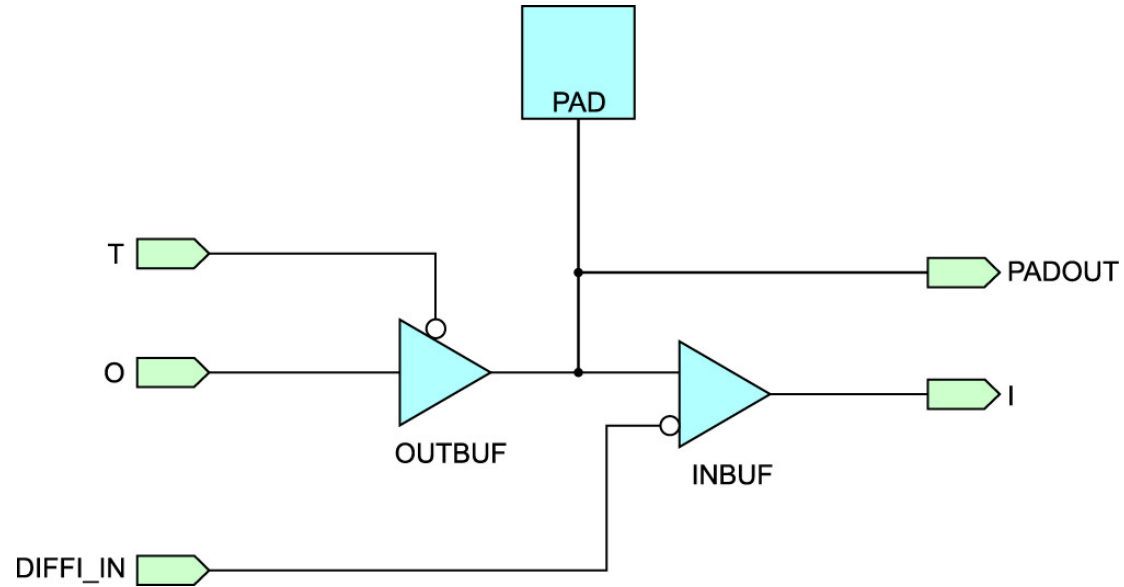
- В Slice имеется 8 триггеров – по два триггера на LUT
- Если LUT используется в режиме двух 5-LUT, их выходы могут быть независимо поданы на входы этих триггеров
- Четыре триггера на выходе slice могут быть сконфигурированы как защелки
- В этом случае оставшиеся четыре триггера в этом slice не используются

SliceM и SliceL Virtex 7

- Некоторые Slice поддерживают дополнительные функции
- В таких Slice LUT могут использоваться в качестве распределенной оперативной памяти или как сдвиговый регистр
- Один 6-LUT может использоваться как 64 битная память или 32-битный сдвиговый регистр
- Память, реализованная таким образом, называется распределенной
- Слайсы, поддерживающие дополнительные функции называются SliceM, остальные – SliceL
- Приблизительно 2/3 slice в ПЛИС – SliceL
- Количество SliceM зависит от семейства ПЛИС

Блоки ввода/вывода (БВВ)

- Обеспечивают интерфейс между выводами корпуса ПЛИС и внутренней логикой
- Это двунаправленные цифровые выводы, которые программируются как по направлению (вход, выход, выход с третьим состоянием) так и по типу электрического интерфейса (ТТЛ, КМОП, LVDS)



Блоки ввода/вывода (БВВ)

- Сгруппированы в банки вводы/вывода
- У каждого банка свое входное напряжение, определяющее уровни, на которых будут функционировать вводы/выводы
- Разные БВВ одного банка могут быть сконфигурированы с разным типом логического интерфейса, но с ограничениями, связанными, главным образом, с напряжением питания банка
- Программирование БВВ осуществляется синтезатором на основе констрейнов (constraints), описанных в файле .xdc (Xilinx Design Constraints File)
- В нем входы и выходы модуля, определенного как top в иерархии проекта, сопоставляются с контактами ПЛИС с указанием типа электрического интерфейса

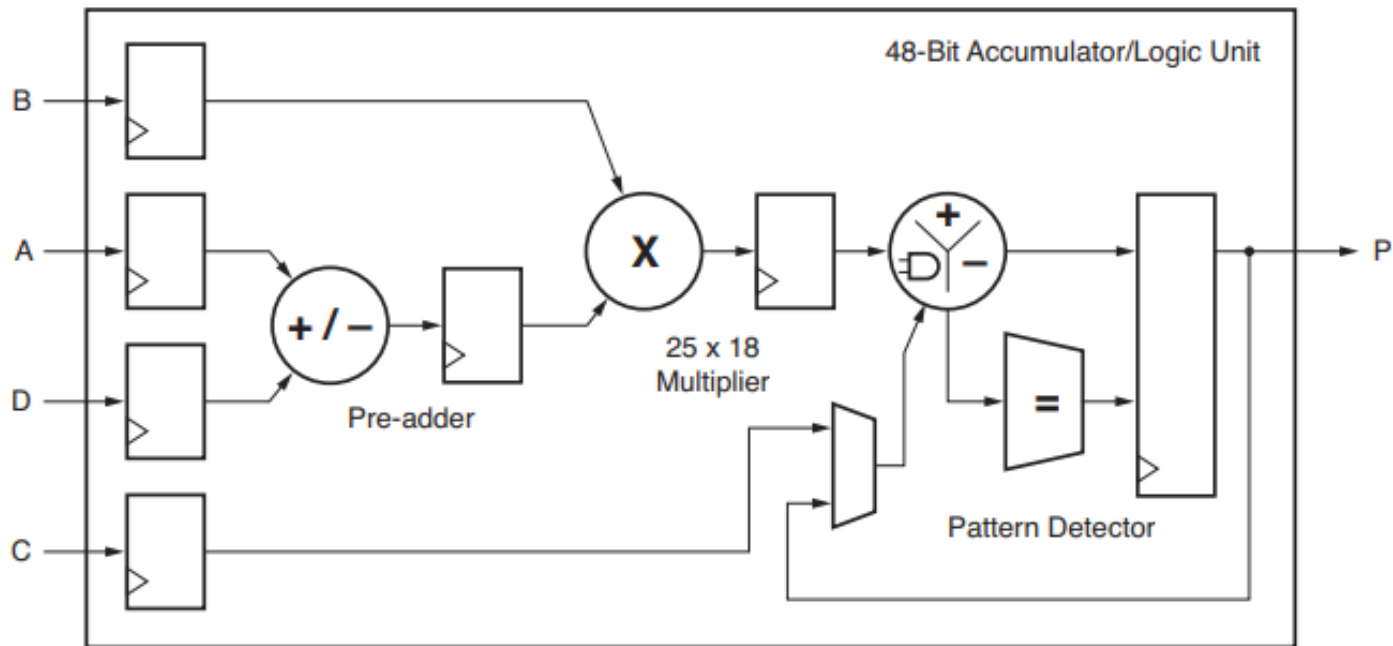
Блочная память

- Выделенный ресурс ПЛИС
- Объем памяти и максимальная тактовая частота зависят от семейства ПЛИС
- Занимает гораздо меньше места, чем аналогичная по емкости распределенная память, реализованный на LUT
- Обладает более высокой производительностью по сравнению с распределенной памятью

DSP блоки (DSP slices)

- Выделенный ресурс ПЛИС
- Используются для ускорения типовых операций ЦОС (умножение, умножение с накоплением)
- Работает быстрее, занимает меньше места и потребляет меньшую мощность по сравнению с реализацией умножителя на логических элементах

DSP блоки (DSP slices)



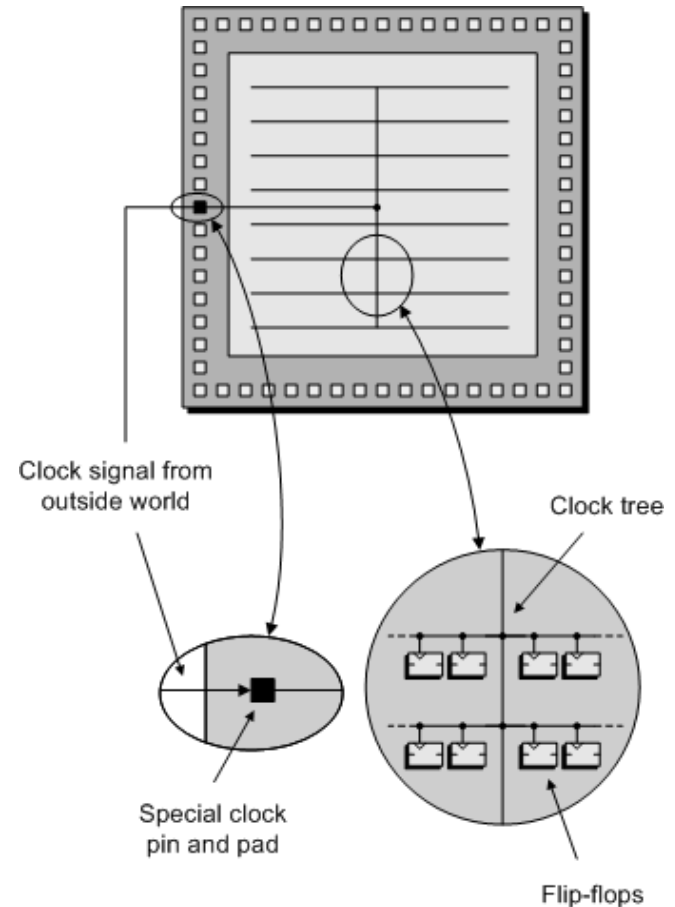
DSP блоки (DSP slices)

DSP блок содержит:

- 25 битный сумматор
- 25×18 умножитель комплексных чисел
- 48 битное АЛУ (может быть сконфигурировано для выполнения 48 битных логических операций AND, OR, NOT, NAND, NOR, XOR или арифметических операций)
- Логику обнаружения паттернов (компаратор для обнаружения конкретного числа, логика обнаружения переполнения и т.п.)

Тактирование ПЛИС

- Управляет синхронной логикой ПЛИС
- Определяет скорость работы проекта
- Формируется генератором на плате и поступает на специально назначенный контакт ПЛИС
- Сигналы с этих пинов распространяются по специальным линиям распространения тактового сигнала (clock tree), которые расположены по кристаллу таким образом, чтобы минимизировать неравномерность распространения сигнала



Тактирование ПЛИС

- Если тактовый сигнал распространяется по clock tree, то можно считать, что все синхронные компоненты работают одновременно
- Поэтому крайне желательно подключать тактовые сигналы к выделенным тактовым контактам ПЛИС
- Организацию внутренних соединений берет на себя САПР, выбирая оптимальные способы соединения отдельных логических блоков
- Рекомендуется не использовать без необходимости несколько тактовых частот в проекте

Литература

- Дэвид М. Хэррис, Сара Л. Хэррис:
“Цифровая схемотехника и архитектура компьютера”
- AMD Xilinx: “7 Series FPGAs Configurable Logic Block User Guide (UG474 v1.8)”
- AMD Xilinx: “7 Series FPGAs SelectIO Resources User Guide (UG471 v1.10)”