Сигналы управления памятью (rd, wr, fetch) 3 Декодер с 4 входами MAR и 9 выходами ПППП MDR MPC 9 PC 8 MBR → Управляющая память объемом 512 × 36 битов для хранения SP 9 микропрограммы LV **JMPC** MIR CPP АЛУ МВ Addr C TOS JAMN/JAMZ OPC Старший Н Шина В бит Сигналы 1-разрядный управления N триггер Управление АЛУ AJJY Ζ Разрешающий сигнал Схема сдвига на шину В 2 Шина С Сигнал записи с шины С в регистр