

Universidade Federal de Minas Gerais – UFMG
Instituto de Ciências Exatas – ICEX
Departamento de Ciência da Computação – DCC
Trabalho Prático de OC2 – 2º Semestre Letivo de 2016
Professor: Omar Paranaíba Vilela Neto
Monitores: Mateus Tymburibá e Thiago Rodrigues

Observações:

- Trabalho em grupos de 5 alunos.
- Notas individuais para cada aluno.

Especificação

O trabalho consiste em implementar, na linguagem de descrição de hardware Verilog, ao longo de 4 etapas sucessivas, versões do microprocessador MIPS de 32 bits graváveis em uma placa de FPGA. Essas versões do processador deverão ser capazes de executar, no mínimo, as seguintes instruções:

- add (soma)
- addi (soma com imediato/constante)
- sub (subtração)
- lw (load word)
- sw (store word)
- and (and bit a bit)
- andi (and bit a bit com imediato/constante)
- or (or bit a bit)
- ori (or bit a bit com imediato/constante)
- nor (nor bit a bit)
- xor (xor bit a bit)
- slt (set if less than)
- slti (set if less than imediato/constante)
- sll (shift left logical)
- srl (shift right logical)
- beq (branch on equal)
- bne (branch on not equal)
- j (jump)

Entregas

Os trabalhos deverão ser apresentados aos monitores para avaliação conforme o seguinte cronograma:

- Entrega 1 (04/10/2016): Versão Multiciclo do MIPS32 executando os estágios *Fetch*, *Decode* e *Execute* para todas as instruções acima elencadas.
- Entrega 2 (25/10/2016): Versão Multiciclo completa (todos os estágios) do MIPS32 para todas as instruções acima elencadas.
- Entrega 3 (15/11/2016): Versão com Pipeline do MIPS32 para todas as instruções acima elencadas.
- Entrega 4 (06/12/2016): Versão com Pipeline do MIPS32 para todas as instruções acima elencadas, com suporte à inserção de bolhas (*stalls*) e encaminhamento via *ScoreBoard*.

Monitorias

As aulas de monitoria sobre o trabalho serão realizadas na sala XXX, de maneira intercalada entre as semanas, às quintas-feiras ou às sextas-feiras. As aulas de quinta-feira ocorrerão no horário de 19:00h. As aulas de sexta-feira ocorrerão no horário de 11:00h. A primeira aula de monitoria sobre o trabalho ocorrerá no dia 22/09/2016 (quinta-feira). A partir daí, a cada semana, as aulas de monitoria serão intercaladas entre sexta-feira e quinta-feira, até o fim do semestre letivo.

Orientações gerais

- Desde a primeira versão do seu código, utilize duas memórias, uma para as instruções e outra para os dados.
- Assuma que as memórias endereçam apenas palavras de 4 bytes. Ou seja, cada endereço de memória se refere a 4 bytes. Configure a memória da sua placa FPGA para espelhar esse comportamento.
- Assuma a existência de 32 registradores de 32 bits para uso geral.
- Mesmo nas implementações multiciclo, assuma que todas as instruções levam 5 estágios para concluir.
- Use a memória da FPGA como memória de dados/instrução.
- Padronize suas declarações de variáveis em Verilog usando o formato “*little endian*” [31:0].