Digital IC Design HW3

工科系 108 級 E94041107 鄧有敦

電路設計：

　　此次作業要設計出一個影像二值化系統，其中每個cycle都會接連輸入一筆資料，連續輸入64\*24筆資料，而在第一批64筆資料輸入完成後，延遲一個clk cycle，緊接著連續輸出64筆二值化過後的結果。

　　對於threshold的運算我用組合電路，至於bin我在一個clk用for迴圈一次比較64筆資料然後依序塞入自己定義的output buffer中，在計算threshold電路前，會直接將每個輸入的資料作比較找出最大與最小的值（除了第一筆資料直接設為最大及最小的預設值）。

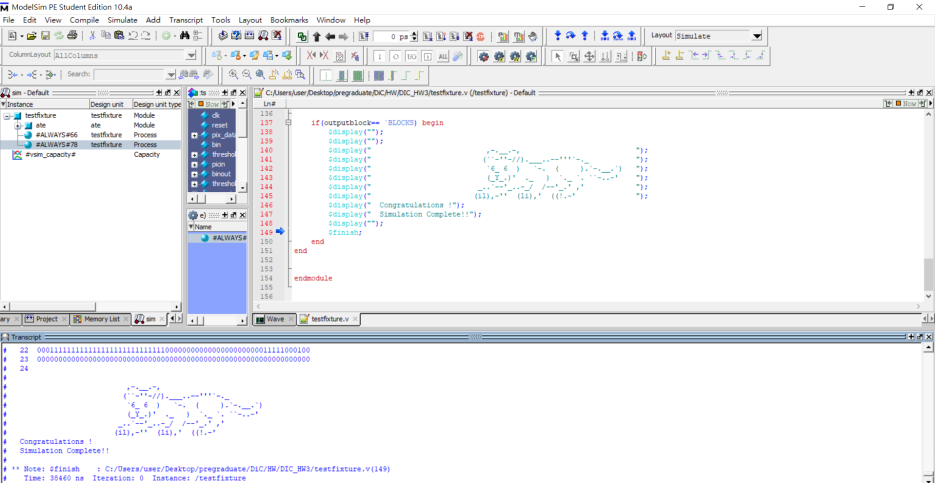
問題與討論：

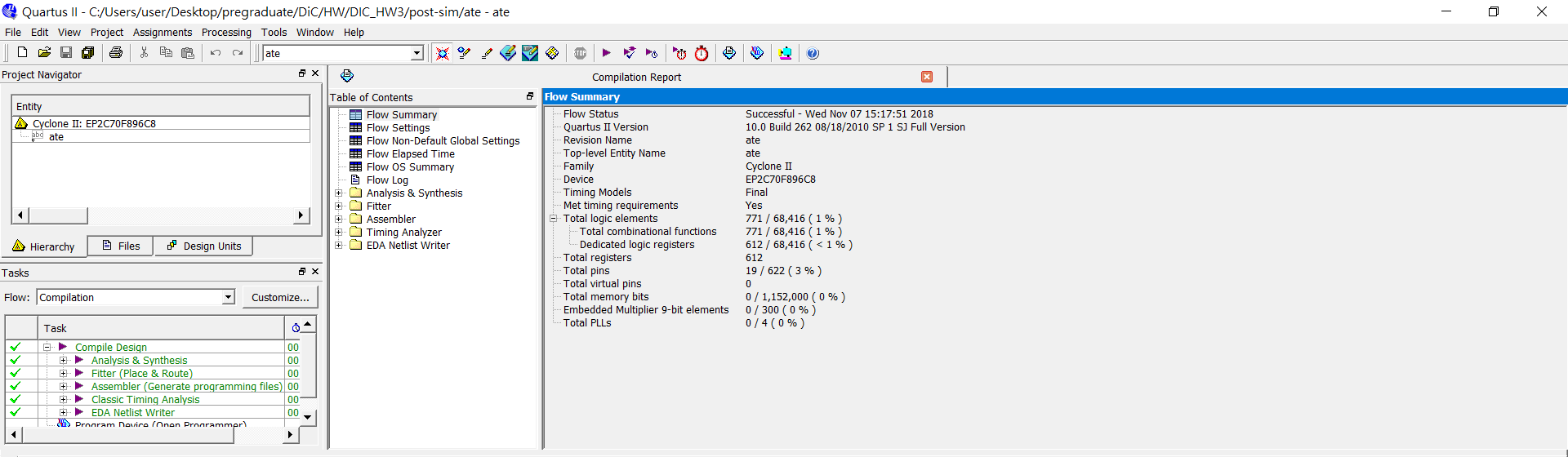
　　為了趕上輸入資料延遲的一個clk cycle後，及時輸出bin與threshold，我在clk負緣做了計算，原以為有合成上的問題，不過還是順利合成出來了，而這種正緣與負緣皆有觸發的設計方式，可能會帶來其他的問題，我還得繼續研究。

　　我將clk cycle，向上調了一點，用預設值時，似乎在post-sim出了一些問題，可能電路架構設計時，還有一些問題。

Functional simulation

pre-sim:

  
post-sim:



Performance = (Total logic elements + total memory bit

*+ 9\*embedded multiplier 9-bit element)* × *(total simulation time in ns)*=**771\*38460=29,652,660**