

# Digital IC Design HW2

工科系 108 級 E94041107 鄧有敦

電路設計：

此次作業電路為不用內建除法運算 " / "，實作出一個除法器。

觀察題目要求後，發現除數跟被除數都是 6-bit 的資料，所以根據運算結果，商數最大僅可能為 64，故我將電路設計成 " 判斷被除數可以減去除數幾次 " 來決定輸出答案（商數），其中分成兩個判斷 stage，第一個 stage 先把以十為單位來作區分，並將答案存在第一個 counter 中；第二個單位則以一為單位來作區分，並將答案存在第二個 counter 中，最後若有除數為零的情況，直接以判斷輸入資料，將 dbz 拉起。

問題與討論：

這次在設計電路的過程，就直覺想到了用乘法來快速計算被除數可以減去除數的次數，但實際上用到了內建的運算乘法器，使得 area 便相當大，但當我發覺這問題時已經合成完了，下次我會嘗試用位移(SHIFT)的運算元來替代乘法。

Functional simulation (pre-sim)：



