

NCKU-ES
Introduction to Digital IC Design
Fall 2017

Lab 6

Challenge

Fast Fourier transform

Professor:Wen-Long Chin

TA: Cheng-Chieh Chang

、 Chieh-Sheng Cheng

VLSI signal processing LAB

- Objectives

- To consider the architecture of circuit with your RTL design, and try to trade off the best result of resource(area) and timing with your design.

- LAB content

- LAB6: Fast Fourier transform (FFT)

LAB 6: Fast Fourier transform

● Design Description

本系統從主控端傳送時域資料，並進行快速傅利葉轉換(FFT：Fast Fourier transform)，將時域訊號轉為頻域訊號。主控端的訊號為200Hz sin訊號，如圖一所示，在傳送訊號時，*data_vaild*信號為high，*data_d*使資料能夠一個時脈週期傳送一筆資料，經過FFT處理後會得到頻域訊號，如圖二所示。將*fft_valid*信號拉為high，*fft_d*使資料能夠一個時脈週期輸出一筆資料。

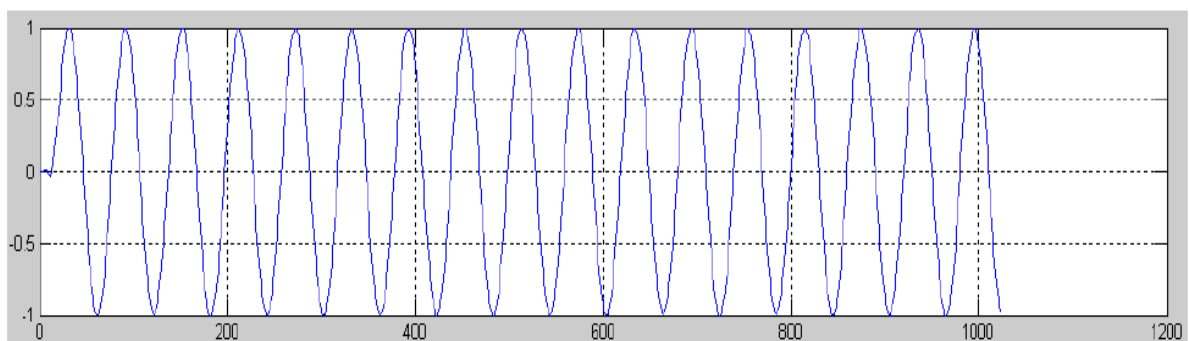


圖 一、主控端時序訊號

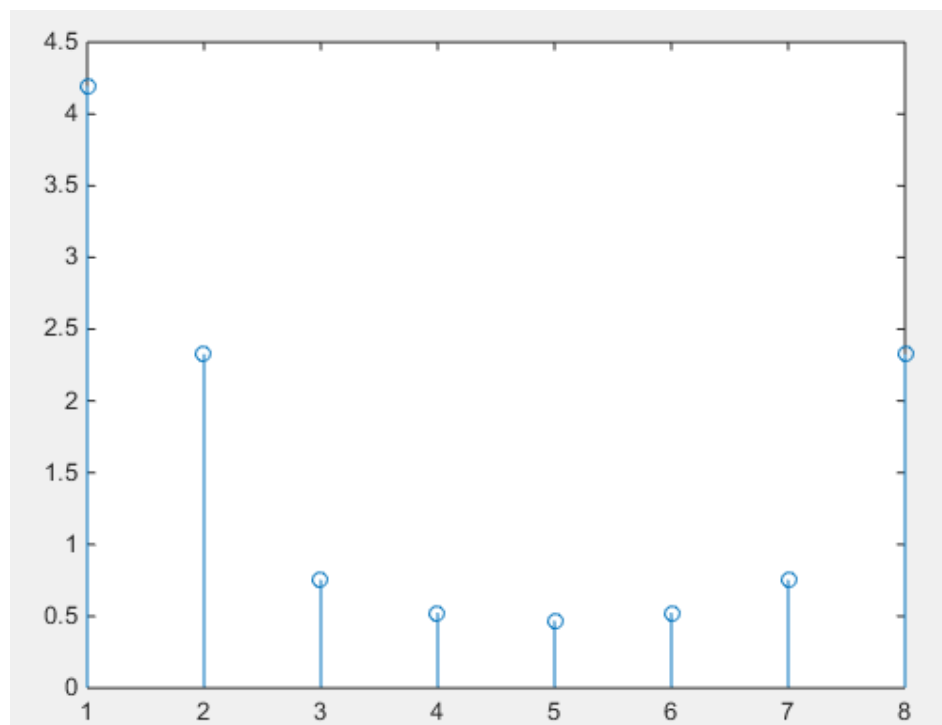
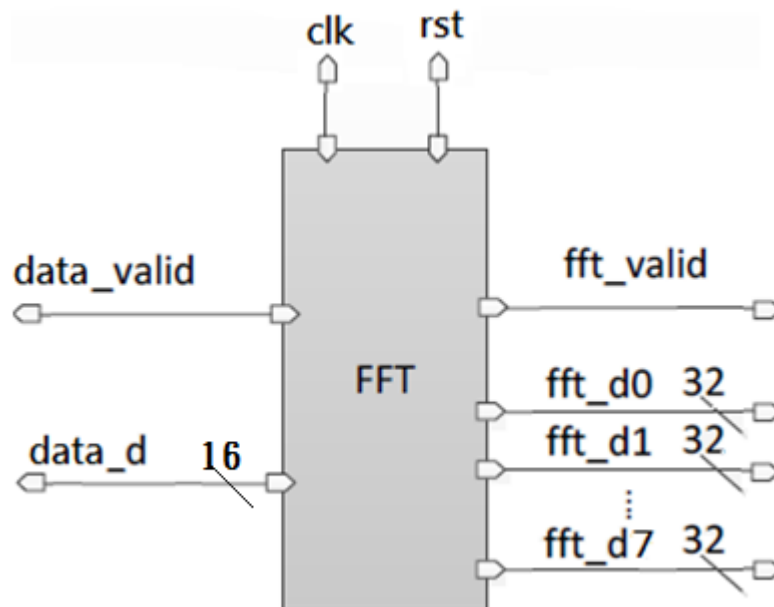


圖 二、前八筆資料FFT後之頻譜(|X[0]|~|X[7]|)

- Block Diagram



- Specifications

表 一、輸入/輸出信號

信號名稱	輸入/輸出	位元寬度	說明
<i>clk</i>	input	1	時脈信號。 說明：主控端與內部記憶體於時脈正緣時動作。
<i>rst</i>	input	1	高位準非同步(active high asynchronous)之系統重置信號。 說明：此信號於系統啟動時送出。
<i>data_valid</i>	input	1	資料預備信號。 說明：當主控端預備傳送資料時，會將此信號設為 high。
<i>data</i>	input	16	主控端時域訊號輸入。
<i>fft_d0 ~ fft_d7</i>	output	32	32 位元 FFT 之資料輸出訊號。 說明： 8 個 32 位元 FFT 之輸出訊號。
<i>fft_valid</i>	output	1	FFT 資料有效信號。

● Functionality

當系統啟動時，**串列**輸入訊號依每8筆為一組轉為**並列**訊號，接著將每組並列訊號進行FFT訊號處理，FFT處理後之訊號使用fft_d0~fft_d7及fft_valid並列輸出。其中，fft_valid為輸出有效提示訊號，週期為1 clock cycle。另外，有效輸的**串列**輸入訊號轉成FFT**並列**輸入訊號時，訊號間將不做任何overlap，例如：第1筆FFT**並列**輸入訊號組成成份為data(0)~data(7)，第2筆FFT**並列**輸入訊號組成成份為data(8)~fata(15)，其他依此類推。本系統將由主控端輸入1024筆資料，故會有128次運算結果。

data 資料格式如圖五。

正/負	實數整數	實數小數
1bit	7	8 bit

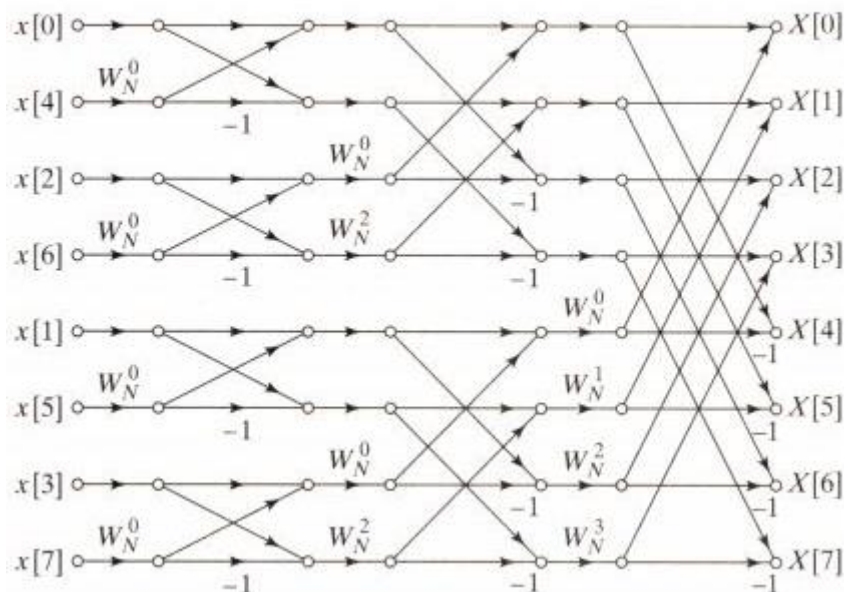
圖五、data 資料格式

本題目中所使用的快速傅利葉轉換 (FFT：Fast Fourier transform)為 8 點的 DIT(8-point decimation-in-time)快速傅利葉轉換，硬體架構如圖三所示。此快速傅利葉轉換電路，是為將時域訊號轉換為頻域訊號，以利後續之訊號分析及處理，其原始數學表示式如公式二所示。(公式推導參考附錄)

$$X[k] = \sum_{n=0}^{N-1} x[n]w_N^{kn} \quad k = 0, 1, \dots, N-1 \quad \text{公式二}$$

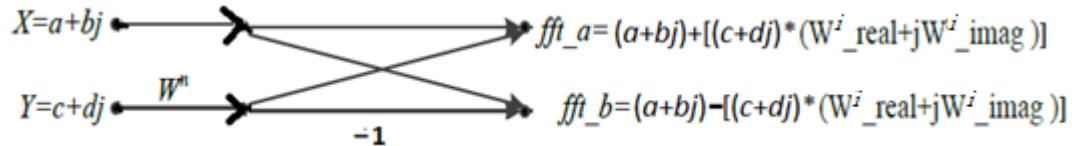
$$W_N = e^{-2\pi j/N}$$

DIT FFT

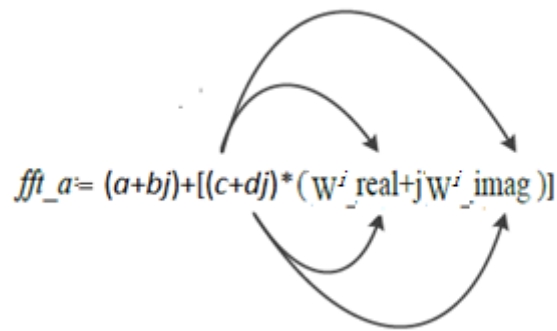


圖三、八點 FFT 硬體架構

而在進行硬體數值運算過程，可參考圖四.FFT運算說明；其中 W^i 為FFT之係數，須注意此係數有實部（ W^i_{real} ）與虛部（ $W^i_{imaginary}$ ）資料，運算過程中需要個別紀錄、運算實部與虛部資料， W^i 係數表如表二.所示，其FFT輸出（fft_d0~fft_d7）資料格式如圖五.所示。



圖四、FFT 運算



可整理為

$$fft_a = (a + c * W^i_{real} - d * W^i_{imag}) + j(b + c * W^i_{imag} + d * W^i_{real})$$

最後可整理為

實部資料	$(a + c * W^i_{real} - d * W^i_{imag})$
虛部資料	$(b + c * W^i_{imag} + d * W^i_{real})$

W^n			
W^0	1.000 + 0.000j	W^2	0.000 - 1.0000j
W^1	0.707106781186548 - 0.707106781186548j	W^3	-0.707106781186548 - 0.707106781186547j

表二. W^i 係數

(表二內容，實部資料已存放於Real_Value_Ref.dat，
虛部資料已存放於Imag_Value_Ref.dat)

正/負	實數整數	實數小數	正/負	虛部整數	虛部小數
1bit	7	8 bit	1 bit	7 bit	8 bit

圖 六、FFT 資料格式 (fft_d0 ~ fft_d7)

➤ 功能驗證結果

```

: FFT dataout on pattern      824 ~      831, PASS!!
: FFT dataout on pattern      832 ~      839, PASS!!
: FFT dataout on pattern      840 ~      847, PASS!!
: FFT dataout on pattern      848 ~      855, PASS!!
: FFT dataout on pattern      856 ~      863, PASS!!
: FFT dataout on pattern      864 ~      871, PASS!!
: FFT dataout on pattern      872 ~      879, PASS!!
: FFT dataout on pattern      880 ~      887, PASS!!
: FFT dataout on pattern      888 ~      895, PASS!!
: FFT dataout on pattern      896 ~      903, PASS!!
: FFT dataout on pattern      904 ~      911, PASS!!
: FFT dataout on pattern      912 ~      919, PASS!!
: FFT dataout on pattern      920 ~      927, PASS!!
: FFT dataout on pattern      928 ~      935, PASS!!
: FFT dataout on pattern      936 ~      943, PASS!!
: FFT dataout on pattern      944 ~      951, PASS!!
: FFT dataout on pattern      952 ~      959, PASS!!
: FFT dataout on pattern      960 ~      967, PASS!!
: FFT dataout on pattern      968 ~      975, PASS!!
: FFT dataout on pattern      976 ~      983, PASS!!
: FFT dataout on pattern      984 ~      991, PASS!!
: FFT dataout on pattern      992 ~      999, PASS!!
: FFT dataout on pattern     1000 ~     1007, PASS!!
: FFT dataout on pattern     1008 ~     1015, PASS!!
: FFT dataout on pattern     1016 ~     1023, PASS!!
-----

```

Congratulations! All data have been generated successfully!

-----PASS-----

➤ 評分標準依是否達到題目要求各事項，未達到要求依項扣分。

1. 功能驗證：60%
2. 所設計之電路在 **FPGA** 上的**速度**(運算總時間 **Time**)及**使用資源**(面積 **Area**)：**40%** (排名制)

成績計算方式如下：**Score = Time * Area**

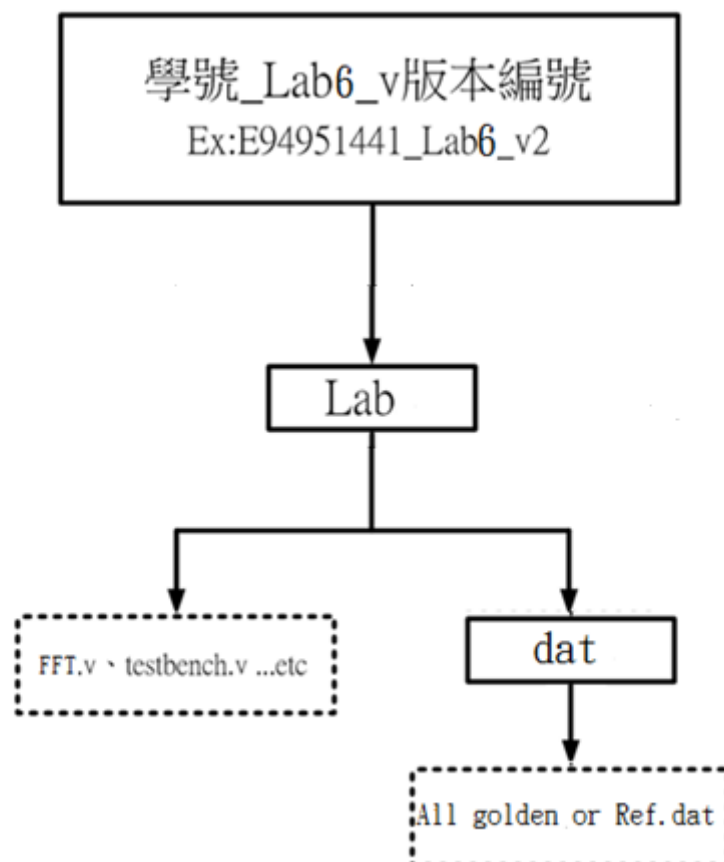
Score	Rank
40	1
35	2
30	3
25	4~5

22	6~7
20	8~10
18	11~15
15	16~20
10	21

- 兩人一組，做一個設計(與實驗課分組相同)
- 繳交的作業資料夾組織與命名請與下頁圖示相同
- 作業繳交至 Moodle
- 上傳截止日期: **LAB6 燒錄當天課堂結束**

請務必於上傳截止日期前繳交作業

● Directory Organization



附錄 快速傅利葉轉換公式推導

DIT 架構 (decimation in time)

離散傅立葉 (DFT) 的數學模型為：

$$X[k] = \sum_{n=0}^{N-1} x[n] w_N^{kn} \quad k=0, 1, \dots, N-1$$

(其中 $w_N = \exp(-j2\pi/N)$, $X[k]$, $x[n]$ 為複數)

將 $x[n]$ 分為奇數點跟偶數點二個不同的組合團體，即

$$X[k] = \sum_{n(\text{even})} x[n] w_N^{kn} + \sum_{n(\text{odd})} x[n] w_N^{kn} \quad X[k] =$$

令偶數組合團體的 $n=2r$ ，奇數組合團體的 $n=2r+1$ ，因此

$$\begin{aligned} X[k] &= \sum_{r=0}^{(N/2)-1} x[2r] w_N^{2rk} + \sum_{r=0}^{(N/2)-1} x[2r+1] w_N^{(2r+1)k} \\ &= \sum_{r=0}^{(N/2)-1} x[2r] w_N^{2rk} + w_N^k \sum_{r=0}^{(N/2)-1} x[2r+1] w_N^{2rk} \\ &= \sum_{r=0}^{(N/2)-1} x[2r] w_{N/2}^{rk} + w_N^k \sum_{r=0}^{(N/2)-1} x[2r+1] w_{N/2}^{rk} \\ &= G[k] + w_N^k H[k] \end{aligned}$$

$$\text{其中 } G[k] = \sum_{r=0}^{(N/2)-1} x[2r] w_{N/2}^{rk}$$

$$H[k] = \sum_{r=0}^{(N/2)-1} x[2r+1] w_{N/2}^{rk}$$

以 $N=8$ 為例子，其圖形為

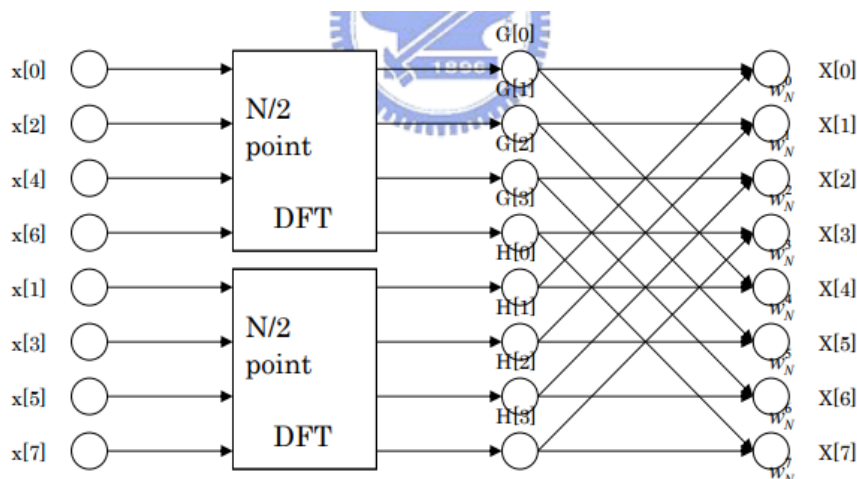


Fig 2-1.1 Simple DIT 8-point FFT

若將 $(N/2)$ 點的 $G[k]$ 及 $(N/2)$ 點的 $H[k]$ 以相同的方式來作偶數奇數分組動作，則可以得到類似的結果，其說明如後：

$$\begin{aligned}
G[k] &= \sum_{l=0}^{(N/4)-1} g[2l]w_{N/2}^{2lk} + \sum_{l=0}^{(N/4)-1} g[2l+1]w_{N/2}^{(2l+1)k} \\
&= \sum_{l=0}^{(N/4)-1} g[2l]w_{N/4}^{lk} + w_N^{2k} \sum_{l=0}^{(N/4)-1} g[2l+1]w_{N/4}^{lk} \\
H[k] &= \sum_{l=0}^{(N/4)-1} h[2l]w_{N/4}^{lk} + w_N^{2k} \sum_{l=0}^{(N/4)-1} h[2l+1]w_{N/4}^{lk}
\end{aligned}$$

因此 $N/2$ 點的 $G[k]$ ，及 $H[k]$ 是由 $N/4$ 點的 g, h 經過 DFT 而來的，其分解過後的訊號如 Fig2-1.2 所示：

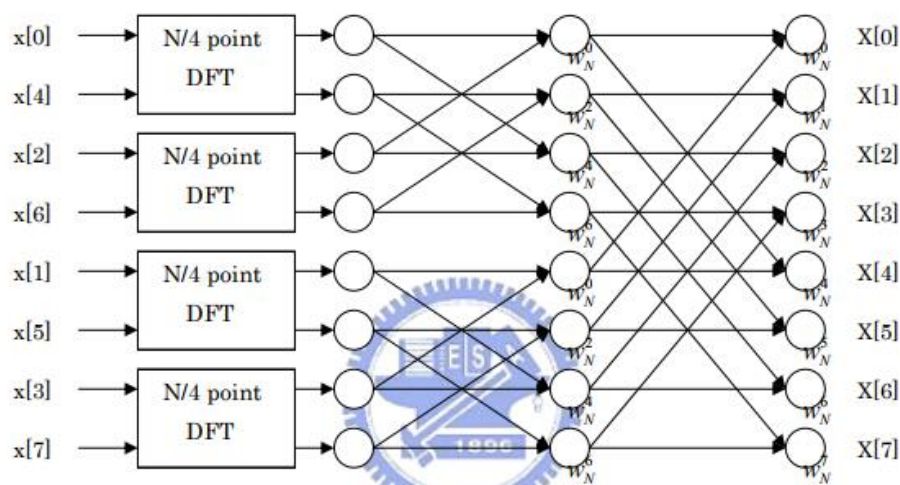


Fig2-1.2 Simple DIT 8-point FFT with radix-2

利用此原理繼續分解，則可得到如 Fig2-1.4 所示的訊號流圖形，由於其是由一種狀態類似蝴蝶的數學運算基本架構而來，因此這種架構即成為有名的時間點分組之蝴蝶圖 (DIT butterfly)。其基本單位元件為：

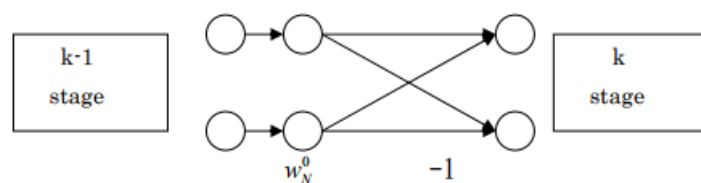


Fig2-1.3 Butterfly 基本單位元件圖

因為butterfly二個轉動因數乘法 (twiddle factor multiplication) 在相位上相差 180° ，乘法只有正負號不同而已，因此可將其共同之乘法項提出，再加入正負號，即乘一次轉動因數乘法，再用加減法運算，可獲得和原本乘二次轉動因數乘法相同效果。Fig2-1.4 以及 Fig2-1.5 即簡化前與簡化後的訊號流圖形。

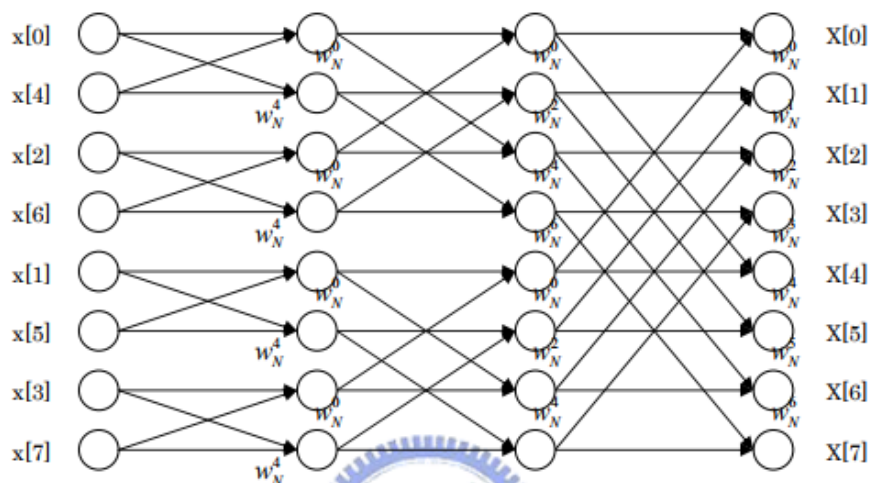


Fig2-1.4 8-point FFT with radix-2(未簡化)

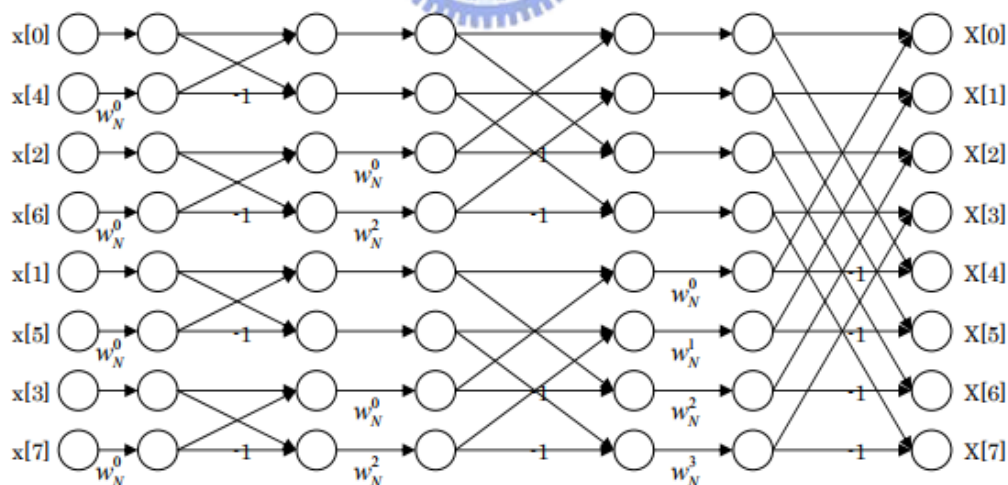


Fig2-1.5 8-point FFT with radix-2(簡化後)