E94041107 工科系 108級 鄧有敦

E94041220 工科系 108級 郭濯瑀

E94046199 工科系 108級 謝茹媛

**Question 1.**請問Synthesis產生了一個有關led[3]的 warning，此warning 是什麼意思?是否會影響 FPGA 呈現的結果?  
Implementation產生了"place\_design is not in timing mode"的 warning，為什麼會產生此warning?

1. Led[3]這個腳位的值，在程式碼中被設計為常數零，故無法靠外在input device驅動，這的確會影響FPGA呈現結果，不過這跟設計所預期的一致。
2. 因為通常在程式裡不會只出現組合電路，所以這個軟體本來會預設會有時序電路，因此它用warning來提醒。

**Question 2.**

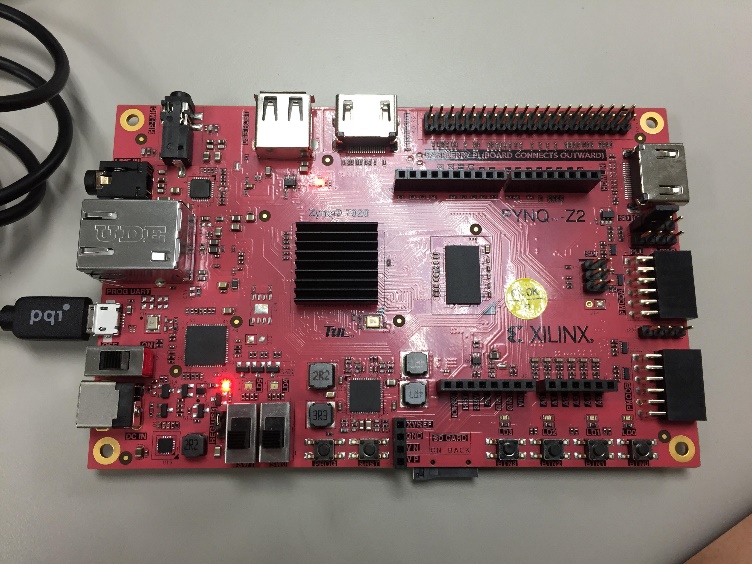
本實驗所加入的 Constraints 有個 virCLK.xdc 的檔案，若將此檔案移除在重新做一次本實驗，會有什麼不一樣的地方?

實驗結果是它無法做出本來我們想做到的結果，因為軟體會預設程式裡有時序電路，即使是用不到clk還是需要放virtual clk才能正常執行。

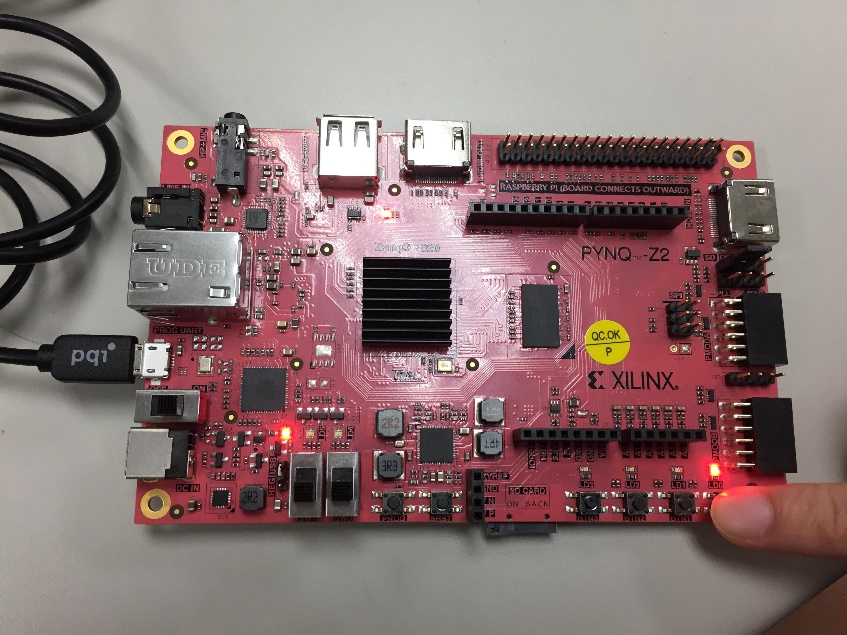
**Programming**

本實驗範例為使用開關來控制 LED，請改用板子上的四個按鈕來控制 LED。

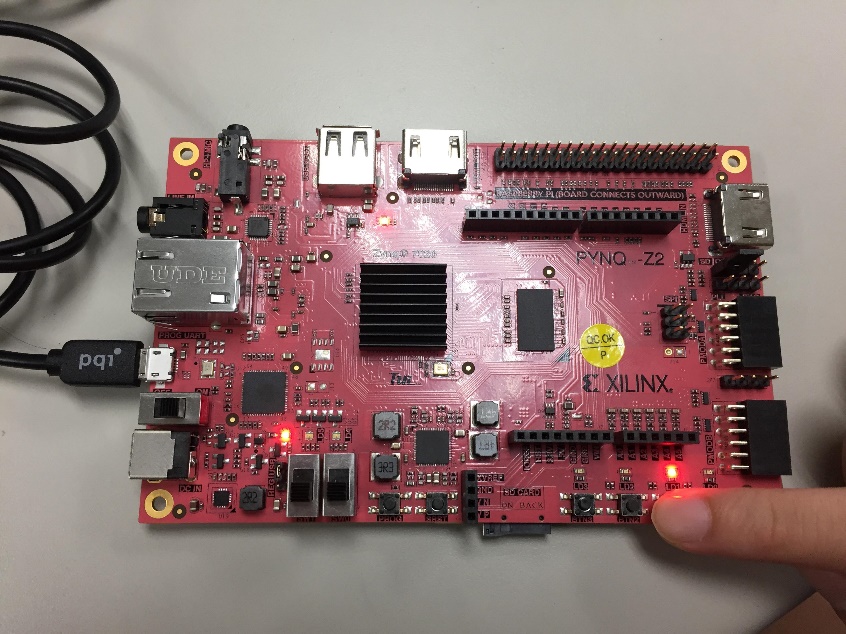
1. 未按任何按鈕時，所有的LED燈皆不亮



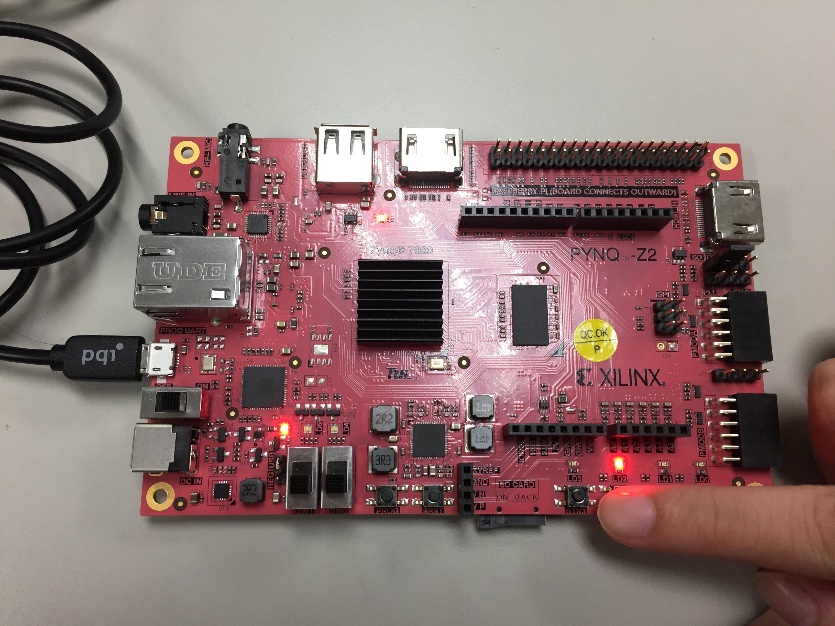
1. 按下button[0] ，LED[0]亮起。



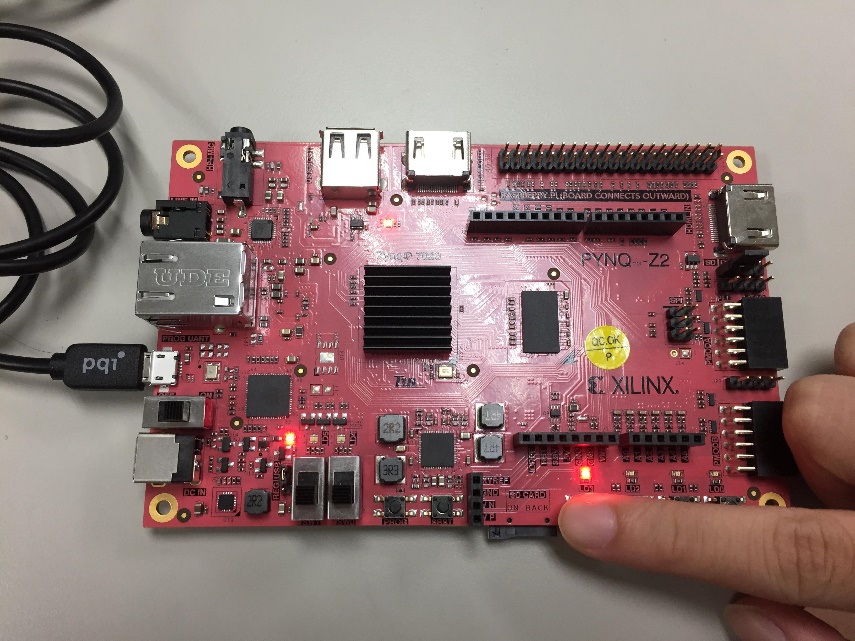
1. 按下button[1] ，LED[1]亮起。



1. 按下button[2] ，LED[2]亮起。



1. 按下button[3] ，LED[3]亮起。



1. 其他情況出現時(如下圖，同時按下button[0] 和button[1])，LED燈皆不亮。

