**國立成功大學**

**工程科學系**

**106學年度第一學期**

**數位積體電路設計導論**

**期末專題─書面報告**

系級：工程科學系三年級

姓名：E94041107　鄧有敦

工作分配:鄧有敦80% 黃威豪20%

1. 設計原理(Design principle)

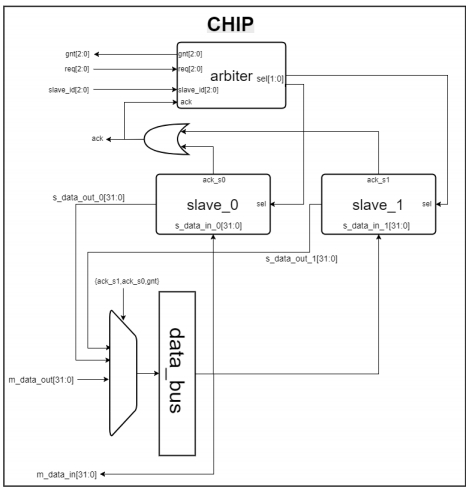
(1)slave0 以及 slave1：兩個slave分別是做mac運算以及FFT運算，**其中都用時序電路的設計方式，在時脈正緣時接收資料，**存入暫存器中做運算，運算完後便回傳結果，**輸出結果也為時序電路──隨時脈正緣輸出**，此時輸出ack一併拉起，表示回傳給master資料為有效。

(2)arbiter\_RR:用Round-Robin的演算法去分配授權master，而這方法便是「輪轉制」，會隨著一個circle去做循環，三個master都會輪流到授權，**而用組合電路的描述方式來決定state\_ns，其中用到了case（state\_cs）的語法，也就是說現在的狀態會由req的值決定下個狀態**;然而**arbiter的輸出gnt以及sel也是由組合電路的描述方式決定，這次則用到了case(state\_ns)的語法**，也就是說當我的狀態機決定好下個狀態時，便要一併輸出該狀態應有的結果。

(3) arbiter\_pri:**用priority的高低來決定授權master，其中給定優先權大小Ｍ０＞Ｍ１＞Ｍ２**，故這也是授權的優先順序，其狀態機和arbiter輸出都用組合電路描述，描述方式近似於上述的arbiter\_RR。

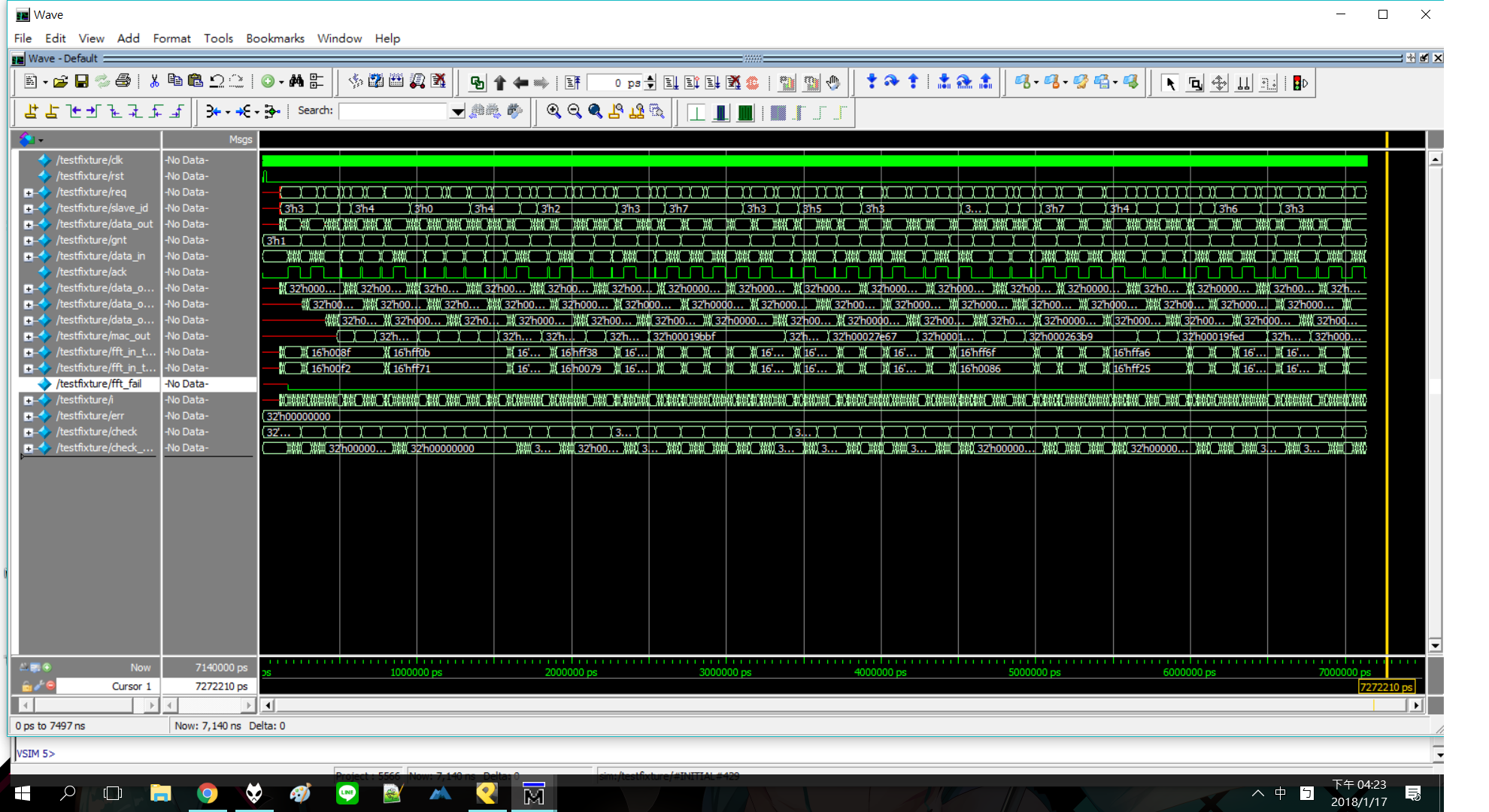
(4) chip:將每個module依架構圖接好wire，其中包含data bus的運算。

2. 架構設計(Architecture)

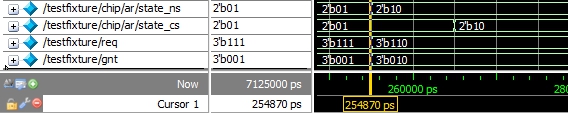


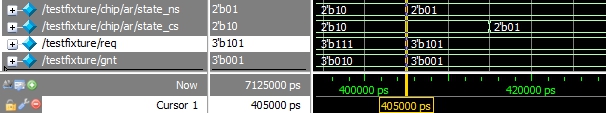
3. 波形分析(Waveform)

全體圖示：



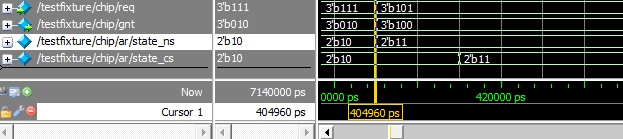
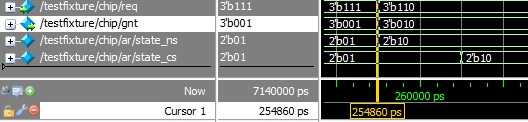
when 仲裁器為arbiter\_pri:



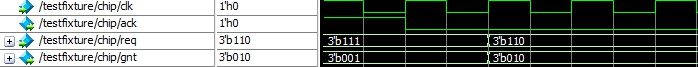


此兩張波形圖，為連續變化，可以看出當第三個req為101時，因為Ｍ０的優先權大於Ｍ１和Ｍ２，故狀態機的狀態會回到Ｍ０，gnt也為001

when 仲裁器為arbiter\_ＲＲ:



此兩張波形圖，為連續變化，可以看出當第三個req為101時，因為根據Round-Robin的演算法，狀態機會循環切換，故狀態機的狀態會變為Ｍ２，gnt則變成100



其中req與gnt同時做改變，而ack則提早這兩個一個clk cycle，三者皆隨時脈正緣做動作。

通過測試截圖：

