

组合逻辑作业

(所有答案字体均已加粗)

一、填空题:

1. TTL 与非门的两个状态通常称为关态和开态,当输入全为高电平时对应的是 开 态,此时输出为 低电平;当输入有一为低电平时,对应的是 关 态,此时输出为 高电平。
2. 对于 ECL、TTL、CMOS 集成电路,按静态功耗低和高的顺序依次为 CMOS TTL ECL,按工作速度快慢的顺序依次为 ECL、TTL、CMOS,按抗干扰能力强弱的顺序依次为 CMOS , TTL , ECL。
3. 逻辑变量和函数只有 0, 1 两种取值,而且它们只是表示两种不同的逻辑状态。
4. 逻辑函数 $F = \overline{A}C + \overline{B}D$, 其对偶式 $F^* = \underline{(\overline{A} + C)(\overline{B} + D)}$, 其反函数 $\overline{F} = \underline{(A + \overline{C})(B + \overline{D})}$ 。
5. 函数 $F = AB + AC + \overline{C}D + ACDE$ 的最简与或式是 $AC + AB + \overline{C}D$ 。
6. 从结构看,组合逻辑电路由门电路构成,不含 记忆电路,也不含 反馈电路,信号从输入开始单向传输到输出。对于组合逻辑电路,任何时刻电路的输出仅由当时的决定。
7. 将加在电路若干输入端中的某一个输入端的信号变换成相应的一组二进制代码输出的过程叫做 编码。
8. 将二进制代码所表示的信息翻译成对应输出的高低电平信号的过程称为 译码; n 位二进制译码器有 n 个输入,有 2^n 个输出,工作时译码器只允许有一个输出有效。
9. 输出低电平有效的二-十进制译码器的输入 8421BCD 码 $A_3 \sim A_0$ 为 1101 时,其输出 $\overline{Y}_0 \sim \overline{Y}_9 = \underline{1110111111}$ 。

10. 消除组合逻辑电路中险象的常用方法有修改逻辑设计、选通法和滤波法。

11. 逻辑函数常用函数表达式、真值表、卡诺图和逻辑图四种方法表示，它们之间是可以相互转换的。

二、选择题：

1. 设两输入或非门的输入为 x 和 y ，输出为 z ，当 z 为低电平时，有（ ④ ）。

- ① x 和 y 同为高电平 ② x 为高电平， y 为低电平
③ x 为低电平， y 为高电平 ④ 以上都对

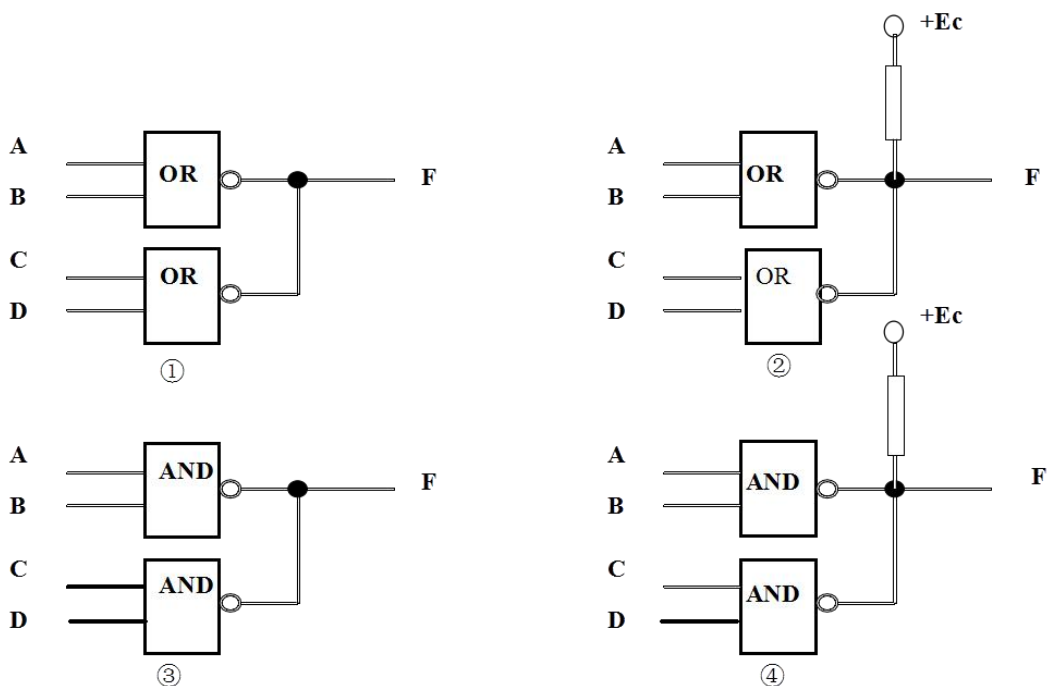
2. 逻辑函数 $F = \overline{A + B\overline{C}}(A + B)$ ，当 ABC 的取值为（ ② ）时， $F = 1$ 。

- ① 000 ② 011 ③ 101 ④ 111

3. 化简 $F = A(BC + \overline{B}\overline{C}) + AB\overline{C} + A\overline{B}C$ 的结果为（ ③ ）

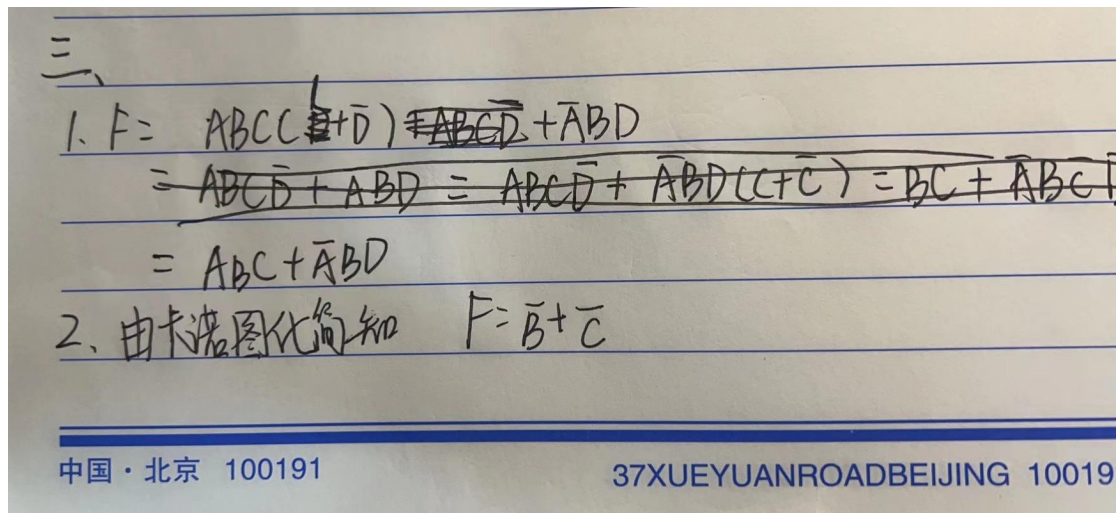
- ①. AC ②. $A\overline{B}$ ③. A ④. $B\overline{C}$

4. 为实现 $F = \overline{AB} \cdot \overline{CD}$ ，下列电路接法正确的是（ ④ ）。



5. 组合逻辑电路的竞争-冒险是由于（ ③ ）引起的。

2. 推导出函数 $F = \overline{AB + BC} + A\overline{C} + A\overline{B}$ 的最简与或式。



3. 列出下述问题的真值表，利用最小项推导法写出其逻辑函数表达式，利用公式简化法进行简化并给出逻辑电路图。最后，写出完整的 Verilog HDL 程序。

设计一个投票表决器，三个投票人分别为 A、B、C，同意为“1”，不同意为“0”。按规定只要二人以上同意才能通过，输出为“1”表示通过，为“0”表示不通过。

Combinational Analysis

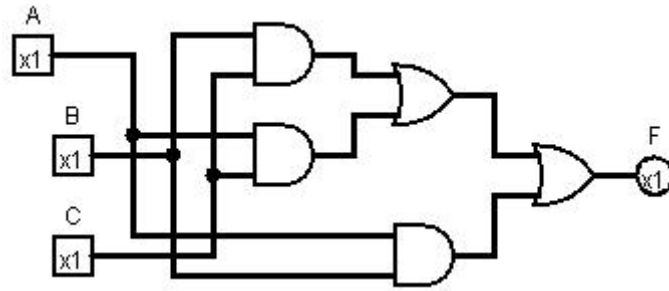
文件 编辑 项目 模拟 窗口 帮助

输入 输出 真值表 表达式 最小项

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

构建电路

真值表



表决器

$$F = BC + AC + AB$$

```

module decider (
    input A,
    input B,
    input C,
    output F
);

assign F = (BC + AC + AB);

endmodule

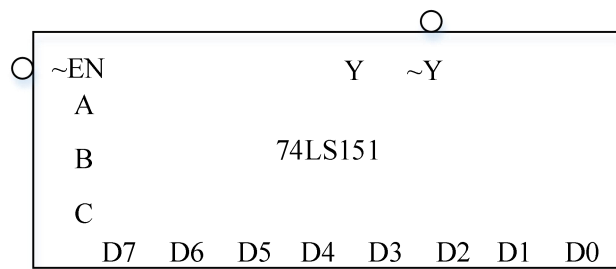
```

4. 用逻辑代数证明下列等式:

$$BC + D + \bar{D}(\bar{B} + \bar{C})(AD + B) = B + D$$

4. $BC + D + (\bar{D}\bar{B} + \bar{D}\bar{C})(AD + B)$
 $= BC + D + B\bar{C}\bar{D}$
 $= D + B(C + \bar{C}\bar{D}) = D + B(CD + \bar{C}\bar{D} + C\bar{D}) = D + B(C + \bar{C})$
 $= D + B = B + D$

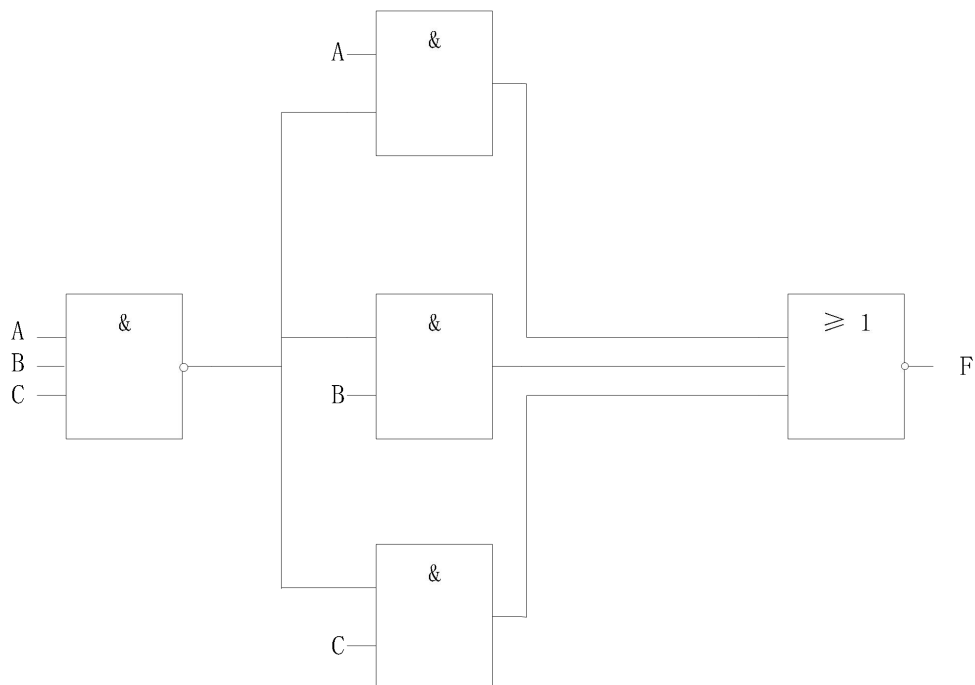
5. 下图所示为 8 选 1 数据选择器 CT74151, 若要实现 $Y = \bar{A}\bar{B}\bar{C} + \bar{A}BC + AC$, 问 $D_0 \sim D_7$ 中哪些管脚需要输入高电平, 哪些管脚需要输入低电平?



低: D0,D1,D3,D6

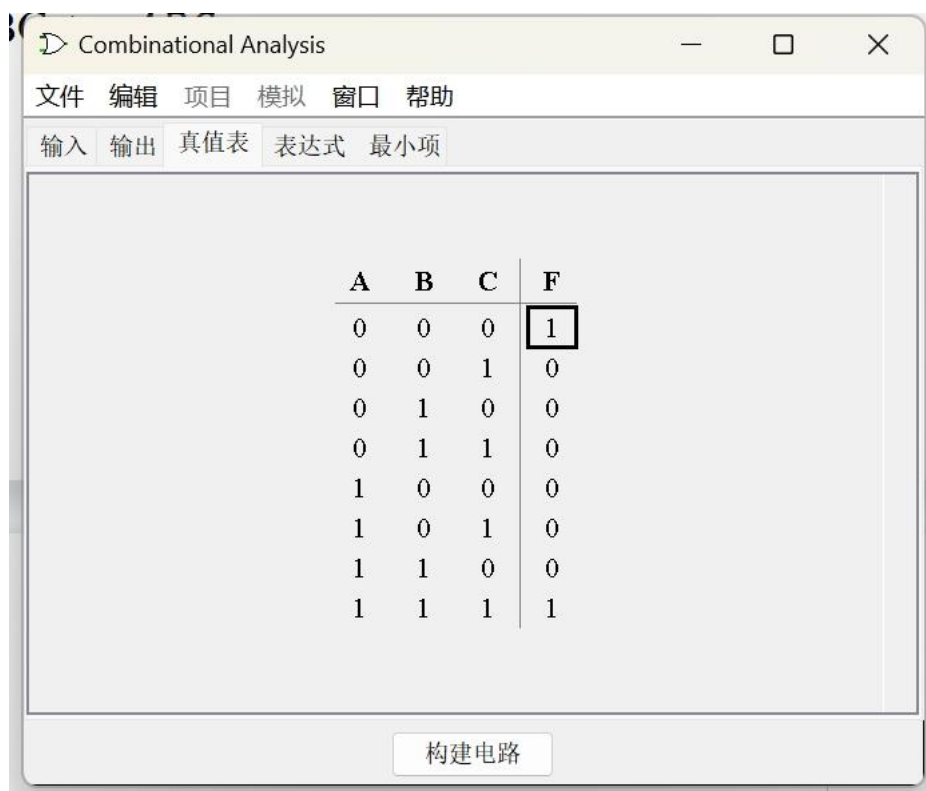
高: D2,D4,D5,D7

6. 分析下图的组合逻辑电路，说明电路功能，并写出最简与或式，画出对应的真值表。



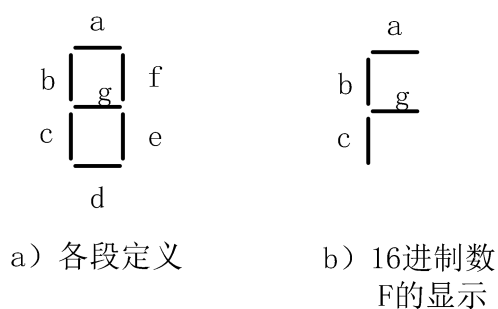
$$F = ABC + \overline{A}\overline{B}\overline{C}$$

ABC 必须要全 0 或全 1, $F = 1$, 所以该电路为“一致性电路”



真值表

7. 7 段数码管是由 7 个独立的发光管构成的，每个发光管有一个驱动控制信号。当驱动控制信号为高电平(逻辑 1)时，则信号对应的发光管发光。现需设计 7 段数码管的控制电路，使之能够根据 4 位输入 $x[3:0]$ 显示 0~9，A~F 共 16 个图案。7 段数码管控制电路输出信号为各数码管的驱动控制信号，即 a, b, c, d, e, f, g。数码管各段的定义和 16 进制数“F”（对应 abcdefg 的二进制输出为 1110001）的显示如下图所示。



- (1) 请给出 7 段数码管控制电路的输入输出信号真值表。
 - (2) 根据真值表写出各输出信号的逻辑表达式，并化简。
 - (3) 采用结构描述法，用 Verilog 语言实现上述的数码管控制器。
- (1)

Combinational Analysis

文件 编辑 项目 模拟 窗口 帮助

输入 输出 真值表 表达式 最小项

A3	A2	A1	A0	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1
1	0	1	0	x	x	x	x	x	x	x
1	0	1	1	x	x	x	x	x	x	x
1	1	0	0	x	x	x	x	x	x	x
1	1	0	1	x	x	x	x	x	x	x
1	1	1	0	x	x	x	x	x	x	x
1	1	1	1	x	x	x	x	x	x	x

构建电路

真值表

(2)

$$a = \sim A2 \sim A0 + A1 + A2 A0 + A3$$

$$b = \sim A2 + \sim A1 \sim A0 + A1 A0$$

$$c = \sim A1 + A0 + A2$$

$$d = \sim A2 \sim A0 + \sim A2 A1 + A1 \sim A0 + A2 \sim A1 A0 + A3$$

$$e = \sim A2 \sim A0 + A1 \sim A0$$

$$f = \sim A1 \sim A0 + A2 \sim A1 + A2 \sim A0 + A3$$

$$g = \sim A2 A1 + A2 \sim A1 + A2 \sim A0 + A3$$

(3)

```
module seg_dec(num,a_g);
input[3:0]      num;
output[6:0]     a_g;//a_g[6:0]->(a,b,c,d,e,f,g)
reg[6:0]       a_g;
```



```
always@(num)begin
    case(num)
        4'd0: a_g<=7'b111_1110;
        4'd1: a_g<=7'b011_0000;
        4'd2: a_g<=7'b110_1101;
        4'd3: a_g<=7'b111_1100;
        4'd4: a_g<=7'b011_0011;
        4'd5: a_g<=7'b101_1011;
        4'd6: a_g<=7'b101_1111;
        4'd7: a_g<=7'b111_0000;
        4'd8: a_g<=7'b111_1111;
        4'd9: a_g<=7'b111_1011;
        default: a_g<=7'b000_0001;
    endcase
end
endmodule
```