

《计算机组成》第四章作业

1. (1) 说明存取时间与存取周期的区别。
(2) 什么是存储器的带宽？若某存储器的数据总线宽度为 64 位，存取周期为 200ns，则该存储器的带宽是多少？
2. 某机字长 32 位，其存储容量是 64KB，按字编址其寻址范围是多少？若主存以字节编制，试画出主存字地址和字节地址的分配情况。
3. 一个容量为 $64K \times 32$ 位的存储器，分别需要几条地址线和数据线？如果该存储器采用二维地址结构，且行地址和列地址的位数相同，则译码器输出的行选择线和列选择线分别有多少条？若选用下列不同规格的存储芯片来实现该存储器，需要各存储芯片的数目以及它们的排列方式分别是怎样的？
 $2K \times 8$ 位, $4K \times 4$ 位, $16K \times 8$ 位, $4K \times 32$ 位, $8K \times 8$ 位
4. 现有一容量为 $256K \times 8$ 的 DRAM 存储芯片，试回答：
 - (1) 该芯片包含多少个字单元？
 - (2) 该芯片包含多少个二进制存储单元电路(存储位元)？
 - (3) 该芯片的刷新地址计数器应该是多少位？
 - (4) 若该 DRAM 芯片的存取周期为 $0.25\mu s$ ，试问采用集中刷新、分散刷新及异步刷新三种方式的刷新间隔各为多少？
5. 画出 $1K \times 4$ 位的存储器芯片组成一个 $64K \times 8$ 位的存储器逻辑框图。要求 $64K$ 分成 4 个页面（把存储器分成若干个容量相等的区域，每一个区域可看做一个页面），每个页面分 16 组，指出共需多少片存储器芯片。
6. 设有一个 $64K \times 16$ 位的 RAM 芯片，问该芯片共有多少个基本单元电路(简称存储基元)？欲设计一种具有上述同样多存储基元的芯片，要求对芯片字长的选择应满足地址线和数据线的总和为最小，试确定这种芯片的地址线和数据线，并说明有几种解答。

7. 假设某 8 位机的地址码为 16 位，主存按字节编址，其中，地址空间前 16KB 为系统 BIOS 区，其余为用户程序区。现有若干容量为 $8K \times 8$ 的 ROM 芯片和 RAM 芯片用于构建该机主存。
- 1、请问该机所允许的最大主存空间是多少？
 - 2、请问构建该机所允许的最大空间的主存，需用上述规格的 ROM 芯片和 RAM 芯片各多少？
 - 3、请问用于产生芯片片选信号的主存地址是多少位？最适合采用什么类型的译码器产生片选信号？
8. 设 CPU 有 16 根地址线，8 根数据线，并用 MREQ#（低电平有效）作访存控制信号，R/W#作读写命令信号（高电平为读，低电平为写），现有存储芯片 ROM ($2K \times 8$, $4K \times 4$, $8K \times 8$) 和 RAM($1K \times 4$, $2K \times 8$, $4K \times 8$) 及 74138 译码器和其他门电路。试选择合适芯片，并画出 CPU 和芯片连接图。要求：
- (1) 最小 4K 地址为系统程序区，4096~16383 地址范围为用户程序区。
 - (2) 指出选用的存储芯片类型及数量。
 - (3) 画出片选逻辑。
9. CPU 假设同第 8 题，现有 8 片 $8K \times 8$ 位的 RAM 芯片与 CPU 相连，试回答：
- (1) 用 74138 译码器画出 CPU 与存储芯片的连接图。
 - (2) 写出每片 RAM 的地址范围。
 - (3) 如运行时发现不论往哪片 RAM 写入数据后，以 A000H 为起始地址的存储芯片都有与其相同的数据，分析故障原因。
 - (4) 根据前面的连线图，若出现地址 A13 与 CPU 断线，并搭接到高电平上，将出现什么后果？