

# 《计算机组成与设计》第3章作业

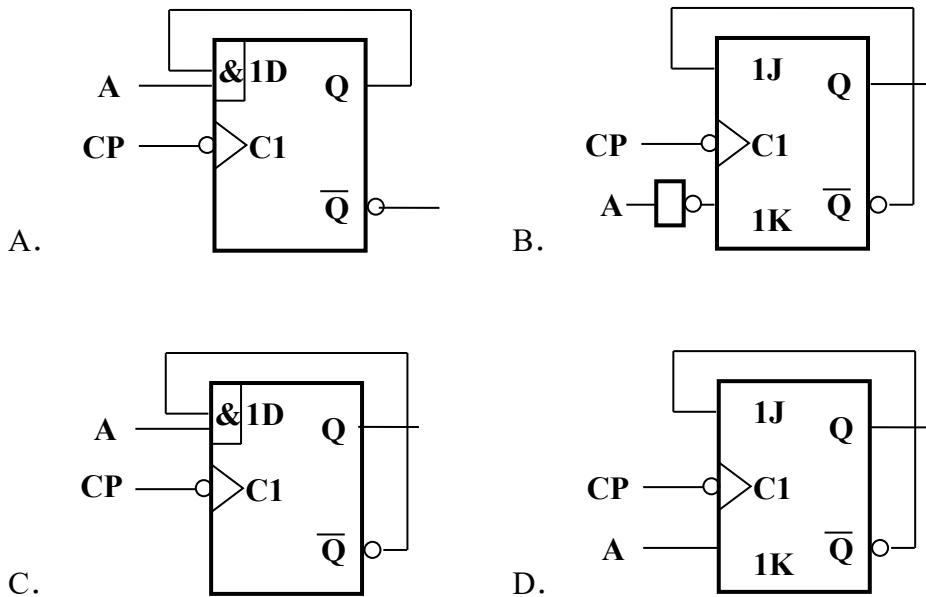
## 一、填空题

1. 时序逻辑电路由\_\_\_\_\_和\_\_\_\_\_两部分组成。
2. 由与非门构成的基本 RS 触发器约束条件是\_\_\_\_\_。
3. 钟控 JK 触发器的特性方程为\_\_\_\_\_。
4. D 触发器的特征方程是\_\_\_\_\_。
5. 时序逻辑电路按触发器时钟端的连接方式不同可以分为\_\_\_\_\_和\_\_\_\_\_两类。
6. N 级环形计数器的状态转换图中无效状态有\_\_\_\_\_个。
7. 对于 JK 触发器，若  $J = K$ ，则可以完成\_\_\_\_\_触发器的逻辑功能。
8. 由 8 级触发器构成的十进制计数器模值为\_\_\_\_\_。
9. 通过级联方法，把三片 4 位二进制计数器 CT74161 连接成为 12 位二进制计数器后，其最大模值是\_\_\_\_\_。
10. 根据在 CP 控制下，逻辑功能的不同，常把时钟触发器分为\_\_\_\_\_、\_\_\_\_\_和\_\_\_\_\_等 3 种类型。

## 二、单选题

1. 若 JK 触发器的原始状态为 0，欲在 CP 作用后保持 0 状态，则激励函数 JK 的值应是（ ）。  
A. J=1, K=1      B. J=0, K=0  
C. J=0, K=x      D. J=x, K=x
2. 当 JK 触发器在时钟 CP 的作用下，欲使  $Q^{n+1} = Q^n$ ，则必须使（ ）。  
A. J = 0, K = 1      B. J = 1, K = 0      C. J=K=0      D. J=K=1

3. 如下各触发器电路中，能实现  $Q^{n+1} = \bar{Q}^n + A\bar{Q}^n$  功能的电路是（ ）。



4. 用 3 级触发器可以记忆（ ）种不同的状态。

- A. 8      B. 16      C. 128      D. 256

5. 同步计数器是指（ ）的计数器。

- A. 由同类型的触发器构成  
 B. 各触发器时钟端连在一起，统一由系统时钟控制  
 C. 可用前级的输出做后级触发器的时钟  
 D. 可用后级的输出做前级触发器的时钟

6. 由 5 级触发器构成的二进制计数器，其模值为（ ）。

- A. 32      B. 20      C. 1000      D. 1024

7. 同步 4 位二进制减法计数器的借位方程是  $B = \overline{Q_4}\overline{Q_3}\overline{Q_2}\overline{Q_1}$ ，则可知 B 的周期和正脉冲宽度为（ ）。

- A. 16 个 CP 周期和 2 个 CP 周期  
 B. 16 个 CP 周期和 1 个 CP 周期  
 C. 8 个 CP 周期和 8 个 CP 周期  
 D. 8 个 CP 周期和 4 个 CP 周期

8. 已知  $Q_3 Q_2 Q_1 Q_0$  是同步十进制计数器的触发器输出，若以  $Q_3$  作进位 C，则 C 的周期和正脉冲宽度是（ ）。

- A. 10 个 CP 脉冲，正脉冲宽度为 1 个 CP 周期

- B. 10 个 CP 脉冲，正脉冲宽度为 2 个 CP 周期  
C. 8 个 CP 脉冲，正脉冲宽度为 1 个 CP 周期  
D. 8 个 CP 脉冲，正脉冲宽度为 2 个 CP 周期
9. 一个 4 位移位寄存器原来的状态为 0000，如果串行输入始终为 1，则经过 4 个移位脉冲后寄存器的内容为（ ）。  
A. 0001      B. 0111      C. 1110      D. 1111
10. 可以用来实现并/串转换和串/并转换的器件是（ ）。  
A. 计数器      B. 移位寄存器      C. 存储器      D. 全加器
11. 设计模值为 36 的计数器至少需要（ ）级触发器。  
A. 5      B. 6      C. 3      D. 4
12. 异步时序电路和同步时序电路比较，其差异在于（ ）  
A. 异步时序电路没有统一的时钟脉冲控制  
B. 异步时序电路没有触发器  
C. 异步时序电路没有稳定的状态  
D. 异步时序电路输出只与内部状态有关

### 三、分析与设计题

1. 有一简单时序逻辑电路如图 3.1 所示，试写出当  $C=0$  和  $C=1$  时，电路的状态方程  $Q^{n+1}$ ，并说出各自实现的功能。

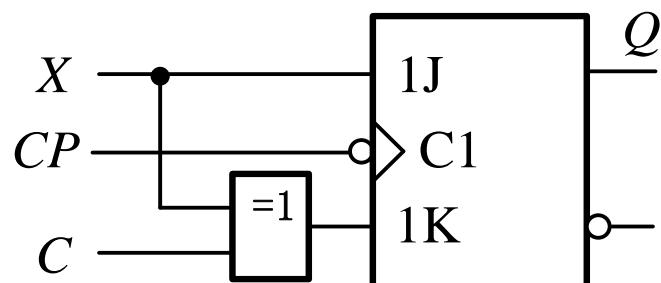
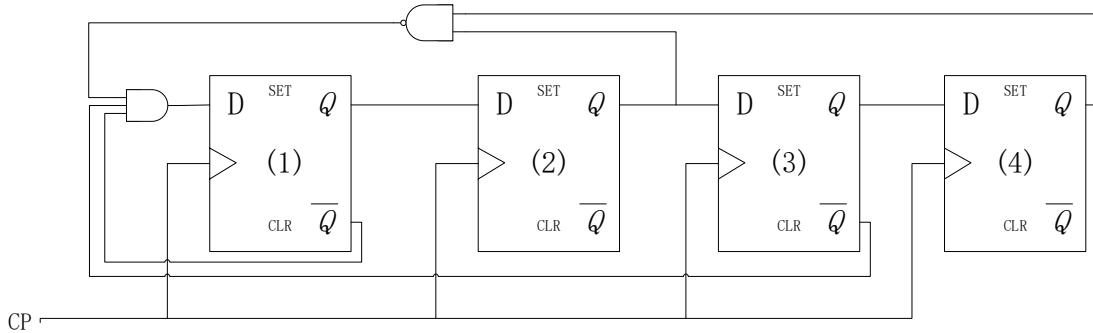


图 3.1

2. 分析下图所示电路，要求：

- 1) 写出分析过程，包括各级触发器的驱动方程和状态方程；
- 2) 画出状态转换表、状态转换图和时序图；
- 3) 说明电路特点。



3. 集成 4 位二进制计数器 CT74161 的逻辑符号如图 3.3 所示，其功能表如表 3.1 所示，触发器输出低位到高位的次序是  $Q_0$  至  $Q_3$ ，输出  $C = ETQ_3^nQ_2^nQ_1^nQ_0^n$ 。试用一片 CT74161 采用输出 C 预置法实现十二进制计数器，画出电路连接图。

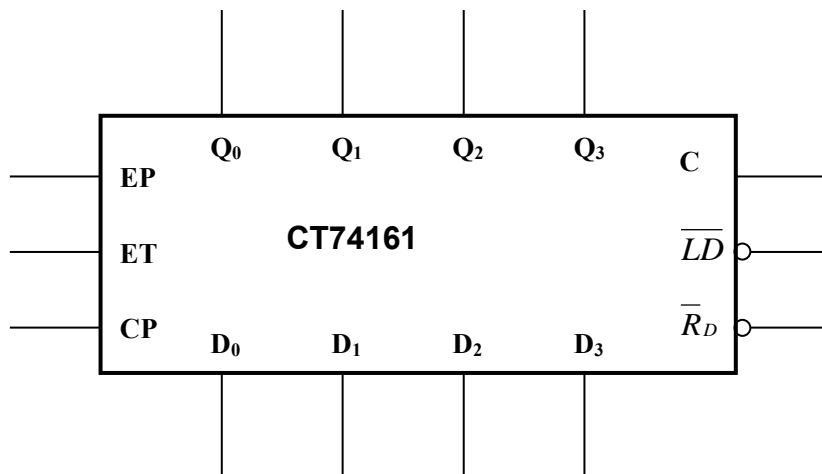


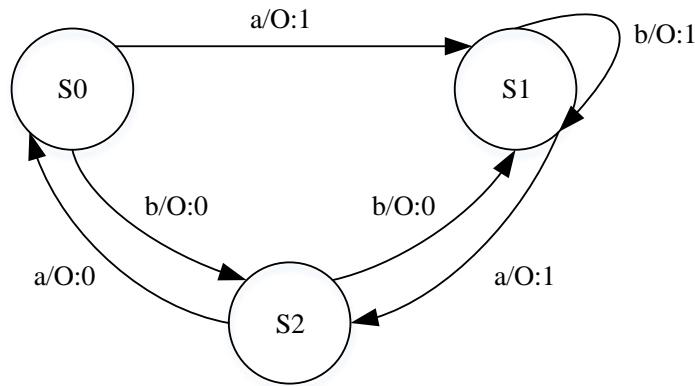
图 3.3 4 位二进制计数器 CT74161 的逻辑符号

表 3.1 CT74161 的功能表

$\bar{R}_D$	$\bar{LD}$	EP	ET	CP	功能
0	$\times$	$\times$	$\times$	$\times$	复位
1	0	$\times$	$\times$	$\uparrow$	预置
1	1	0	0	$\uparrow$	保持
1	1	0	1	$\uparrow$	保持
1	1	1	0	$\uparrow$	保持

1	1	1	1	↑	计数
---	---	---	---	---	----

4. 某有限状态机结构如下图所示， $O$  代表输出， $S_t$  代表状态，输入是由字符  $a$  和  $b$  组成的序列串。请回答下列问题：



- (1) 该状态机是 Moore 型状态机还是 Mealy 型状态机？
- (2) 若初始状态为  $S_0$ ，当输入的字符序列为  $aababb$ （先输入  $a$ ，然后输入  $a$ 、 $b$ ，以此类推），则对应的输出序列和最终的状态是？

5. 设计一个自动售货机控制器，每次可以任意投入一枚 1 分或 2 分的硬币。货物价格为 4 分，当投入足够的钱后，售货机吐出货物并找零钱。请完成下列任务：

- 1) 画出实现上述功能的状态机；
- 2) 列出二进制编码的状态转换表和输出逻辑真值表，给出次态每一位编码的逻辑函数表达式和输出逻辑函数表达式，并化简。