

浙江大学



多功能数字钟设计报告

姓名：

学院：

电气工程学院

专业：

电子信息工程

学号：

指导教师：

阮秉涛

2022 年 6 月 1 日

多功能数字钟实验

摘 要：数字钟是一种综合数电知识实现时、分、秒计时的钟表。本实验利用 FPGA、VHDL 语言和顶层原理图对数字钟进行综合设计,再通过自己焊接显示电路、按钮、秒脉冲发生器、蜂鸣器电路等外围电路实现实物调试。这次综合实验实现了数字钟的计时、校时、闹铃、整点报时等功能的多功能数字钟电路,并致力于提升系统运行的稳定性,追求更好的用户体验。

关 键 词：数字钟, FPGA, VHDL, 顶层原理图

Abstract: A digital clock is a clock that integrates digital knowledge to realize the timing of hours, minutes and seconds. This experiment uses FPGA, VHDL language and top-level schematic diagram to comprehensively design the digital clock, and then realize physical debugging by welding peripheral circuits such as display circuit, button, second pulse generator, buzzer circuit and so on. This comprehensive experiment realizes the multi-functional digital clock circuit with functions of digital clock timing, school time, alarm, hourly timekeeping, etc., and is committed to improving the stability of the system operation and pursuing a better user experience.

Key words: digital clock, FPGA, VHDL, top-level schematic diagram

目录

摘要	1
一、设计任务与要求	4
1.1 设计任务	4
1.2 设计要求	4
1.2.1 基本要求	4
1.2.2 扩展要求	4
二、方案论证	5
2.1 系统组成方案	5
2.1.1 系统组成框图	5
2.1.2 工作原理	5
2.2 关键方案的选择	6
2.2.1 计数电路	6
2.2.2 校时电路	6
2.2.3 闹钟电路	7
2.2.4 显示电路	7
三、单元电路设计	7
3.1 秒脉冲发生电路和分频器	7
3.2 计数电路	9
3.3 校时电路	10
3.4 整点报时电路	12
3.5 LED 数码管显示电路	12
3.6 按钮的防抖功能	13
四、软件设计	14
4.1 显示译码扫描电路	14
4.2 闹钟设置和响铃功能	15
4.3 报时功能和闹钟响铃的使能	16
4.4 快速脉冲法的使能信号	17
4.5 模式切换电路	18
五、系统测试	18
5.1 测试条件	18

5.2 测试方法与步骤	19
5.3 测试数据	19
5.4 结果分析	19
六、结论.....	19
6.1 结论性评价	19
6.2 可改进方向	19
七、参考文献	20
八、附录.....	20
附录 1 硬件电路图图纸	20
附录 2 系统使用说明	21

1. 设计任务与要求

1.1 设计任务

设计一个具有计时、校时、整点报时和闹铃等功能的多功能数字钟电路。

1.2 设计要求

1.2.1 基本要求

- 1、设计一个具有时、分、秒计时的数字钟电路，计时采用 24 小时制；
- 2、可编程器件选用 STEP-MAX10 实验板，只使用实验板的核心器件：MAX 10 系列的 10M02SCM153C8G/10M08SCM153C8G（MBGA 封装、153 个引脚、8ns 速度）；
- 3、数字钟用 6 位共阳时钟数码管 KYX-3662BS，显示时、分、秒的计时值，显示效果清晰、无闪烁；
- 4、计时精度：每天误差不超过 ± 1 秒；
- 5、有快速脉冲校时功能，可以对时和分的计时值进行设定。
- 6、有整点报时功能，在整点到达前，电路发出 3 声迅响指示，且最后一声结束时刻即为整点时刻；
- 7、有闹铃功能，当设定时间到达时，电路发出持续 1 分钟时间的间歇式迅响指示。
- 8、整点报时和闹铃功能可分别由用户开启或关闭。

1.2.1 扩展要求

- 1、缩短校时时间，时的校时时间不超过 15 秒，分的校时时间不超过 30 秒。
- 2、尽量减少系统使用的按钮（或开关）个数，最多使用不超过 4 个按钮（或开关）；
- 3、系统操作方便、稳定可靠，例如：功能设置编排合理，按键有消抖动处理等；
- 4、其他：可以自创任何与数字钟相关的实用功能。

2. 方案论证

2.1 系统组成方案

2.1.1 系统组成框图

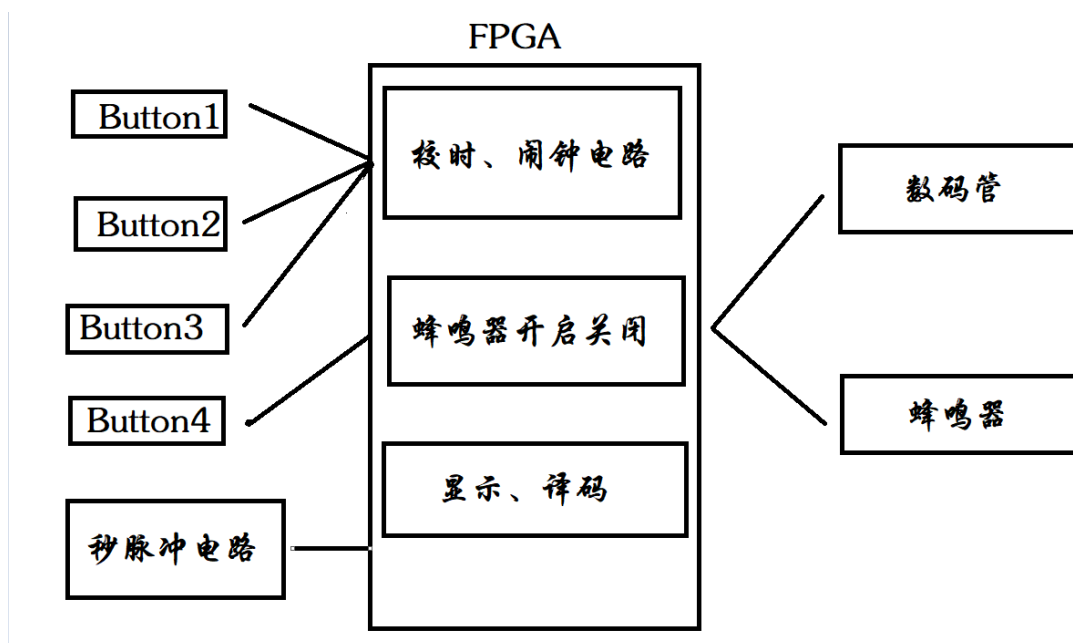


图 2.1.1 系统组成框图

2.1.2 工作原理

数字钟的基本组成部分有四个按钮、数码管、蜂鸣器、秒脉冲发生电路、计时电路、校时电路、闹铃功能、整点报时、译码显示电路等：秒脉冲发生电路将CD4060产生的2 Hz方波输入到D触发器，实现硬件分频，转换为1Hz供计时使用；计时电路负责读取1Hz的秒脉冲方波信号并不断计数实现计时；校时电路利用快速脉冲法，选择2Hz的秒脉冲信号的频率进行计数，再通过控制显示时和分74163的使能位实现校时；闹铃电路利用VHDL语言，通过判断当前时间与设定时间是否相等进行闹铃功能；显示译码电路通过自己编写VHDL语言实现，再通过动态扫描法，动态地将时分秒显示在数码管上；整点报时电路通过顶层原理图的方式，通过比较时和秒的值进行整点报时。另外，有4个按钮实现用户交互，Button1和

Button2分别控制分的调整和时的调整，在校时模式中是快速脉冲法，在设置闹钟模式中是设置闹铃的时间，Button3实现时间显示界面、设定闹钟显示界面和息屏界面的切换，Button4是整点报时、闹铃使能的选择切换键。最后，通过数码管和蜂鸣器作为输出，实现具体的功能。

时间显示界面：数字钟正常计数，Button1控制分校时，Button2控制时校时。

闹钟设置界面：按下Button3，数字钟将会从时间显示界面切换到闹钟设置界面，Button1实现分的选择，Button2控制时的选择。

息屏界面：在闹钟设置界面中，再次按下Button3，数码管不亮，减小耗电量。

整点报时与闹钟的使能显示：通过分号和小数点的亮灭实现交互，初始状态为亮，默认为两种功能全部关闭，按一次Button4会使能报时，熄灭分号和小数点，再按一次会使能闹钟、关闭报时，小数点仍然熄灭，再按一次会使能报时、闹钟，分号点亮；注意晚上20:00~06:00整点报时功能即使使能报时功能，也会自动关闭。

2.2 关键方案的选择

2.2.1 计数电路

数字钟由时、分、秒三个计时模块构成。秒分为60进制，时是24进制。通过分频，将CD4060的2Hz转化为1Hz信号输入到秒计数的低位，使其每秒计数一次，当秒的低位为9时使能秒的高位，进行秒计时的进位，当秒到59时使能分的低位，进行进位。同理，时、分的高位计时也是如此。需要注意，完成进位的同时，需要将前一个计数模块清零。

本实验选择的清零方式可以选择反馈清零法、直接置数法。直接置数法中，可以将Q0—Q3的组合信号接到74LS163的置数端，当Q0—Q3满足进位的要求且时钟信号到来后可以使能置数功能，将“0000”赋给Q0—Q3，但由于这种方法实现的结果与反馈清零法一致，两者在数字钟的实现中没有很大差别，因此最终选择了反馈清零法。

另外，我们方案选择还有同步连接、异步连接的区别。

异步连接中，下一级电路的CLK直接接上一级的进位信号，当检测到与门给出的进位信号时下一级的计数器直接加1；同步连接中，所有计数器的CLK都是同一个脉冲信号，高位的使能信号接低位的进位信号，当检测到低位给出了进位信号时高位的计数器在等到时钟信号来后加1。异步连接可能存在较多的竞争冒险情况，这容易使计数电路出现不符合预期的情况，引入较大的误差，可能就无法满足计时精度的要求。因此为了追求稳定性和时间上的精度，本实验最终选择同步连接的方式，

2.2.2 校时电路

校时电路的可以选择直接置数法和快速脉冲法，本实验采用了快速脉冲法。

快速脉冲法是将高位的时分计数器的使能端接到CLK脉冲上，通过较快的脉冲直接进行计数；置入数据法则是将数据直接通过计数器的置数功能直接赋值。

快速脉冲法优点在于连接简单、不需要较多的外设按钮且控制起来也很简单，但是想要调到一个想要的时间需要等到一段时间。置入数据法的优势是快精度高，不过需要在现有的

VHDL文件中增加一段用户调节设置时间的功能，较为繁琐。本实验秉持着简单且有效的原则，选用了快速脉冲法。

2.2.3 闹钟电路

闹钟电路也有快速脉冲法和置入数据法的选择，本实验选择了置入数据法，通过用户按动按钮一次修改一次闹铃时间的方法实现功能。因为计时电路使用了快速脉冲法，因此在闹钟电路中选择另外一种方法。

2.2.4 显示电路

数码管显示电路有静态显示和动态显示两种，静态显示方式需要通过8位的I/O口输出信号来控制数码管，每一位数码管显示电路互相独立。动态显示是通过高频的切换数码管的使能与修改显示的数字实现动态的扫描，因为人眼具有一定的滞后性，当频率达到一定程度后，肉眼会产生六位数字同时显示的效果，这可以简化I/O口的使用，降低成本，但是显示亮度会相对较低，且需要写动态扫描的代码，相对繁琐。

3. 单元电路设计

3.1 秒脉冲发生电路和分频器

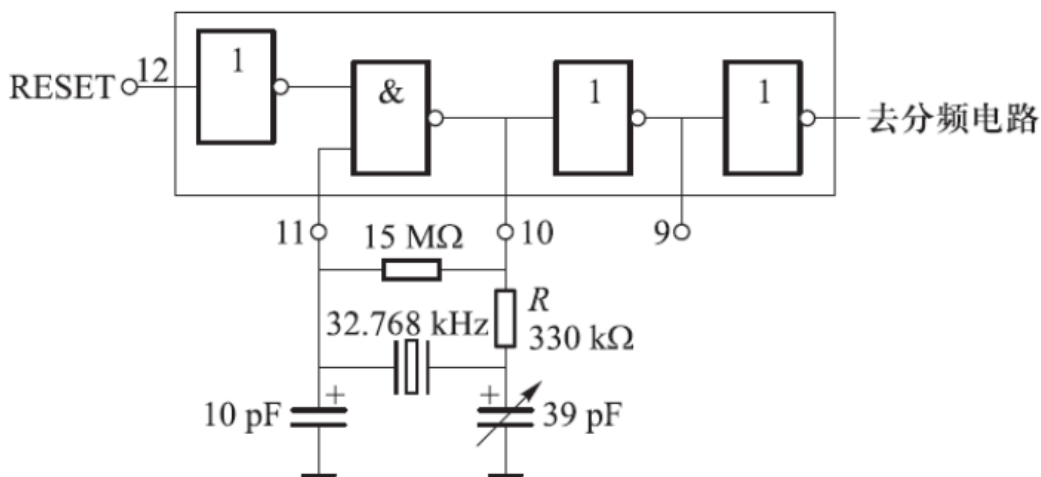


图 3.1.1 CD4060 秒脉冲信号发生电路硬件原理图

实验中选用的秒脉冲发生电路是 CD4060，CD4060 的电路图如上，它是一个 14 级二进制计数器，利用其内部所含的门电路和外接元件可以构成频率为 32.768KHz 的振荡器电路，震

荡信号通过内部 14 级分频，可以产生频率为 2Hz 的脉冲信号输出

CD4060内部结构

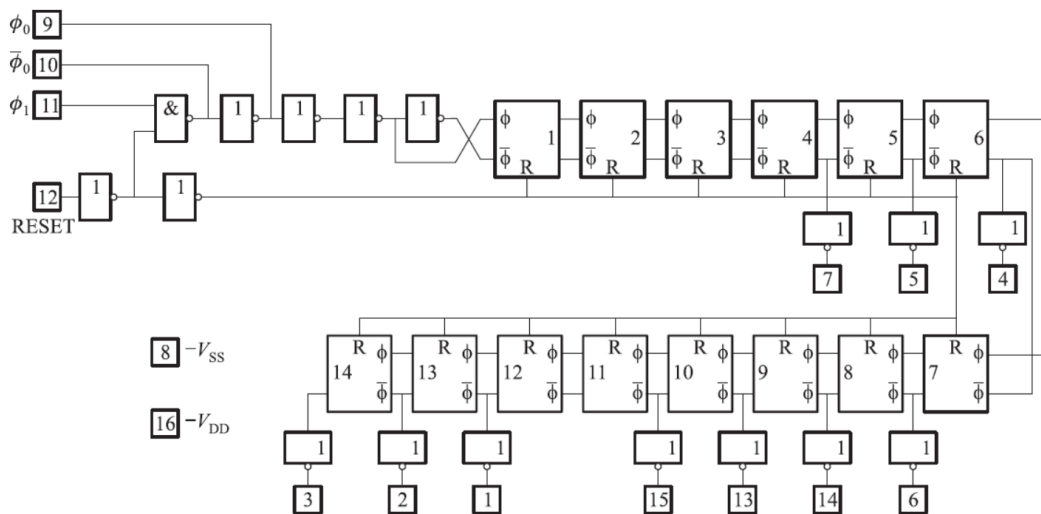


图 3.1.2 秒脉冲信号发生电路图

CD4060 内部结构如上，通过将 3 号脚引出，得到原始 32.768kHz 信号 14 分频后的 2Hz 的方波信号。

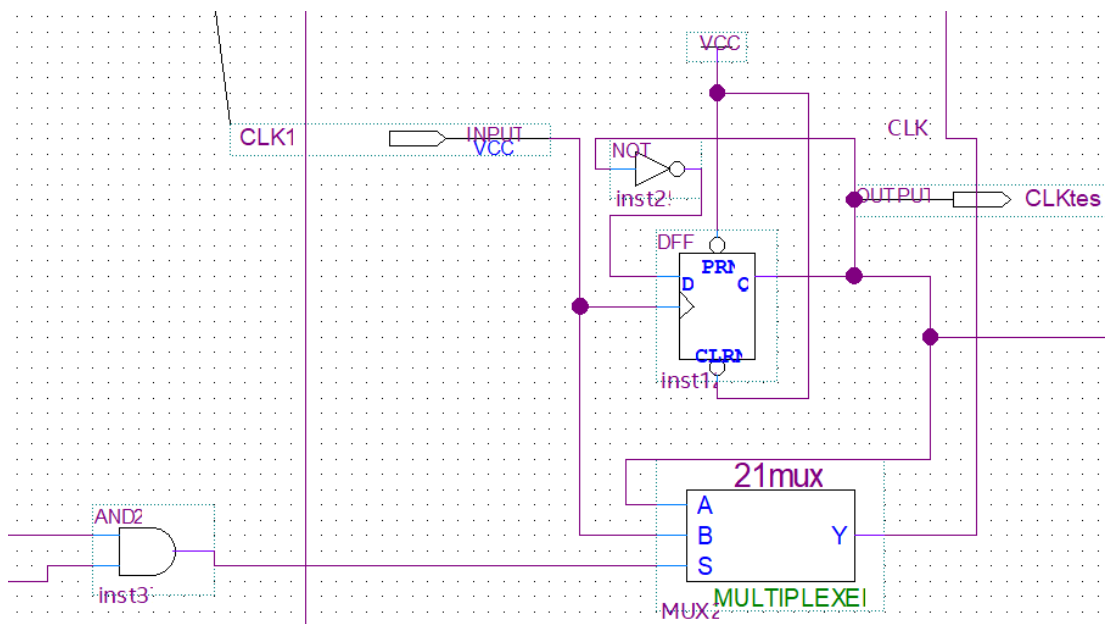


图 3.1.3 分频器电路原理图

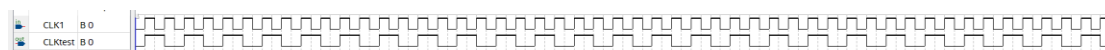


图 3.1.4 分频器仿真图

我们可以直接从 CD4060 中得到的方波分别是 2Hz 和 512Hz，其中 512Hz 可以用作显示译码电路的扫描信号；2Hz 可以当作快速脉冲的时钟信号，不过正常模式中数字钟是每秒计数 1，所以需要额外分频得到 1Hz 的方波。如图 3.1.3 所示，我使用的分频器是 D 触发器，CLK1 接 CD4060 的三号管脚，将 2Hz 信号输入到 D 触发器的 CLK 口，再将 Q 取反后重新接到

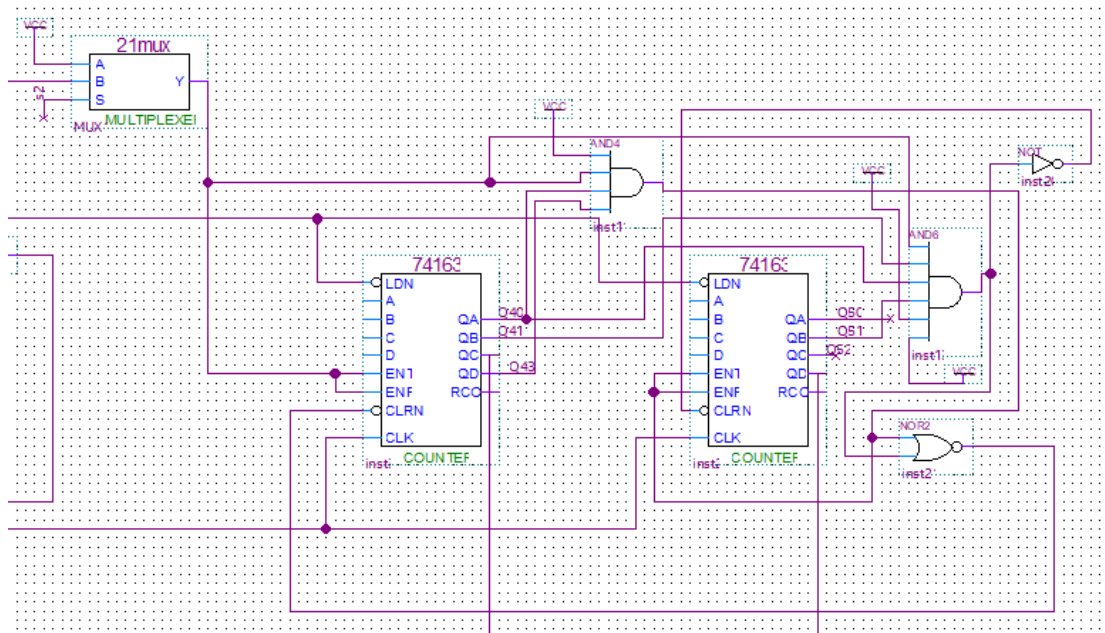


图 3.2.3 24 进制计数电路原理图

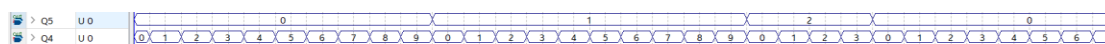


图 3.2.4 24 进制计数电路仿真波形图

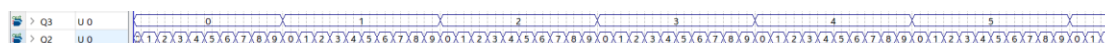


图 3.2.5 60 进制分计数电路仿真波形图

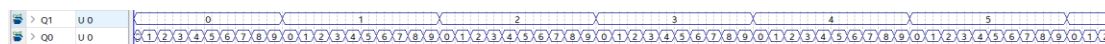


图 3.2.6 60 进制秒计数电路仿真波形图

秒、分、时的计时电路如上，都是用两个74163计数器。当低位的秒计数到十进制9或二进制的1001时，使能高位的秒计数器，当时钟信号到来之后，通过反馈清零将低位的秒清零，将高位的秒加一。分的计数和时的计数也是同理，不过二十四进制的时的进位有所不同，当时的高位为0或1时进行十进制的进位，当高位为2时需要进行4进制的计时。

3.3 校时电路

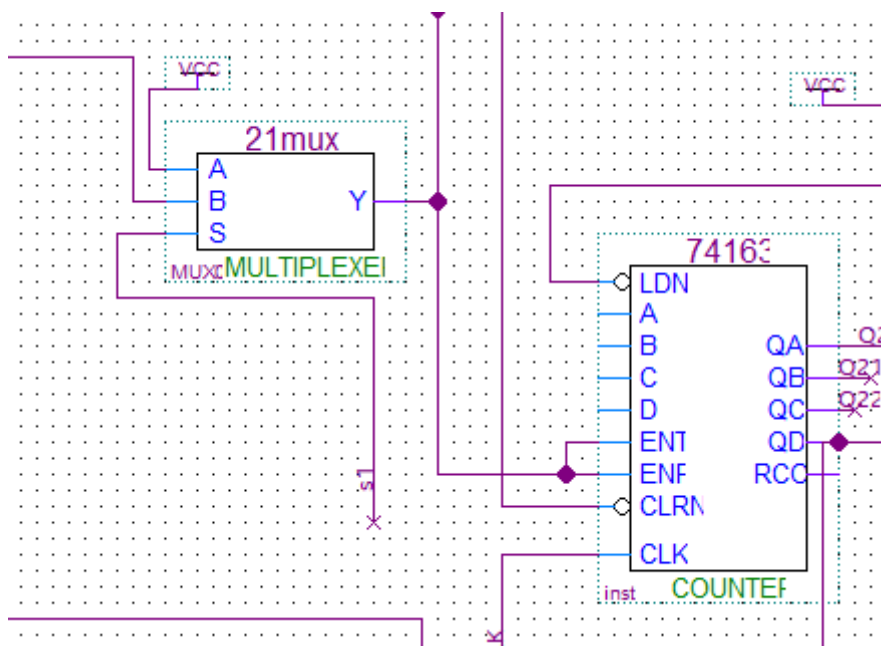


图 3.3.1 校时电路（分计时前的使能）原理图

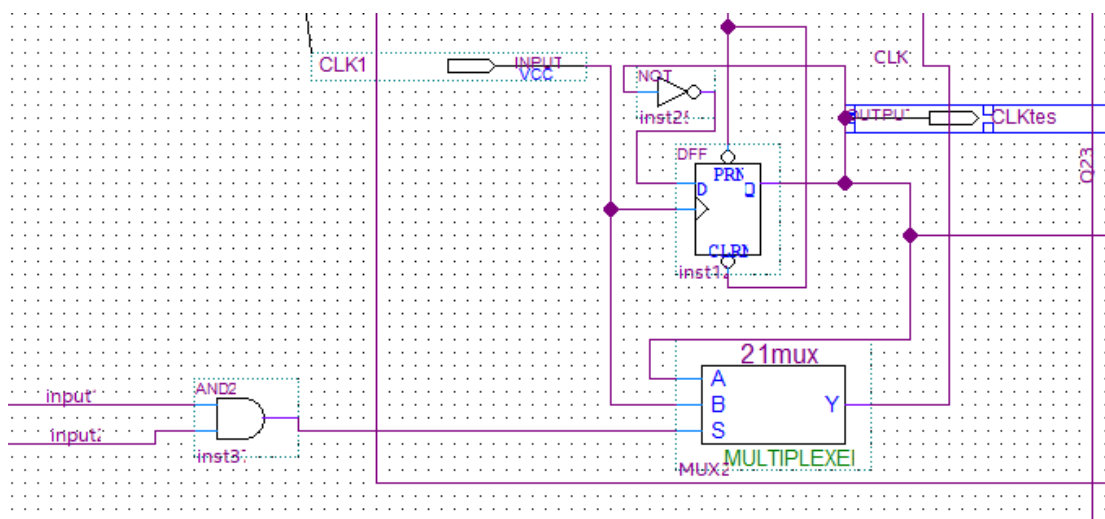


图 3.3.2 校时电路（分计时的 CLK 输入）原理图

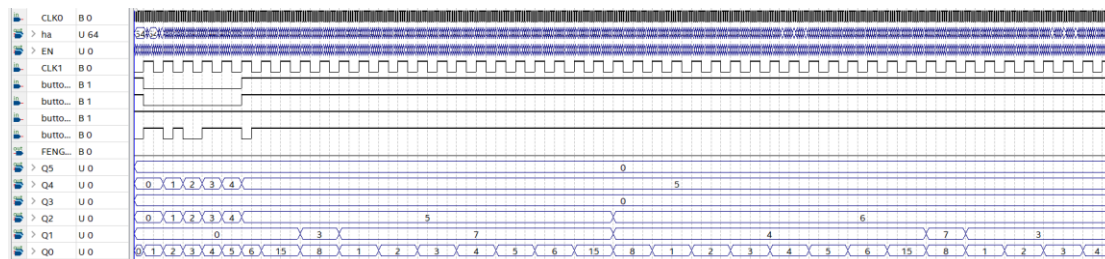


图 3.3.3 时分计数器校时功能仿真波形图

校时功能通过 Button1、Button2 和一个 MUX 实现。当我们需要快速脉冲时，即 Button1 或 Button2 有一个按钮按下且在校时模式中时，我们通过 MUX，选择输入的 2Hz 的方波信号作为秒脉冲信号，从而实现校时中时钟信号 2Hz，计时模式中时钟信号 1Hz 的选择。另外分

和时的快速脉冲中，还需要结合 s1s2 输出的高电平才能实现将低位的分和低位的时的使能端直接与 2Hz 的 CLK 信号直接连接。

3.4 整点报时电路

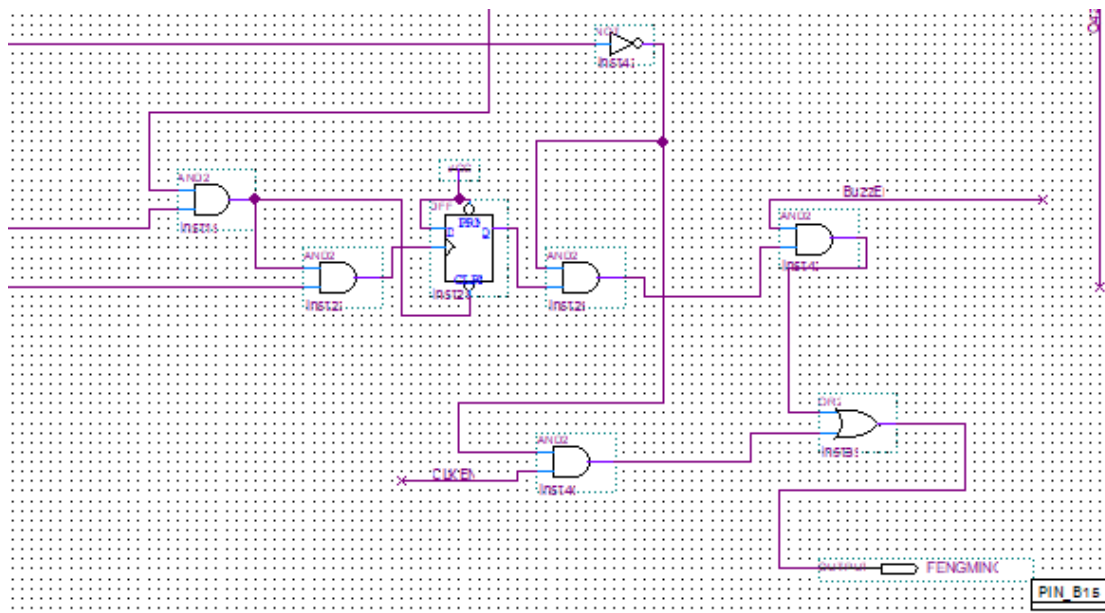


图 3.4.1 整点报时电路原理图

当整点报时功能使能时，整点报时电路在每个小时的 59:57 至 59:59 会输出高电平，该信号再和时钟信号进行与操作，使得蜂鸣器间隔发声三次。电路触发信号为分计数到 59，秒计数到 57。此情况出现后会输出高电平，再和秒脉冲的反进行与，实现发声三次，且最后一响结束时刚好到整点。（仿真图见实验二的验收）

3.5 LED 数码管显示电路

我们从 74LS163 中只能得到 6 组 4 位二进制数，但是最终呈现在我们面前的是数码管上的直观的十进制数字，所以我们需要自己编写一个译码器，将计数结果的 6 组 4 位二进制数进行六组显示码的转换，显示码能让数码管产生与结果对应数字或符号。根据查阅书后面的数码管每个管对应的 h-a 我们可以进行如下翻译：

显示	0	1	2	3	4	5	6	7	8	9
段码	40H	79H	24H	30H	19H	12H	02H	78H	00H	10H

图 3.5.1 共阳极数码管对应的显示码表

三极管与电阻组成的驱动器，目的是为 LED 数码管提供足够的驱动电流，能够顺利点

亮二极管。

限流电阻的主要作用是降低流经二极管的电流，将电流限制在二极管的额定电流以内；八个二极管采用方式共阳方式连接，数码管允许通过电流为3-10mA，三极管Vce约为0.3V，数码管压降约为1-2V，因此通过计算可得

$$R = \frac{U}{I} = \frac{3.3V - 0.3V - 2V}{0.01A} = 100\Omega$$

限流电阻约为100Ω。

本次设计采用动态显示。六位BCD码输出到同一个端口，另一个6位的控制线EN0-EN5控制6个数码管的使能端。通过快速循环扫描的方式往每个数码管输送待显示信息，利用肉眼暂留效果获得稳定的同时显示状态。

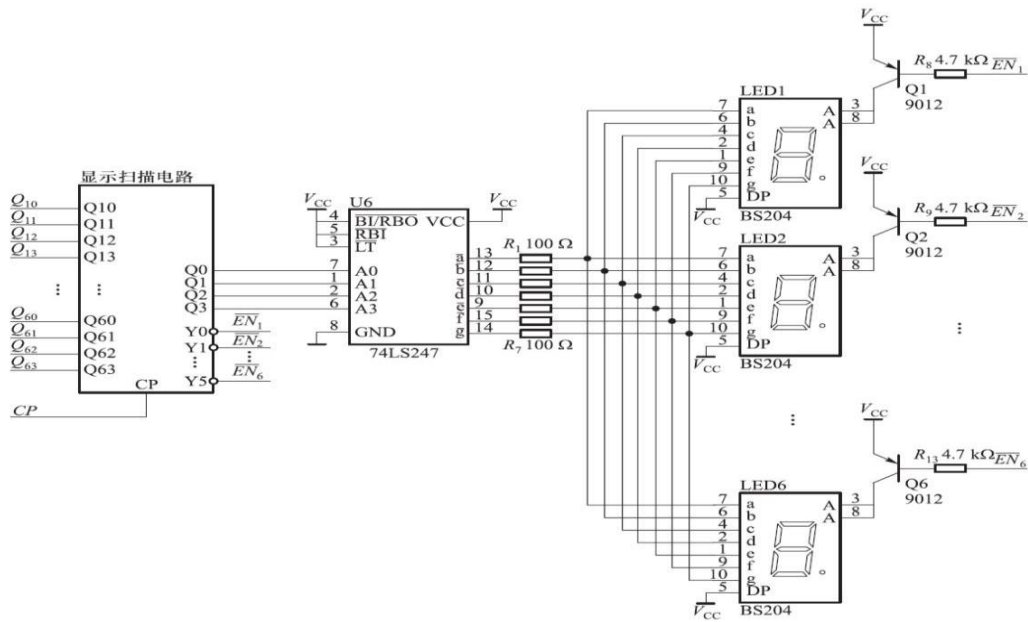


图 3.5.2 显示译码电路原理图

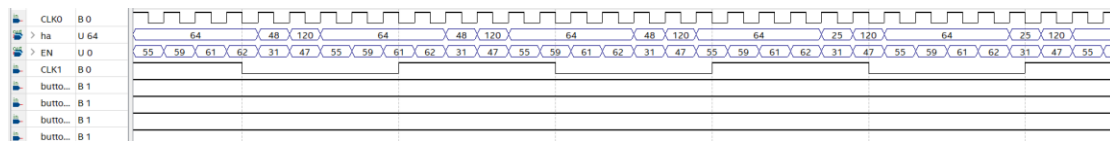


图 3.6.3 显示译码电路仿真截图

图中EN为动态扫描的使能信号，ha为数码管的八根引脚，可以发现使能信号跟着CLK0高频的脉冲信号动态变化，ha也同样的在动态变化。

3.6 按钮的防抖功能

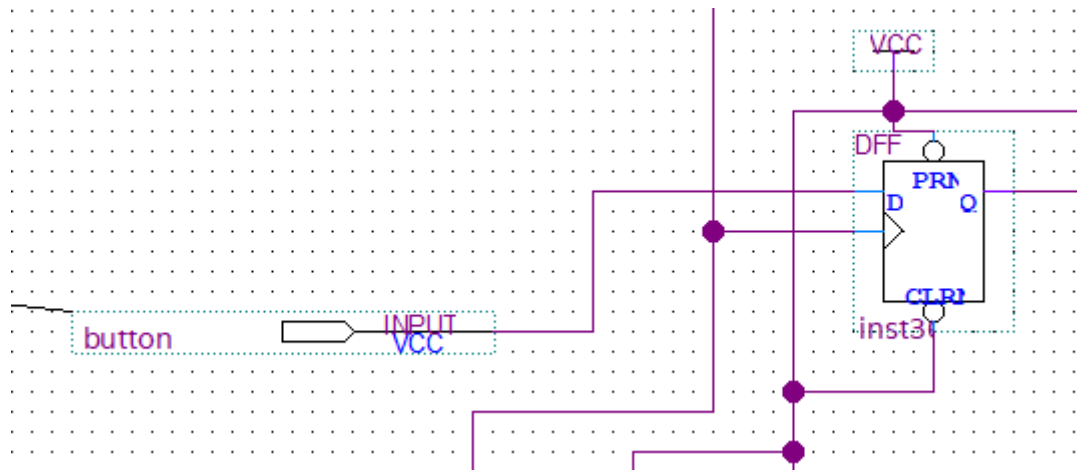


图 3.6.1 按钮防抖原理图

通过引入一个 D 触发器实现按钮的防抖，D 触发器的时钟信号来源于 CD4060 产生的 512Hz，将按钮信号输入到 D，将 Q 作为输出接到后续电路中，可以实现按钮的防抖。

4. 软件设计

4.1 显示译码扫描电路

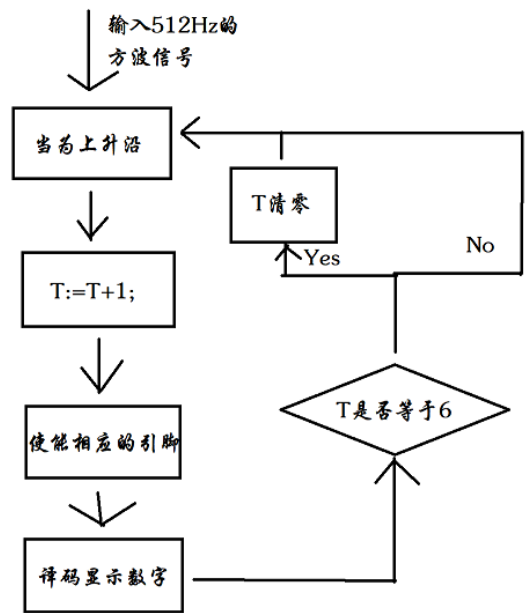


图 4.1.1 扫描显示译码模块流程图

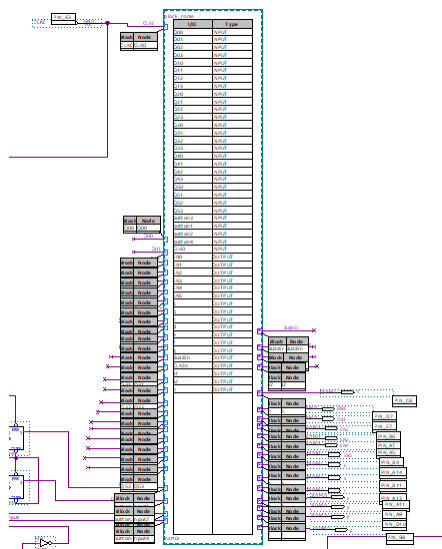


图 4.1.2 扫描显示译码模块

本系统采用 VHDL 语言实现扫描显示功能。为了让数码管显示数字，需将时分秒计数器中四位二进制转为数码管所需的显示码。使用动态显示，将每四位二进制分别在不同的时间输给不同的数码管，并顺序使能不同的二极管。当循环足够快，肉眼就会观察到同时显示的状态。

如图 4.1.1 所示，根据输出的 h-a 和使能信号来正确地地点亮相应的二极管，再根据分号和小数点来观察是否已使能报时和闹钟的功能。

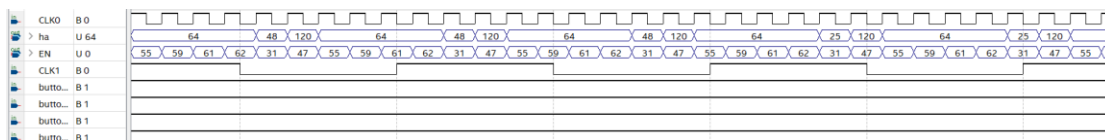


图 4.1.3 扫描显示译码模块仿真

4.2 闹钟设置和响铃功能

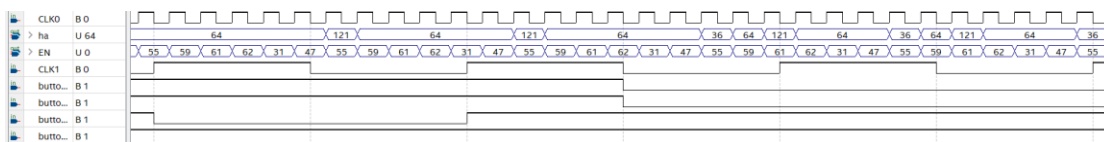


图 4.2.1 闹钟设置模块仿真

在设置闹钟功能，按下 Button3 之后进入闹钟设置模式，数码管就会显示设置闹铃的时间，此时，按一下 Button1 可以将闹钟的分加一，按一下 Button2 可以将闹钟的时加一，再按两下 Button3 会返回时钟计数界面，数码管就会重新显示计数的时间。

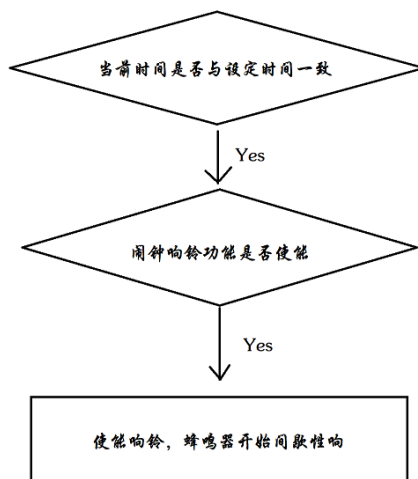


图 4.2.2 闹钟响铃工作流程图

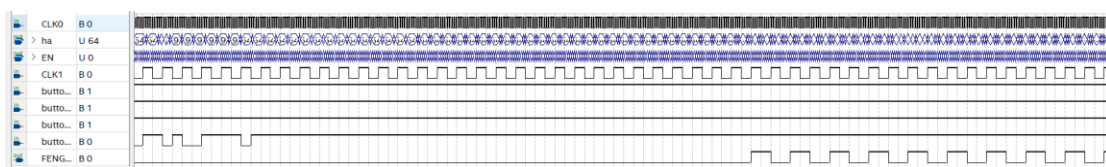


图 4.2.3 闹钟响铃工作仿真图

VHDL 程序记录闹钟设定的时分数据，当当前计时时分的时间和设定时间一致时，会判断闹钟是否使能，若闹钟响铃使能，那会使蜂鸣器输出间歇性的高电平，实现闹钟功能；Button4 按动三下使能整点报时和闹钟功能，默认设定时间为 00:01:00，当闹钟时间与闹钟时间一致，可以看到蜂鸣器输出端输出方波。

4.3 报时功能和闹钟响铃的使能

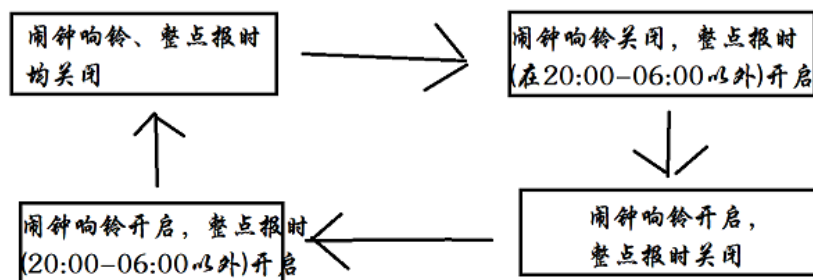
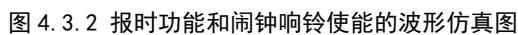
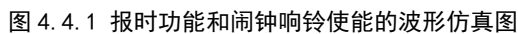


图 4.3.1 报时功能和闹钟响铃使能的工作流程图

默认状态为闹钟响铃、整点报时均关闭，按一下 Button4 切换到下一状态，响铃关闭，整点报时在规定时间以外的整点将报时，再按一下 Button4 切换到下一状态，闹钟响铃开启，整点报时关闭，再按一下 Button4 切换到下一状态，两个均开启，再按一次回到默认状态，形成一个有限状态机。其中数码管 h 信号会在初始状态和使能均开启的状态中点亮，以供用户交互。



4.4 快速脉冲法的使能信号



4.5 模式切换电路

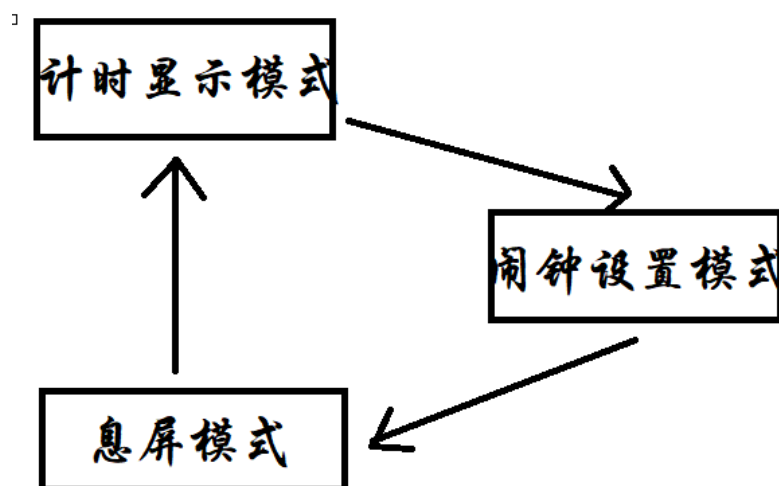


图 4.5.1 模式切换电路工作流程图

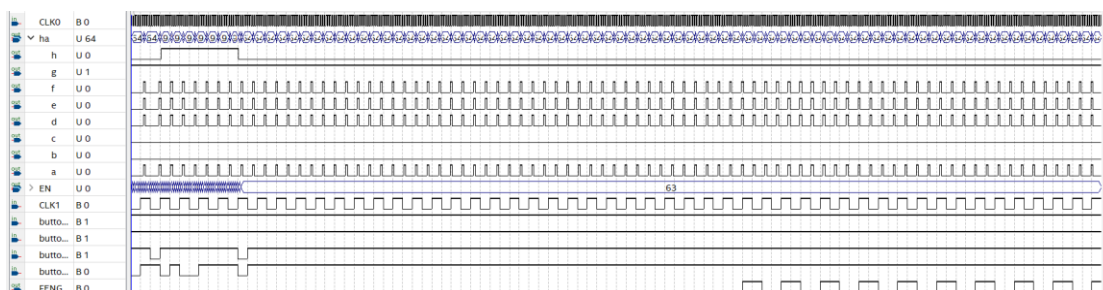


图 4.5.2 模式切换电路仿真图

我实现了三种模式，第一种是计时显示模式，第二种是闹钟设置模式，第三种是数码管息屏模式。模式切换通过 Button3 实现，按动一次 Button3，实现模式的切换。功能通过状态机实现。仿真图中，可以发现按动 Button3 两次后，进入息屏模式，EN 全部为高电平，没有数码管点亮。

5. 系统测试

5.1 测试条件

测试器材：实验箱、示波器、万用表，自己焊接的板子

5.2 测试方法与步骤

(1) 利用拨码开关检测数码管是否都能正常显示；通过示波器对 CD4060 进行测试，分别观察芯片 3 号引脚信号是否为 2Hz，4 号角输出的是否为 512Hz 的方波信号。

(2) 接上可编程器件，配置管角，在仿真没有出现问题（warning 尽量少）的情况下将文件以 .sof 格式录入，测试计时等功能。

(3) 上一步功能都正常以后，以 .pof 格式烧录文件，用 3.3V 直流稳压源供电，重复上一步的所有测试。

5.3 测试数据

(1) 所有数码管都能正常选择和发光，并且能产生频率为 2Hz 的方波，峰峰值在为 3.3V 左右；4 号管能产生频率为 512Hz 的方波，峰峰值为左右 3.3V。

(2) .sof 格式的测试：

测试内容	测试结果
计时功能测试	计时正常，进位正常
校时测试	时的校时时间不超过 12 秒，分的校时时间不超过 30 秒
闹铃测试	闹钟正常响
整点报时测试	在接近整点时报时三声，且结束正好是整点 20:00-06:00 点不报时

(3) .pof 格式测试：功能可以实现

5.4 结果分析

能满足基本设计要求，各功能基本都可以实现。

6. 结论

6.1 结论性评价

通过本次数字钟的设计，让我对理论课的知识有了更深刻的认识；本次实验最终也大致完成了基本功能，但是还有很多有趣的功能也能继续开发。

6.2 可改进方向

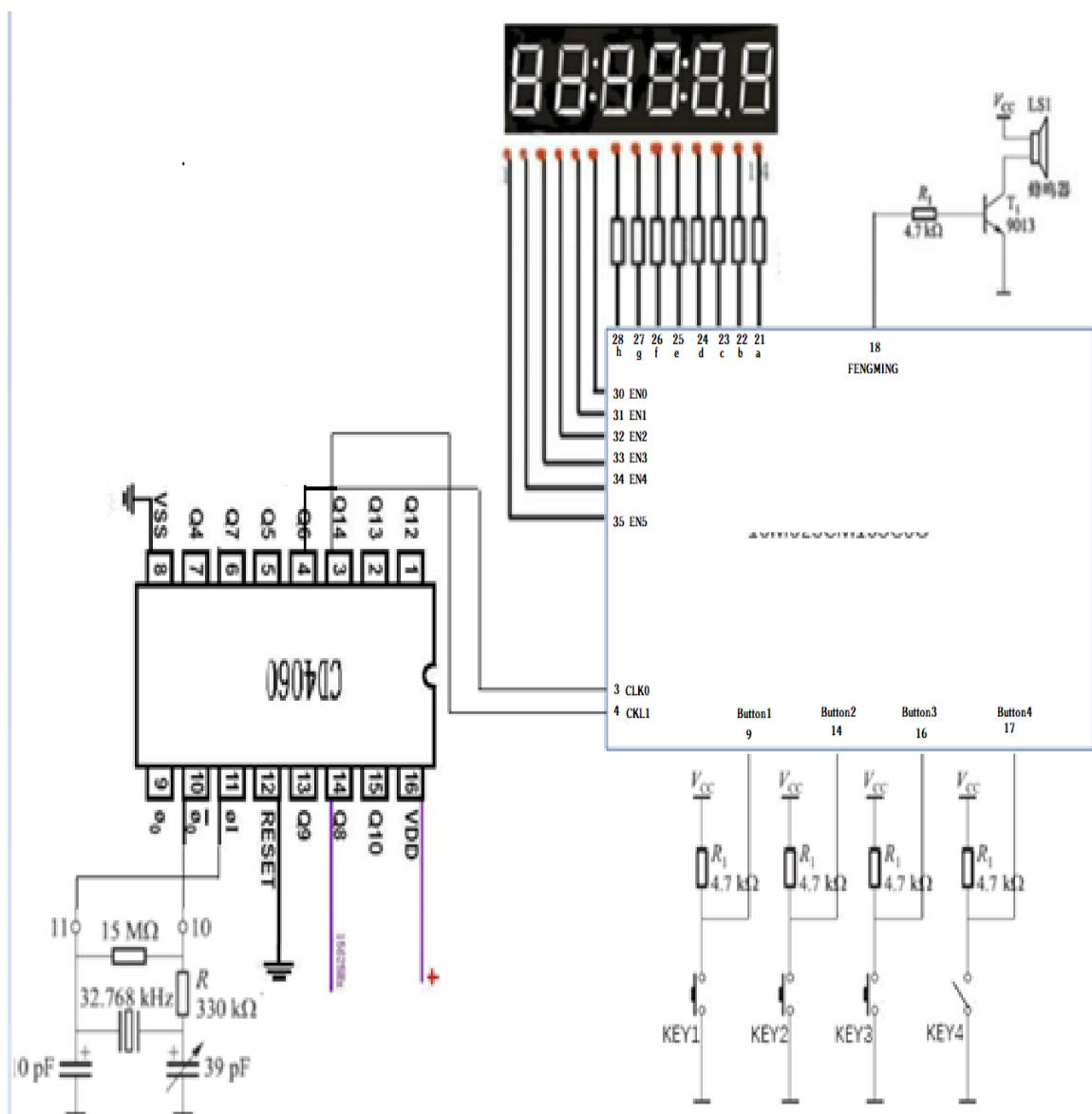
对于竞争冒险，可以采用加电容等方式降低系统的不稳定性，息屏模式可以进一步优化，可以改进为一段时间不操作自动息屏；也可以增加倒计时、闹钟闹铃模式中可以增加关闭闹钟等实用功能。

7 参考文献

- [1] 《电子技术基础实验教程》，浙江大学电工电子基础实验教学中心，阮秉涛，樊伟敏，蔡忠法，张德华；
- [2] 《集成电子技术基础教程（下册）》，浙江大学电工电子基础教学中心，陈隆道，蔡忠法，沈红。

8 附录

附录一 硬件电路图图纸



附录二 系统使用说明

计数时间显示界面：数字钟正常计时，按下 Button1 不松开，可以进行分的快速脉冲校时，按下 Button2 不松开，可以进行时的快速脉冲校时；当整点报时和闹钟铃响功能全部关闭或全部开启时，小数点和分号会亮，当一个功能使能，另一个不使能时分号和小数点不会亮；一天 20:00 到 06:00 中，整点报时即使使能，也会自动关闭。

闹钟设置显示界面：按下 Button3，从计数时间界面切换到闹钟设置界面，此时 Button1 用于分的设置，Button2 用于时的设置，按动一次设置时间加一。

息屏界面：按下 Button3，从闹钟设置界面切换到息屏界面，此时数码管不亮，Button1Button2 的按动无效。再次按下 Button3 重新回到计数时间显示界面。