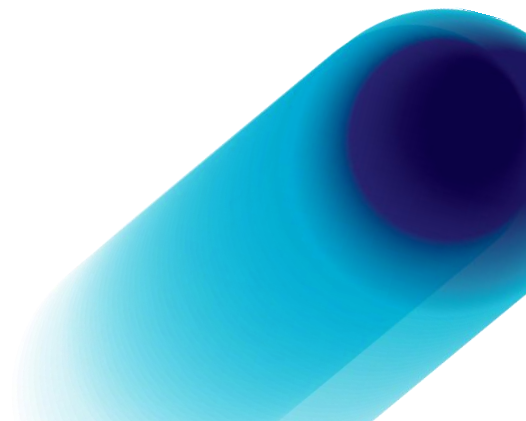




优塔晟科技有限公司

新一代高清DSP数字音频芯片项目简介

2022年10月





关于 优塔晟

- 项目简介 团队简介



项目简介

优塔晟

- 设计研发以DSF（Digital Sound Processor）高清音频处理芯片为核心的技术的新一代数字音频系统；
- 重新定义了DSP芯片，集成了多个芯片的功能，缩小了体积并大幅降低了成本；
- 用一个芯片就能实现 Xmos+Analog+CPLD+FPGA+DDR+MCU+ADC+DAC 多重功能；
- 是深度整合的SOC外围芯片，对高清音频领域的数字化提升开启了快速的通道；
- 使高清数字音频在新能源汽车和高端家用等领域能迅速实现产业升级；
- 可以进一步扩展应用到任意的电源变换场合，比如户外储电、电机驱动等等.....



优塔晟的团队

优塔晟是潘昶在2008年从个人硬件工作室发展起来的，专注基于嵌入式平台定制硬件的高清数字音频方案公司。



潘昶
CTO

- 嵌入式专家，25年行业经验，30多年软件经验
- 精通软硬件系统设计，涵盖软件到集成电路/声学原理/机械结构
- 1997年设计了国内第一台便携式80186股票机
- 在数模混合设计、射频设计有独到的经验以及独有的模型
- 参与嵌入式HiFi系统开发时间长达10年，拥有多项专利
- 2007在无锡某公司担任产品总监和芯原配合成功完成一个红外收发芯片开发和系统设计
- 2008年国内第一个推出192K采样率的播放器系统
- 2010年国内第一个推出硬解DSD的播放系统
- 2015年给酷狗提供了一个便携播放器，黄金样板，参数至今全球领先
- 2015年迭代了播放器架构，播放支持的格式至今仍无竞争对手能做到(DSD1024/PCM1536)
- 2018年推出全数字车载播放系统
- 2020推出全数字家用监听系统
- 2022推出全数字的播放系统以及独立功放系统

优塔晟的团队

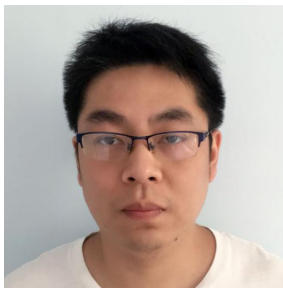
Jason
Lim



Global Marketing 美籍

- 1988年毕业于美国普度大学电子工程学院计算机专业
- 参与设计过两个CPU,领导三个分布式和高度可扩展的软件开发;
- 2004年共同创立NuForce, 后成立NuPrime, 并为这两个和众多消费电子产品的开发,销售 and 营销.开发全球消费品品牌,营销,分销和制造.
- 从技术转向商务, 拥有全球品牌分销渠道

蔡晟



嵌入式工程师

- 精通Kernel内核、驱动设计等
- 精通应用程序、QT UI设计
- 精通多线程、多进程、网络通信、串口通信、时钟控制
- 熟悉数字信号算法

倪兵



音乐人/顾问

- 音乐人、声学顾问

团队在软件、内核、设备驱动、混合电路、射频设计都有丰富经验的开发经验，在网络营销、品牌推广上也有多年的积累，深入了解音响行业的痛点，因此我们能开辟一个蓝海市场，引领产业升级



优塔晟 现有产品优势

- 产品研发状态及比较优势

产品优势及特点

- 技术优势：各项指标均在技术层面领先；
- 设计优势：设备体积小，功率输出高；
- 成本优势：系统精简带来成本下降；
- 技术壁垒：系统整合、软件算法、代码编程等高难技术壁垒十分坚固。



技术优势—为什么比别家好？

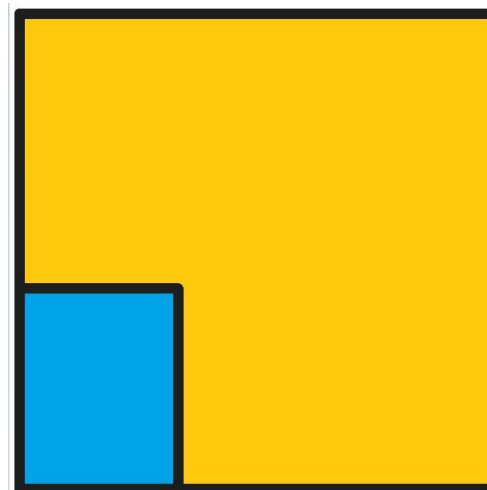
	项目	竞争对手	我们产品
电源	模拟参考电压噪音	50uV	1-5uV
	DC-DC开关频率	<100kHz	>750kHz
数字信号处理	独享音频内存	0	2Gbit
	高精度低噪音晶振电路	无	独立FPGA处理
	独立声音校准	无	有
功放	功放输出阻抗	4欧	<2欧
	功放输入	模拟	数字
	功放输出频率	380-500kHz	2110kHz
设计	使用材料	为了好看使用参数错误的材料	参数正确的材料
	关键电路设计	被动器件为主	主动器件为主

技术优势~续

项目	竞争对手	我们产品
音频专享内存（在线音乐流畅）	无	2Gbit
功放输出频率（细腻度）	500kHz	2110kHz
电源频率（声音密度）	50kHz	750kHz
体积	大(90mm*90mm*25mm)	小(38mmx30mmx10mm)

同样的输出功率体积对比

黄色：传统升压系统大小
蓝色：高频数字升压系统大小



成本优势

在音响业界的共识：就是每增加一级，就会引入一级的失真（不可控），因此各种神器争相出现，比如线材，不同的前后级的匹配等。当然，更重要的是，每多一级，也带来了成本的增加。

我们系统如果使用国外厂家的，最少需要4个芯片，按照成本分析就是4个晶圆加上4个封装，如果自己的设计的话，可以做到3-4个晶圆，两个封装，那么同样性能的系统按照成本计算最少可以节约**40%**。
一个简单的计算公式如下（假设评分：数字音源 90,DAC 90,ADC 90,DSP 90,模拟功放 90,普通数字功放 80, 纯数字功放 85）

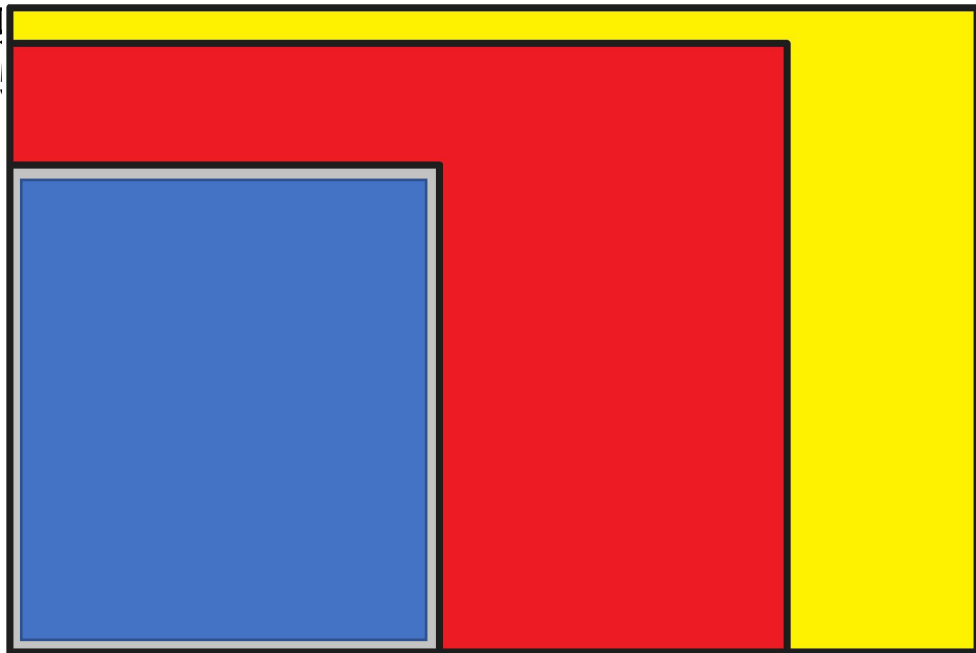
大部分传统车载系统输出=数字音源×DAC×ADC×DSP×DAC×模拟功放=0.9×0.9×0.9×0.9×0.9×0.9=0.53
高端国产车载系统输出=数字音源×DSP×DAC×普通数字功放=0.9×0.9×0.9×0.9=0.66
我们系统效果=数字音源×DSP×纯数字功放=0.9×0.9×0.85=0.68
系统精简带来体积的便利，意味着更低的制造成本

主机体积对比

银耀主机(无功放) 230x180x55（黄色）

歌航A5: 217x170x43（红色）

我们主机: 136x120x46（蓝色）





技术壁垒—别人能轻易抄我们吗？

项目	抄袭难易度	壁垒
电路板	工艺/阻抗控制难以抄袭	低
单片机控制	中等	中低
FPGA音频处理	难	高
DSP软件算法	难	高
DSP硬件设计	中等	中低
系统驱动软件	难	高
系统整合	极难	很高

构成该系统的软件代码多达数十万行，而且深度整合硬件设计，就算全部开源，都很难找到能接手的公司。所以这套系统只能从正向设计，基本不能通过逆向工程抄袭。曾专注音频领域的国内ARM芯片开发商之一瑞芯微已经放弃音频方面的开发了，普通开发公司没有这个水平的也只能望而却步。



技术壁垒——专利保护+专用算法

- 合理的产品定意，可以让产品高度集成多个模块，包含了MCU，FPGA(软件定义硬件)，DSP数字信号处理，高速数据传输和输出调制，因此每部分都是高度软件定义的硬件；
- 经过大数据训练的软件算法，直接驱动精确执行的硬件以达到设计目标；
- 重新定意架构可以摆脱原有架构的束缚，做出更加优质的设计；
- 拥有多项专利保护；
- 深度整合后硬件和软件，节省很多的沟通成本，已达到快速开发的目标，任何抄袭者都需要花费大量时间和费用重新整合；
- 我们软件算法基于自身硬件设计，同时我们的专用软件的独有算法是根据大数据长时间训练而成的，因此抄袭的成本很高且无法抄袭到完全一样。



革命性的产品（技术验证机）





与传统模拟系统参数对比（一）



对比国外比较有名的车载系统的参数：

产品名称	Market Price (USD)	噪音 (dB)	动态范围 (dB)	失真 (%)
NAKAMICHI CD7000	>850	-105	97	0.003
Clarion VX790	>850	-100	97	0.006
Pioneer DEX P99RS	1100	-115	97	0.003
歌航G3	2000	-110	105	0.002
银耀DS3-LE	2000	-105	105	0.003
Pioneer AVH-4200NEX	600	-100	95	0.05
Kenwood excelon DMX905S	600	-107	103	0.02
Alpine Halo9 iLX-F309	900	-110	108	0.01
YottaMusic analog	400	-120	114.7	0.0006



与传统模拟系统参数对比（二）

Spec	dCS Scarlatti	Nagra CDC	Our solution
价格	5万美金	8万人民币	---
Max rate	PCM384kHz/24bit DSD128/1bit	CD only(44.1kHz)	PCM1536KHz/32bit DSD1024/1bit
SNR	-113dB@6V	-108dB@2V	-120dB@2V
Output impedance	3 Ohm (Excellent)	600(poor)	0.5 Ohm (Outstanding)
THD	-100dB	-103dB	-114dB
Conclusion	-	-	Better than Reference

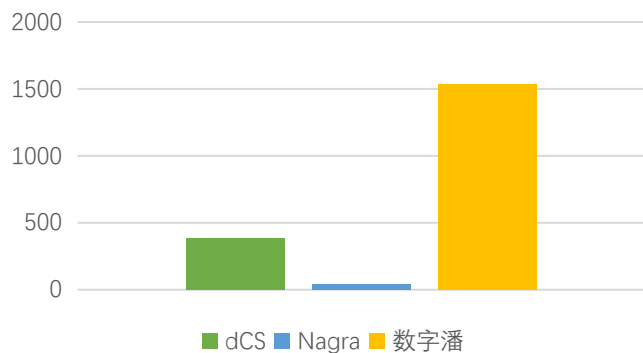
我们系统对比dcs Scarlatti（5万美金一套）
在录音棚环境下对比，听感略胜一筹



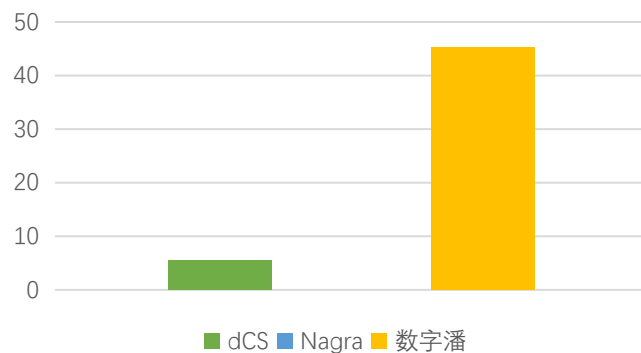


与传统模拟系统参数对比 (三)

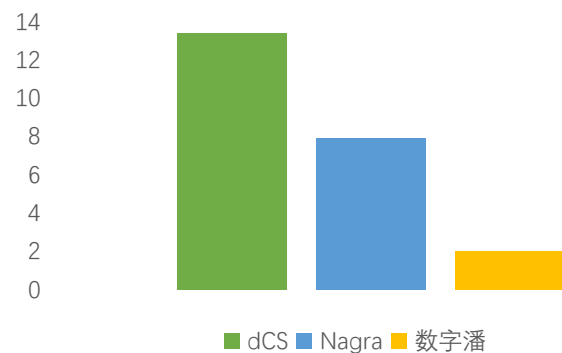
PCM采样率(kHz,越高越好)



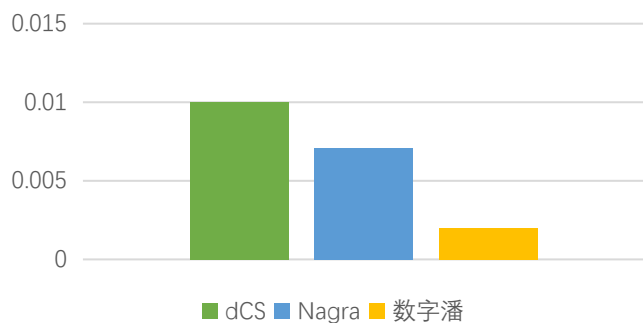
DSD采样率(MHz,越高越好)



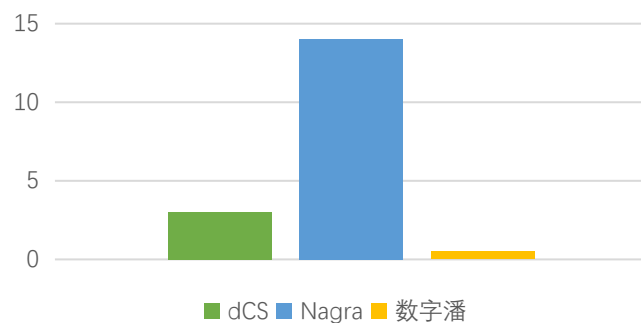
噪音电平(uV,越低越好)



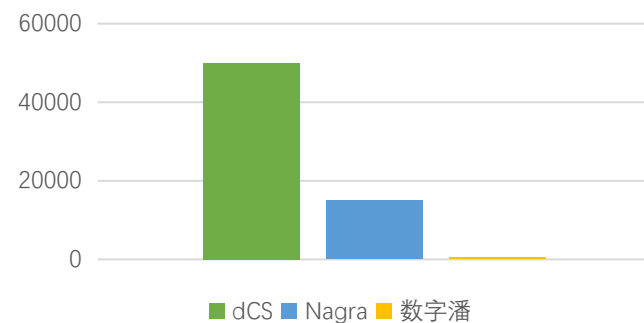
失真(越低越好)



输出阻抗(越低越好)



售价





优塔晟 商业前景及规划



商业前景

- 新能源汽车销量激增：2021年，中国新能源汽车销量330万辆，增长近2倍，欧洲销量约230万辆，美国63万辆
- 新能源汽车强调科技感，车载音响集成化、高清数字化是必然的趋势；
- 新能源汽车的高速发展掀起了全行业的改革波澜，音频数据入口之争必将更加激烈；
- 家用音频设备IOT的竞争越来越激烈，语音控制就是商家必争之地；
- 根据汽车行业协会的数据：2018年汽车音响市场大约在430亿美元；
- 市场预测，汽车音响全球市场今年将会突破500亿美元；

商业前景-市场机会

数字功放最早诞生于1985年，当年的半导体技术还主要是在第一代，发展至今数字功放的输出级依然还是可怜的500kHz，因此数字功放要做好相对非常难。

而目前的半导体已经进入了第三代，但功放芯片依然停留在第一代的系统。

目前整个系统相对复杂而且使用的技术和芯片都是相对落后的：

- 比如Analog的dsp芯片还是24位的宽度，而要做到无损最少需要40位的计算宽度。
- 功放系统的内置DSP位宽不够，算法不够好，引入了DAC进行PCM->PWM转换导致转换成PWM的过程损失严重，另外数字功放的失真相对较大，反馈控制延时较模拟系统高，因此失真很难做好；
- 目前功放输出级PWM频率过低，绝大部分都在500kHz以下（**优塔晟为2110kHz**），较低的开关频率导致了比较大的线路板面积以及后面的滤波器大小，芯片成本虽然低了，但是后面的辅助器件成本较大且体积也无法做小，也因为PWM频率太低，导致中低频声音密度不够，高频刺耳，急需迭代；

由此可见数字DSP高清音频芯片及系统集成市场空间和市场机会巨大。

音乐市场的规模





音响市场容量及展望

Market	Total available	Total sales %	Sales \$
我国汽车后装	6.7 Billion \$	2%	134 million
国外汽车音响	10 Billion \$	10%	1000 million
智能音箱	35 Billion \$	5%	1750million
机顶盒	33.8 Billion \$	1%	338 million
Wireless Speaker	18 Billion \$	5%	900 million
音响设备	12.13 Billion \$	5%	606 million
大约合计			4728 million





扩展市场及容量

Market	Total available	Total sales %	Sales \$
Gaming computer	50B\$	5%	2500 million
Power inverter	16B\$	5%	800 million
Portable power station	494M\$	5%	24.7 million
Projector	9.8B\$	5%	490 million
Motor driver	5.5B\$	5%	275 million
大约合计			4089.7 million

为什么我们的设计可以用在这么多场合？

- 数字技术的发展，让手机的无线收发就只需要高频和基带部分，很小的面积就完成了FM收音机/数种卫星定位接收/蓝牙/WLAN/NFC/无线充/手机的2G/3G/4G/5G/CDMA等所有的功能，因此高度软件化的硬件设计可以最大化设计的适用场合
- 音响的功能实际上就是一个精确的任意波形产生器，适合在各种电源变换的场合，因此我们软件定义的音响可以推广到上述各种领域，同时可以降低体积成本以及提高效率

必经之路——芯片定制

为什么需要定制芯片？

- **国家战略需求**：随着中美的关系的急转直下，我们需要有更好的备份的方案，而不是因为100万颗芯片的缺口影响全国100亿产值产品的落地，这是国家的战略需求；
- **科技发展的必然**：音频产品，远落后于时代最少20年，数字显示器/数码相机/诞生于音频之后，但是发展速度远超音频，而汽车电子认证的时间和研发费用，导致汽车音频发展比民用音频发展更加滞后10-15年，使用目前最新的科技打造全新的数字系统，这是未来必然的方向；
- **大幅降低成本**：绝大部分的普通用户，对声音有要求但又不懂判断，同时投入的费用又非常有限，那么如果需要大规模推广，那就对成本有要求，而不是目前的音响的奢侈品模式，而产品芯片化，可以在大幅降低成本的前提下保证高质量输出，从而为进入各个领域铺平道路；
- **保持长期的领先**：按照需求自顶向下的定义，比从市场上找到的方案堆叠的自底向上的方式要好很多，因此我们芯片稍作改动就可以满足很多场合的应用，从点到面实现突破；



定制芯片的优势对比

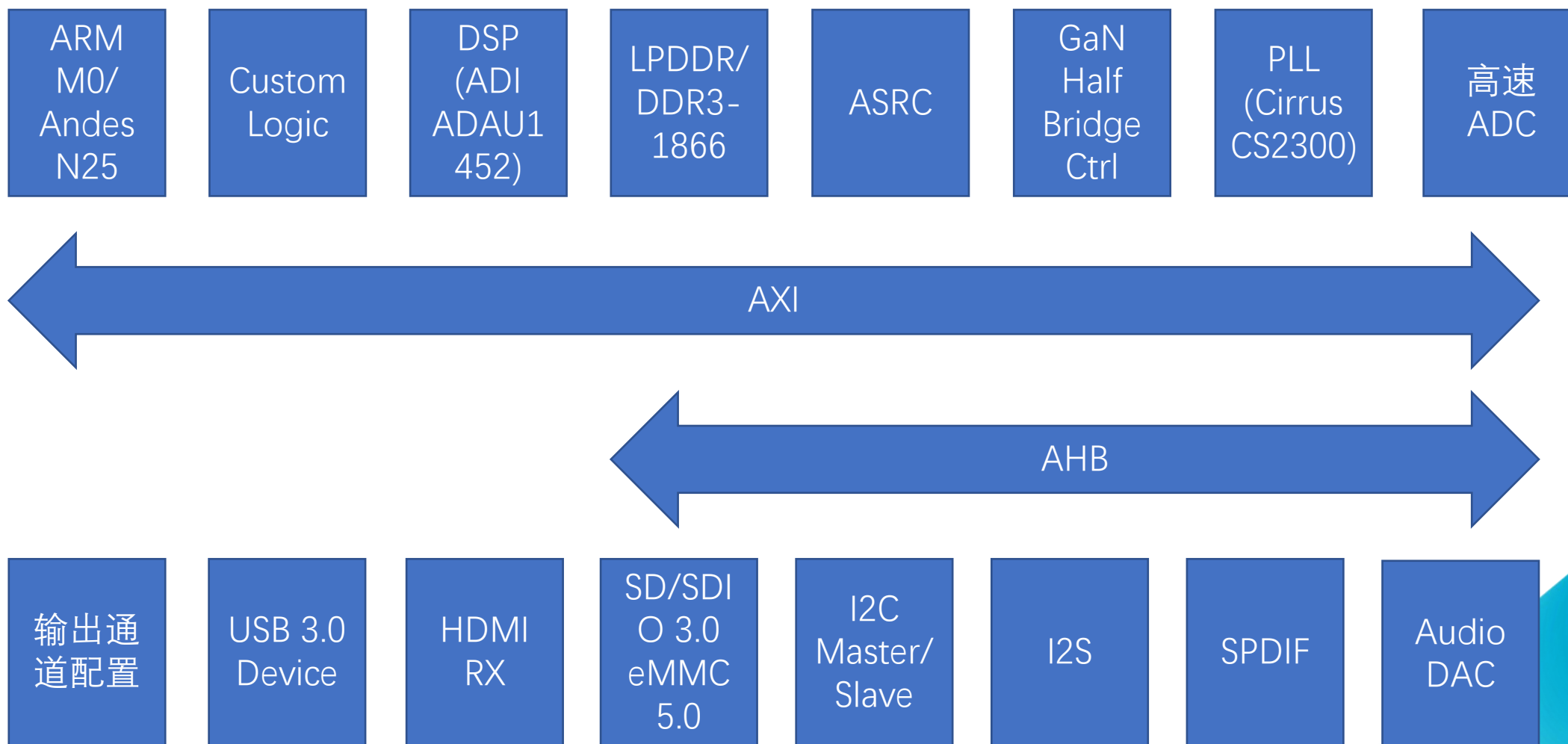
我们比较下以下的芯片方案

Brand	Function	DSP(bit)	Speed(MHz)	Max CH	Max SR	Max PWM Freq
Analog device	DSP	fixed 24	150	8+8	192KHz	---
Yamaha	DSP	fixed 24	100	8+8	192KHz	---
TI	AMP	---	---	4in	96KHz	2.1M
ST	AMP	---	---	4in	192KHz	500K-1.5M
XMOS	CODEC	---	150	2+2	760KHz	---
Our Chip	All	double 64	300	16+16	1536kHz+	11.2896M

可以看出我们的设计，会在使用最新的技术的基础上针对现有同类产品全面碾压，同时整合多种功能，实现性能最大化的同时，性价比最高



专用芯片内部结构总览



芯片设计IP需求

ASIC IP Requirement List:

	Module Name	comment
1	SDIO 2.0+ max DDR50 could work	SOC digital interface for power saving devices
2	USB 2.0 slave high speed	SOC digital interface for common devices
3	Ultra low phase noise PLL/clock distributor/divider, PLL should be same phase(edge sync) with input clock	System clocking
4	External VCXO control and remote heart bit sync	Different chip clock sync
5	Low power DDR interface, max data rate > 200MB/s (read/write simultaneously), >64MB, max could support 2 chips(same control 8/16bits)	Data processing
6	Audio DSP (better could customize everything)	Audio processing
7	ASRC max support PCM3072KHz and DSD2048	Audio trans-code
8	One I2C host for external configuration EEPROM support, One I2C slave for control/re-program from SOC	Control and start up
9	SPDIF transceiver with 768K/32bit and DSD256 support	Audio interface
10	Programmable pin mapping for output part	Flexible in/out
11	GaN MOSFET driver, could configure as direct output for low power application or MOSFET driver for high power application (better compatible with normal MOSFET driver)	Output stage Direct output DSD64/128/256/512
12	On chip ADC/DAC, 24bit	Analog input/output
13	On chip over current protection for power stage	Output protection
14	HDMI audio decoder	Get audio out from HDMI
15	USB 3.0 slave super speed	Optional with 2
16	PCI-E interface	Optional for computer



芯片设计步骤以及费用细节

Phase1 Task: RTL platform Integration +Verification (in parallel with RTL Integration)
+ FPGA prototyping + Digital IP License fee

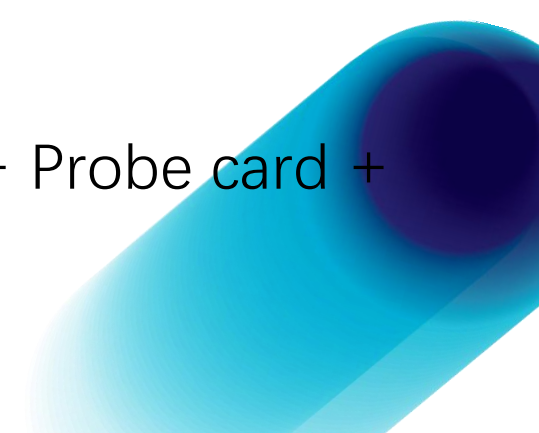
- Duration: 5 months + 3 months
- Estimated fee: US\$1.5M ~ US\$2M

Phase 2 Tasks: RTL-to-GDSII + 40nm Analog IP License Fee + MPW Shuttle fee (1 set) + 50 untested samples

- Duration: 7 months + 3 months (MPW and package duration)
- Estimated Fee: US\$1.8M ~ US\$2.5M

Phase 3: Mass Production Pilot Run

- 40nm mass production NRE: Mass production Tape Out + Masks + Probe card + Test program development + ATE Setup + Pilot Run Wafer
- Estimated Fee: around US\$650K ~ US\$750K





商业规划

阶段	项目	时间（月）	费用（万）	说明
项目启动				
1	ASIC方案讨论	1	20	含差旅费用
	ASIC验证设计	8	1100	
FPGA测试通过				
2	RTL2GDS设计IP投入MPW (50 sample)	7+3	1200	
	基本仪器设备采购		100	验证以及数据需要
	实验室搭建		100	测试环境需要
	硬件团队搭建	4	50	验证需要的开发板
	软件团队搭建	4	60	DSP以及系统软件
	市场团队搭建	2	10	开始市场导入
	专利申请		200	全球多项专利申请
设计验证通过				
3	开始流片	3	600	
	连续流片生产资金		2000	3批次的生产准备
	开发团队		200/年	视情况扩大
	管理费用		50/年	
	市场费用		100/年	

总周期大约18个月，费用合计5790万，如果含备用金10%计算需大约6500万