

Міністерство освіти і науки України
Національний університет “Львівська політехніка”

Кафедра ЕОМ



Звіт

З лабораторної роботи №1

З дисципліни: «Моделювання комп'ютерних систем»

На тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.
Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA»

Варіант 24

Виконав: ст. гр. КІ-202

Терналь Ростислав

Прийняв:

Козак Н.Б.

Львів 2024

Мета роботи:

Інсталиювати та ознайомитися з середовищем розробки Xilinx ISE.
Ознайомитися зі стендом Elbert V2 – Spartan 3A FPGA.

Етапи роботи:

1. Інсталяція Xilinx ISE та додавання ліцензії. Побудова дешифратора (згідно варіанту) за допомогою ISE WebPACKTM
2. Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
3. Генерування Bit файала та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

Варіант виконання роботи:

Мій номер в списку – 24. Нижче наведена таблиця вхідних та вихідних сигналів для мого варіанту.

Табл.1.1. Вхідні та вихідні сигнали.

in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4
0	0	0	0	0	1	1	0
0	0	1	0	0	1	1	1
0	1	0	0	1	1	1	0
0	1	1	0	0	1	1	1
1	0	0	1	0	0	0	0
1	0	1	1	0	0	1	1
1	1	0	0	0	0	1	0
1	1	1	0	0	0	1	0

Мінімізація функцій вихідних сигналів:

Map		
$\overline{\overline{A}} \cdot \overline{\overline{B}}$	\overline{C}	C
$\overline{\overline{A}} \cdot \overline{\overline{B}}$	0	0
$\overline{\overline{A}} \cdot \overline{\overline{B}}$	0	0
$\overline{\overline{A}} \cdot \overline{\overline{B}}$	0	0
$\overline{\overline{A}} \cdot \overline{\overline{B}}$	1	1

Map Layout		
$\overline{\overline{A}} \cdot \overline{\overline{B}}$	\overline{C}	C
$\overline{\overline{A}} \cdot \overline{\overline{B}}$	0	1
$\overline{\overline{A}} \cdot \overline{\overline{B}}$	2	3
$\overline{\overline{A}} \cdot \overline{\overline{B}}$	6	7
$\overline{\overline{A}} \cdot \overline{\overline{B}}$	4	5

Groups	
(4,5)	$\overline{\overline{A}} \cdot \overline{\overline{B}}$

Рис 1.1. Мінімізація OUT_0 .

$$OUT_0 = IN_2 \wedge (\neg IN_1);$$

Map			
	\overline{C}	C	
$\overline{A}.\overline{B}$	0	0	
$\overline{A}.B$	1	0	
$A.\overline{B}$	0	0	
$A.B$	0	0	

Map Layout			
	\overline{C}	C	
$\overline{A}.\overline{B}$	0	1	
$\overline{A}.B$	2	3	
$A.\overline{B}$	6	7	
$A.B$	4	5	

Groups	
(2)	$\overline{A}.\overline{B}.\overline{C}$

Рис 1.2. Мінімізація OUT_1 .

$$OUT_1 = (\neg IN_2) \wedge IN_1 \wedge (\neg IN_0);$$

Map		
$\overline{A} \cdot \overline{B}$	\overline{C}	C
$\overline{A} \cdot \overline{B}$	1	1
$\overline{A} \cdot B$	1	1
$A \cdot \overline{B}$	0	0
$A \cdot B$	0	0

Map Layout		
$\overline{A} \cdot \overline{B}$	\overline{C}	C
$\overline{A} \cdot \overline{B}$	0	1
$\overline{A} \cdot B$	2	3
$A \cdot \overline{B}$	6	7
$A \cdot B$	4	5

Groups	
$(0,1,2,3)$	\overline{A}

Рис 1.3. Мінімізація OUT_2 .

$$OUT_2 = \neg IN_2;$$

Map		
$\overline{A} \cdot \overline{B}$	\overline{C}	C
$\overline{A} \cdot \overline{B}$	1	1
$\overline{A} \cdot B$	1	1
$A \cdot \overline{B}$	1	1
$A \cdot B$	0	1

Map Layout		
$\overline{A} \cdot \overline{B}$	\overline{C}	C
$\overline{A} \cdot \overline{B}$	0	1
$\overline{A} \cdot B$	2	3
$A \cdot \overline{B}$	6	7
$A \cdot B$	4	5

Groups	
(0,1,2,3)	\overline{A}
(1,3,5,7)	C
(2,3,6,7)	B

Рис 1.4. Мінімізація OUT_3 .

$$OUT_3 = \neg IN_2 \vee IN_0 \vee IN_1;$$

Map		
$\overline{\overline{A.B}}$	\overline{C}	C
$\overline{A.B}$	0	1
$\overline{A.B}$	0	1
$A.B$	0	0
$A.\overline{B}$	0	1

Map Layout		
$\overline{\overline{A.B}}$	\overline{C}	C
$\overline{A.B}$	0	1
$\overline{A.B}$	2	3
$A.B$	6	7
$A.\overline{B}$	4	5

Groups	
(1,3)	$\overline{A.C}$
(1,5)	$\overline{B.C}$

Рис 1.5. Мінімізація OUT_4 .

$$OUT_4 = \neg IN_2 \wedge IN_0 \vee \neg IN_1 \wedge IN_0$$

Виконання роботи:

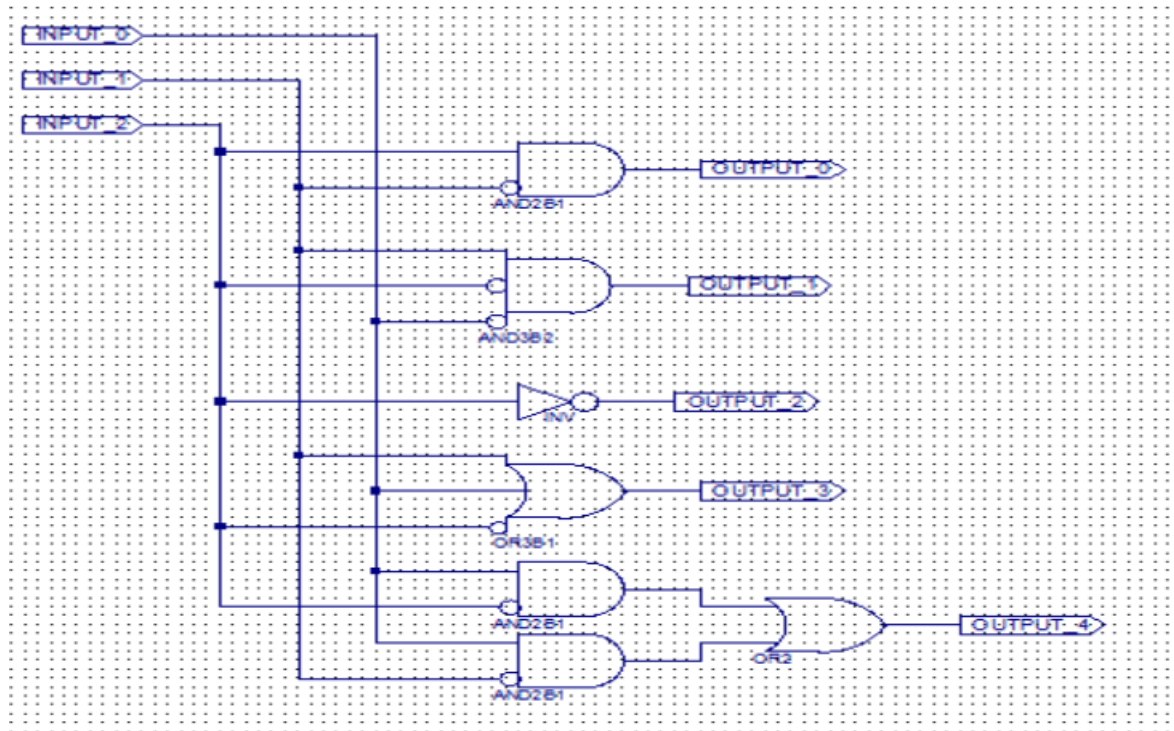


Рис 1.6. Схема.

```

1  |----- UCF for ElbertV2 Development Board -----|
2  |#|
3  |#|
4  |CONFIG VCCAUX = "3.3" ;|
5  |#|
6  |# Clock 12 MHz|
7  |#NET "Clk"| LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;|
8  |#|
9  |----- LED -----|
10 |#|
11 |-----|
12 |#|
13 |NET "OUTPUT_0" LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;|
14 |NET "OUTPUT_1" LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;|
15 |NET "OUTPUT_2" LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;|
16 |NET "OUTPUT_3" LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;|
17 |NET "OUTPUT_4" LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;|
18 |#|
19 |----- DP Switches -----|
20 |#|
21 |-----|
22 |#|
23 |NET "INPUT_0" LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;|
24 |NET "INPUT_1" LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;|
25 |NET "INPUT_2" LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;|
26 |#|

```

Рис 1.7. Файл з призначенням фізичних входів та виходів для сигналів.

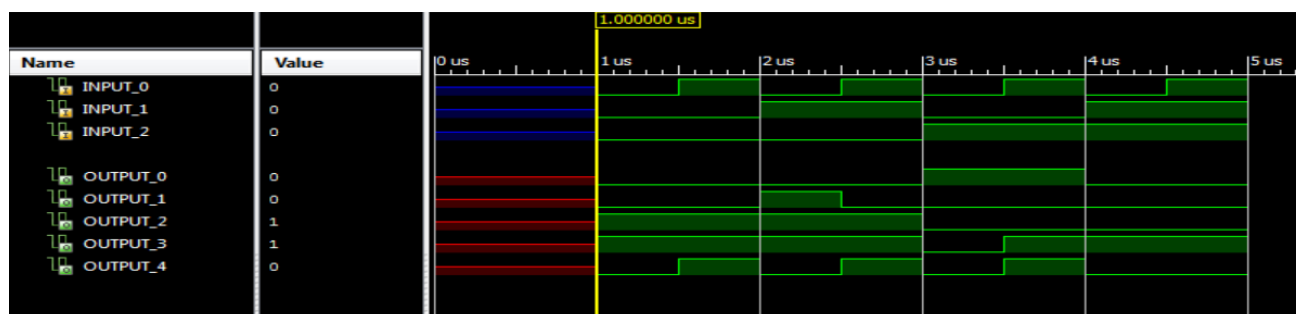
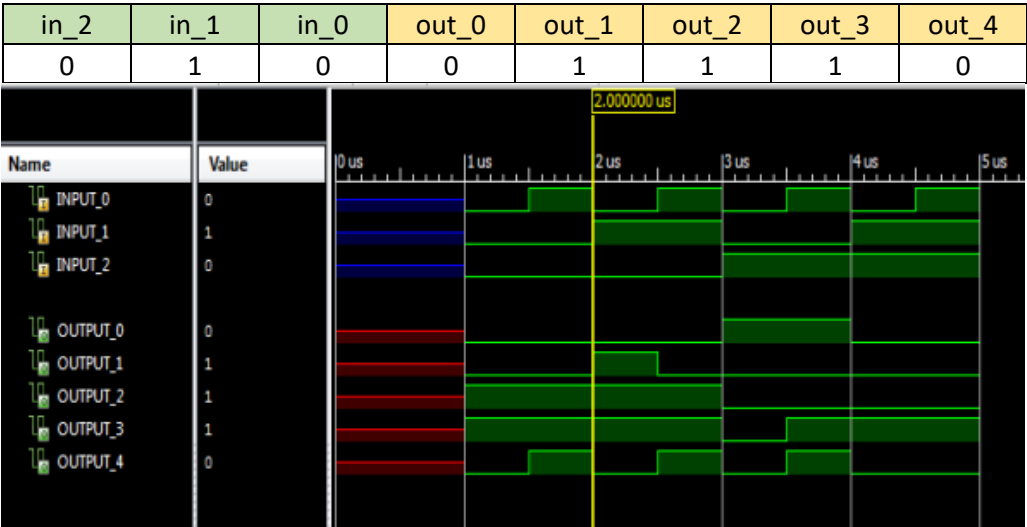
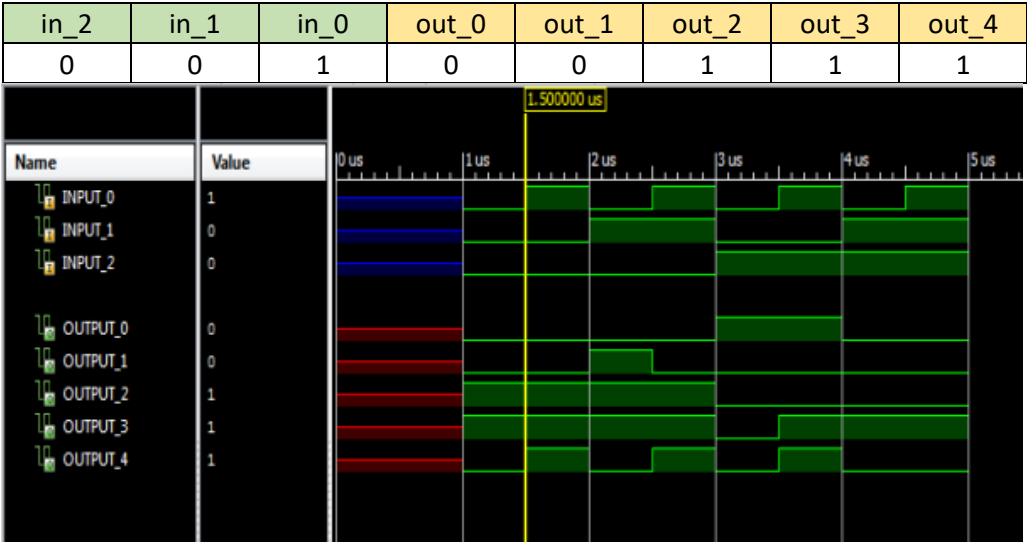
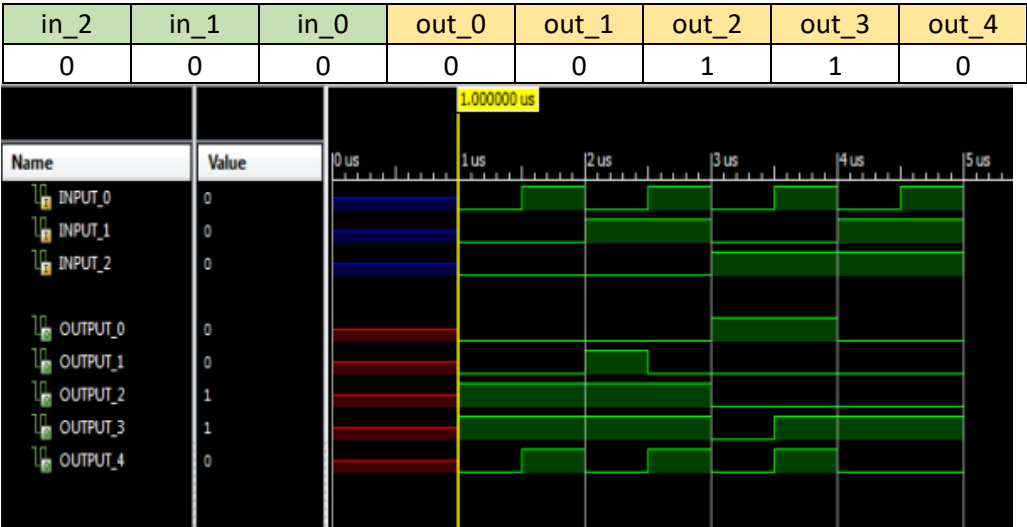
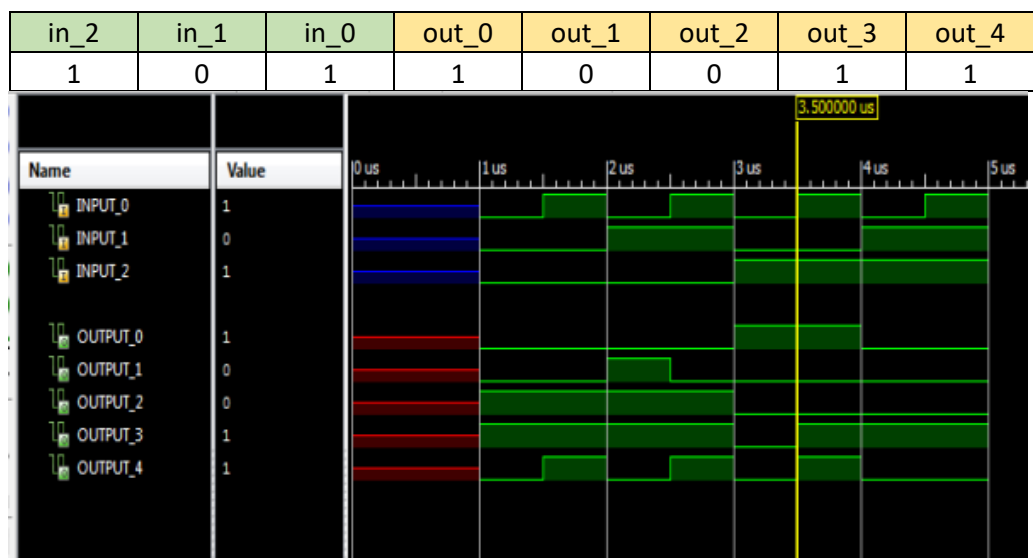
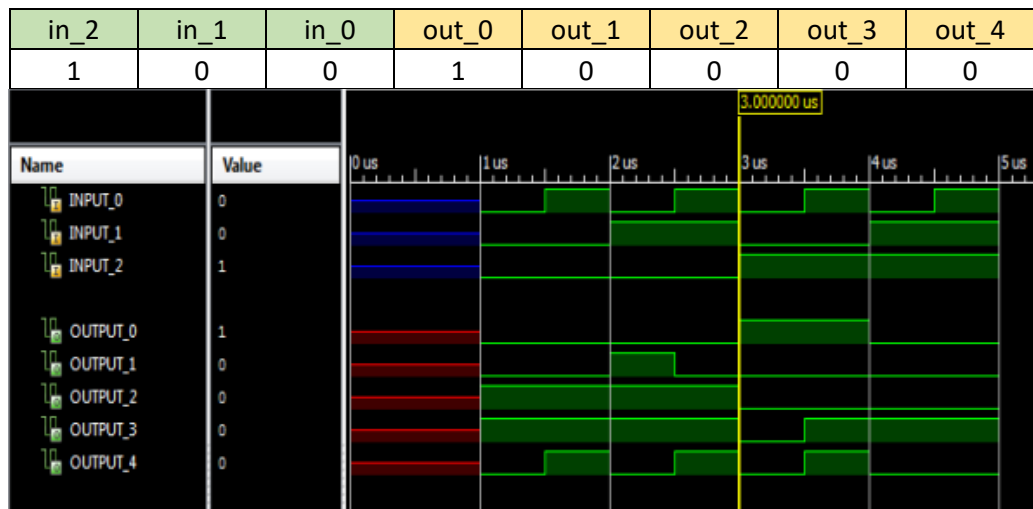
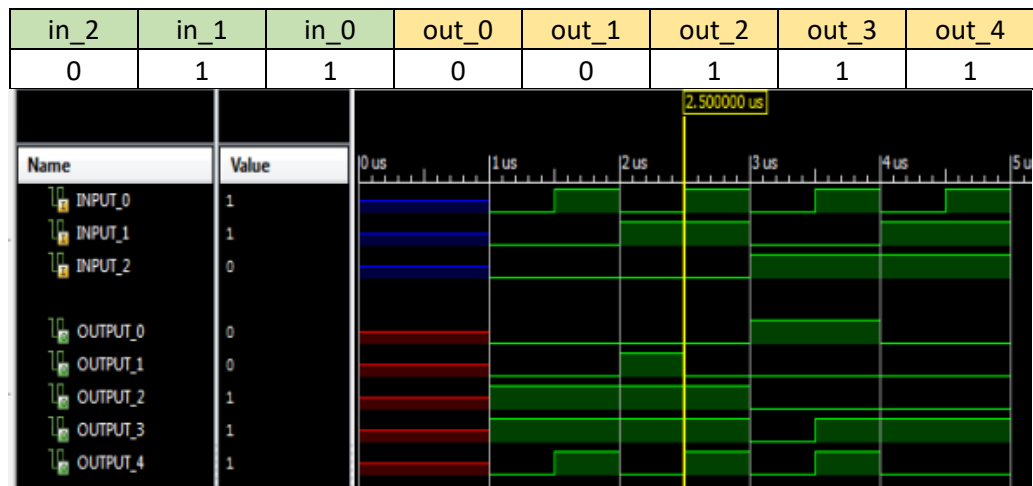


Рис 1.8. Повна симуляція роботи схеми в ISim.

Порівняння сигналів:





in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4
1	1	0	0	0	0	1	0

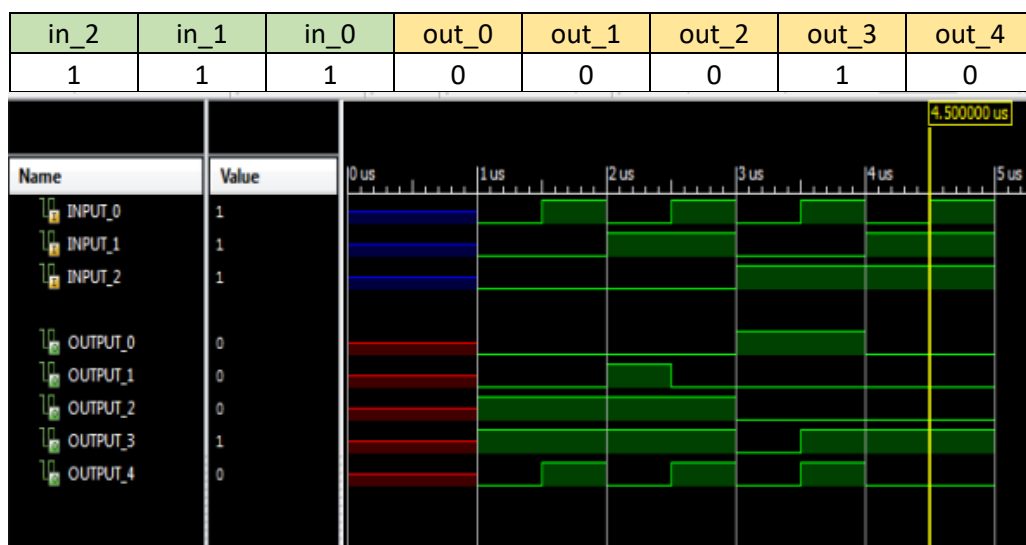
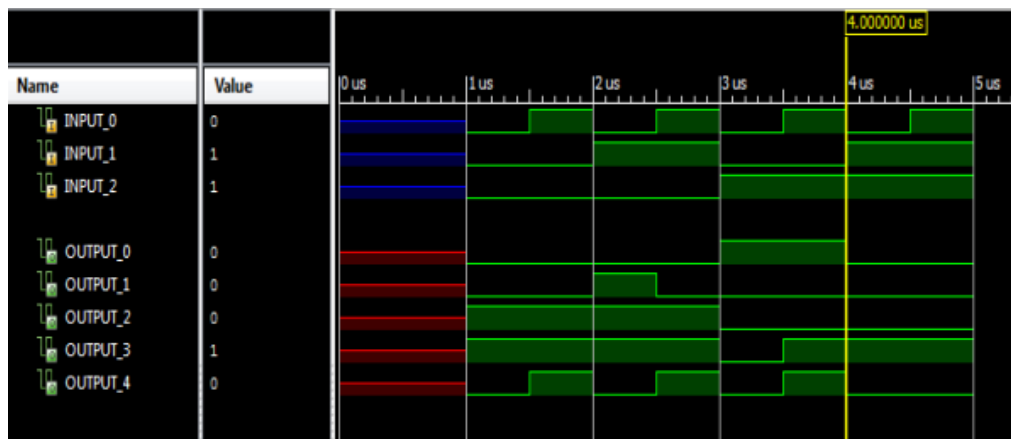


Рис 1.9.1 – 1.9.8. Порівняння сигналів з Табл.1.1 та симуляції ISim.

Висновок:

В ході виконання цієї лабораторної роботи я ознайомився з середовищем розробки Xilinx ISE. В цьому середовищі я розробив схему, згідно з таблицею істинності для мого варіанту. Я протестував усі можливі комбінації вхідних сигналів в ISim та порівняв вихідні сигнали з таблицею істинності. Також я ознайомився зі стендом Elbert V2 – Spartan 3A FPGA.