Міністерство освіти і науки України

Національний університет “Львівська політехніка”

Кафедра ЕОМ



**Звіт**

З лабораторної роботи №2

З дисципліни: «Моделювання комп’ютерних систем»

На тему: «Структурний опис цифрового автомата Перевірка роботи автомата за допомогою стенда Elbert V2 – Spartan3A FPGA»

***Варіант 6***

Виконав: ст. гр. КІ-202

Терналь Р.С.

Прийняв:

Козак Н.Б.

Львів 2024

**Мета роботи:**

На базі стенда реалізувати цифровий автомат світлових ефектів

згідно заданих вимог.

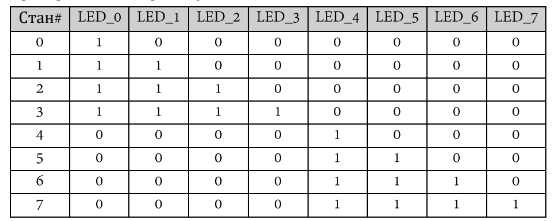
**Етапи роботи:**

1. Інтерфейс пристрою та функціонал реалізувати згідно отриманого варіанту завдання.
2. Логіку переходів реалізувати з використанням мови опису апаратних засобів.
3. Логіку формування вихідних сигналів реалізувати з використанням мови опису апаратних засобів.
4. Згенерувати символи для описів логіки переходів та логіки формування вихідних сигналів.
5. Зінтегрувати всі компоненти логіку переходів логіку формування вихідних сигналів та пам’ять станів в єдину систему. Пам’ять станів реалізувати за допомогою графічних компонентів з бібліотеки.
6. Промоделювати роботу окремих частин автомата та автомата вцілому за допомогою симулятора ISim.
7. Інтегрувати створений автомат зі стендом додати подільник частоти для вхідного тактовового сигналу призначити фізичні виводи на FPGA.
8. Згенерувати файал та перевірити роботу за допомогою стенда Elbert V2 – Spartan3A FPGA.
9. Підготувати і захистити звіт.

**Варіант виконання роботи:**

Пристрій повинен реалізувати комбінацій вихідних сигналів згідно таблиці:

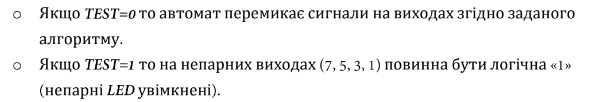
Табл.1.1 Вихідні сигнали для кожного стану..



* Пристрій повинен використовувати тактовий сигнал 12MHz від мікроконтролера і знижувати частоту за допомогою внутрішнього подільника Мікроконтролер є частиною стенда Elbert V2 – Spartan3A FPGA. Тактовий сигнал заведено на вхід LOC = P129 FPGA.
* Інтерфейс пристрою повинен мати вхід синхронного скидання (RESET).
* Інтерфейс пристрою повинен мати вхід керування режимом роботи (MODE):



* Інтерфейс пристрою повинен мати однорозрядний вхід (TEST) для подачі логічної <1> на всі непарні виходи:



* Для керування сигналом MODE використати будь який з 8 DIP перемикачів.
* Для керування сигналами RESET/TEST використати будь які з PUSH BUTTON кнопок.

**Виконання роботи:**

1. Логіку переходів реалізувати з використанням мови опису апаратних засобів.

Табл.2.2.1-2.2.3. Логіка переходів для всіх станів автомата.

1)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **MODE** | **CUR\_STATE(2)** | **CUR\_STATE(1)** | **CUR\_STATE(0)** | **NEXT\_STATE(0)** |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

2)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **MODE** | **CUR\_STATE(2)** | **CUR\_STATE(1)** | **CUR\_STATE(0)** | **NEXT\_STATE(1)** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

3)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **MODE** | **CUR\_STATE(2)** | **CUR\_STATE(1)** | **CUR\_STATE(0)** | **NEXT\_STATE(2)** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

Мінімізовані функції наступних станів автомата:

NEXT\_STATE(0) = not(CURR\_STATE(0));

NEXT\_STATE(1) = ((not(MODE) and not(CURR\_STATE(1)) and CURR\_STATE(0)) or (not(MODE) and CURR\_STATE(1) and not(CURR\_STATE(0))) or (MODE and not(CURR\_STATE(1)) and not(CURR\_STATE(0))) or (MODE and CURR\_STATE(1) and CURR\_STATE(0)));

NEXT\_STATE(2) <= ((not(MODE) and CURR\_STATE(2) and not(CURR\_STATE(1))) or (CURR\_STATE(2) and CURR\_STATE(1) and not(CURR\_STATE(0))) or (MODE and CURR\_STATE(2) and CURR\_STATE(0)) or (not(MODE) and not(CURR\_STATE(2)) and CURR\_STATE(1) and CURR\_STATE(0)) or (MODE and not(CURR\_STATE(2)) and not(CURR\_STATE(1)) and not(CURR\_STATE(0))));

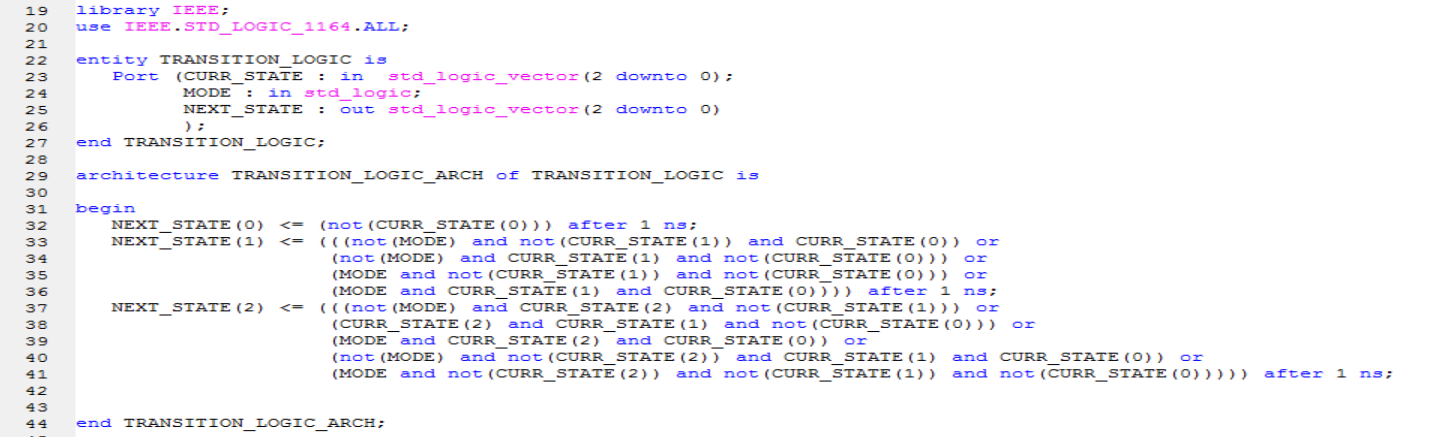


Рис.2.1. VHDL опис логіки переходів.



Рис.2.2. Граф переходів автомата між станами.

2) Логіку формування вихідних сигналів реалізувати з використанням мови опису апаратних засобів VHDL.

Логічні вирази для вихідних сигналів:

OUT\_BUS(0) <= not(IN\_BUS(2));

OUT\_BUS(1) <= ((not(IN\_BUS(2)) and IN\_BUS(0)) or (not(IN\_BUS(2)) and IN\_BUS(1))) or TEST;

OUT\_BUS(2) <= (not(IN\_BUS(2)) and IN\_BUS(1));

OUT\_BUS(3) <= (not(IN\_BUS(2)) and IN\_BUS(1) and IN\_BUS(0)) or TEST;

OUT\_BUS(4) <= IN\_BUS(2);

OUT\_BUS(5) <= ((IN\_BUS(2) and IN\_BUS(0)) or (IN\_BUS(2) and IN\_BUS(1))) or TEST;

OUT\_BUS(6) <= (IN\_BUS(2) and IN\_BUS(1));

OUT\_BUS(7) <= (IN\_BUS(2) and IN\_BUS(1) and IN\_BUS(0)) or TEST;

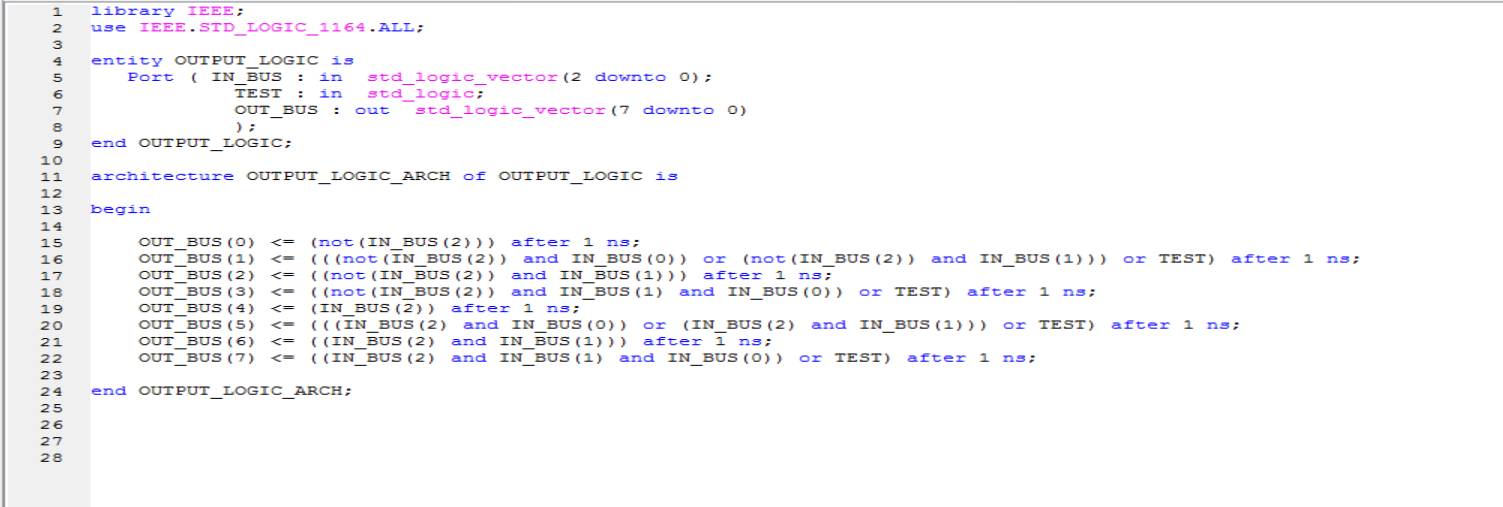


Рис.2.4. VHDL опис вихідних сигналів.

3) Згенерувати символи для описів логіки переходів та логіки формування вихідних сигналів.

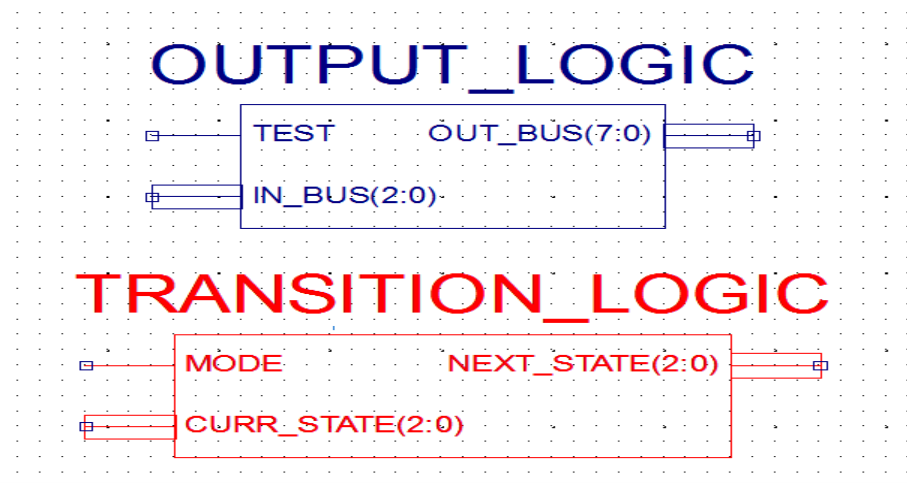


Рис.2.5. Згенеровані схематичні символи.

4) Зінтегрувати всі компоненти логіку переходів логіку формування вихідних сигналів та пам ять станів в єдину систему за допомогою ISE WebPACK Schematic Capture. Пам ять станів реалізувати за допомогою графічних компонентів з бібліотеки.

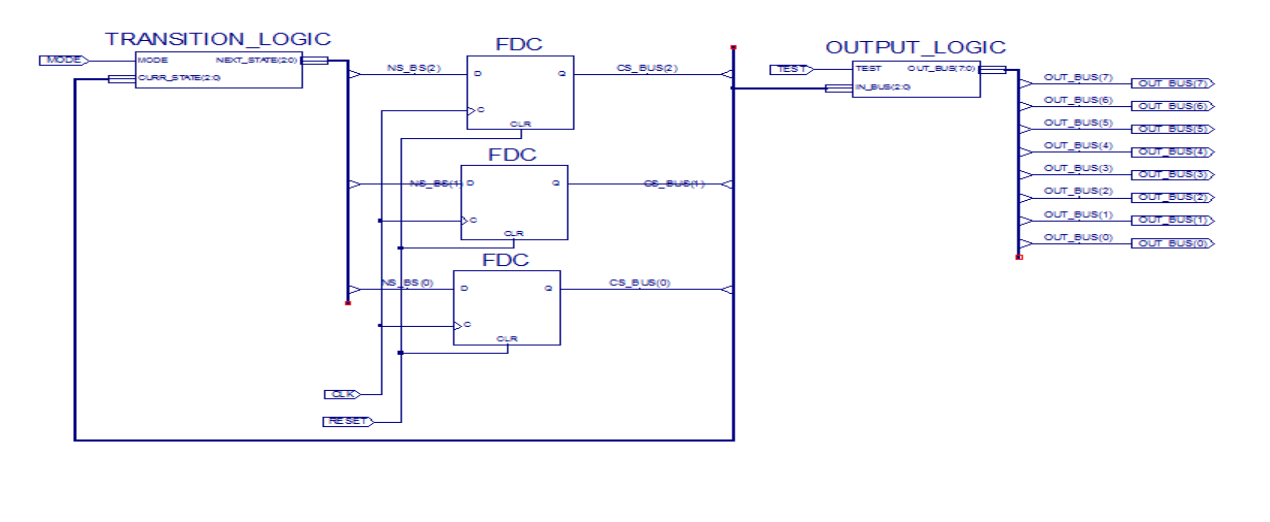


Рис.2.6. Інтеграція всіх створених компонентів разом з пам’ятю стану автомата.

5) Промоделювати роботу окремих частин автомата та автомата вцілому за допомогою симулятора ISim.



Рис.2.7. Результати симуляції логіки переходів в ISim.

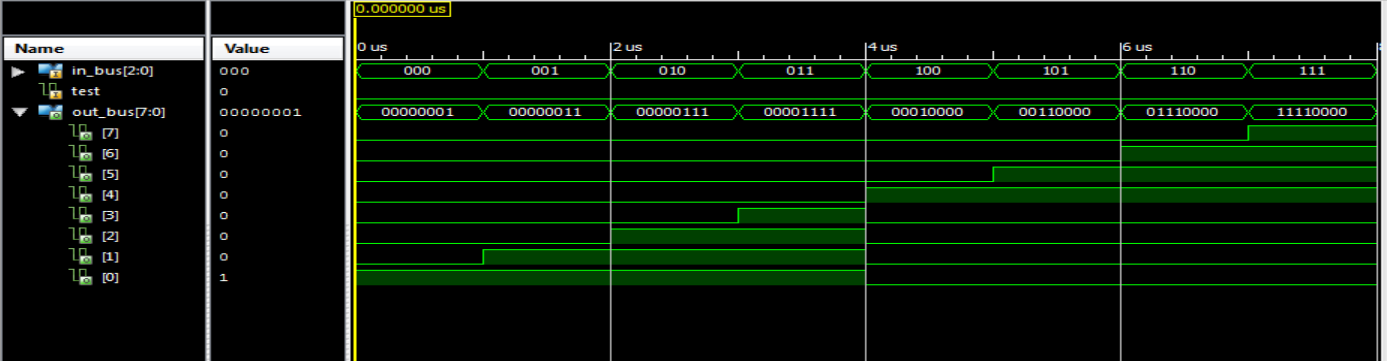


Рис.2.8.1. Результати симуляції логіки вихідних сигналів в ISim(TEST = 0).

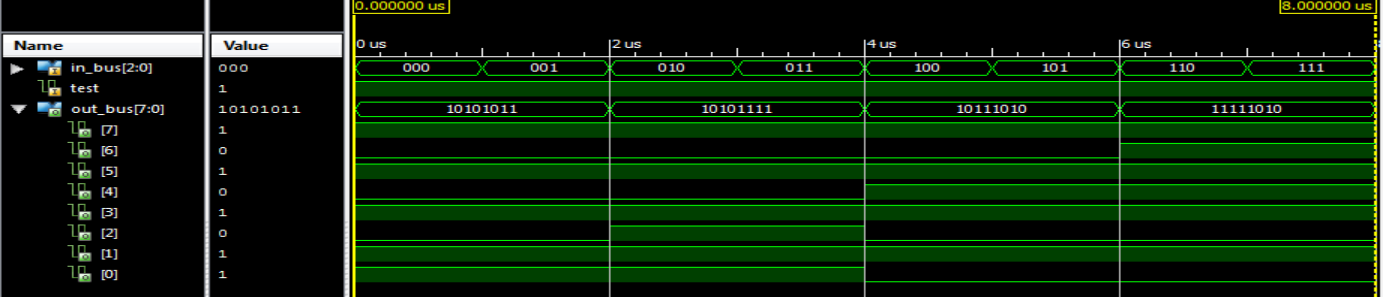


Рис.2.8.2. Результати симуляції логіки вихідних сигналів в ISim(TEST = 1).

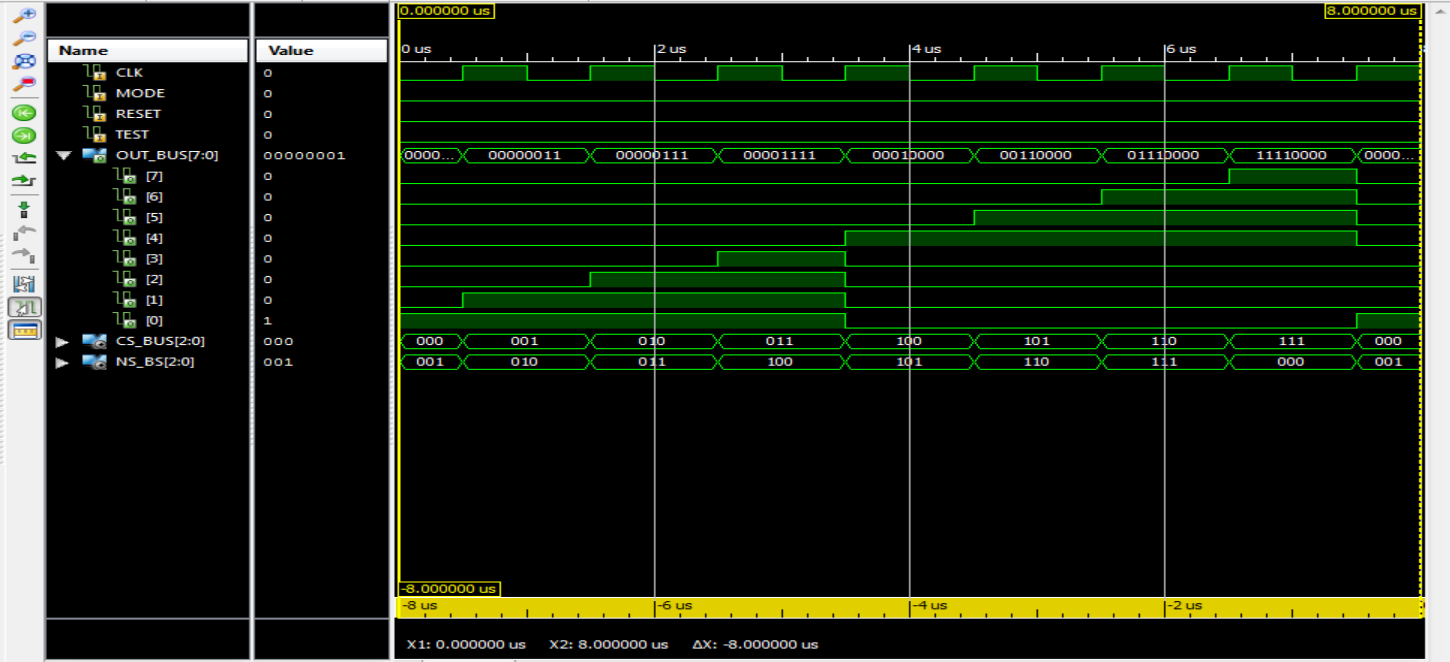


Рис.2.9. Результати симуляції автомата (MODE = 0, TEST = 0, RESET = 0).

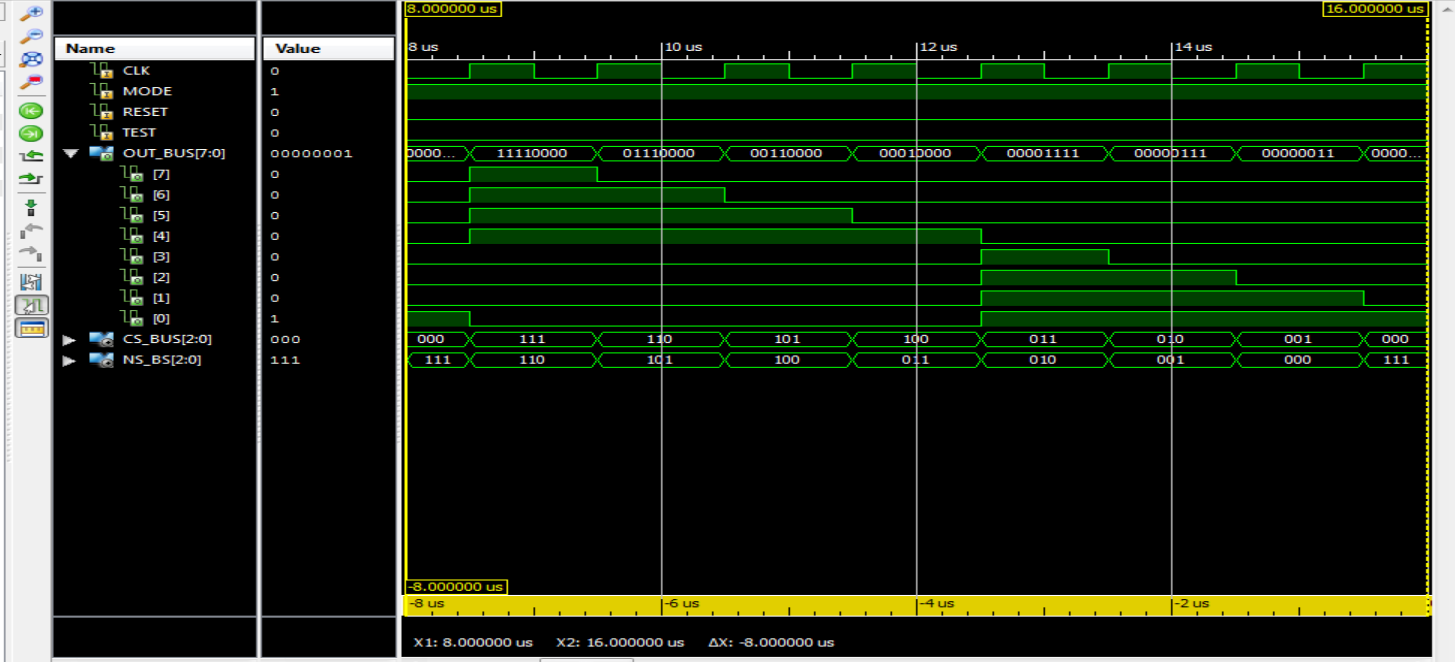


Рис.2.10. Результати симуляції автомата (MODE = 1, TEST = 0, RESET = 0).

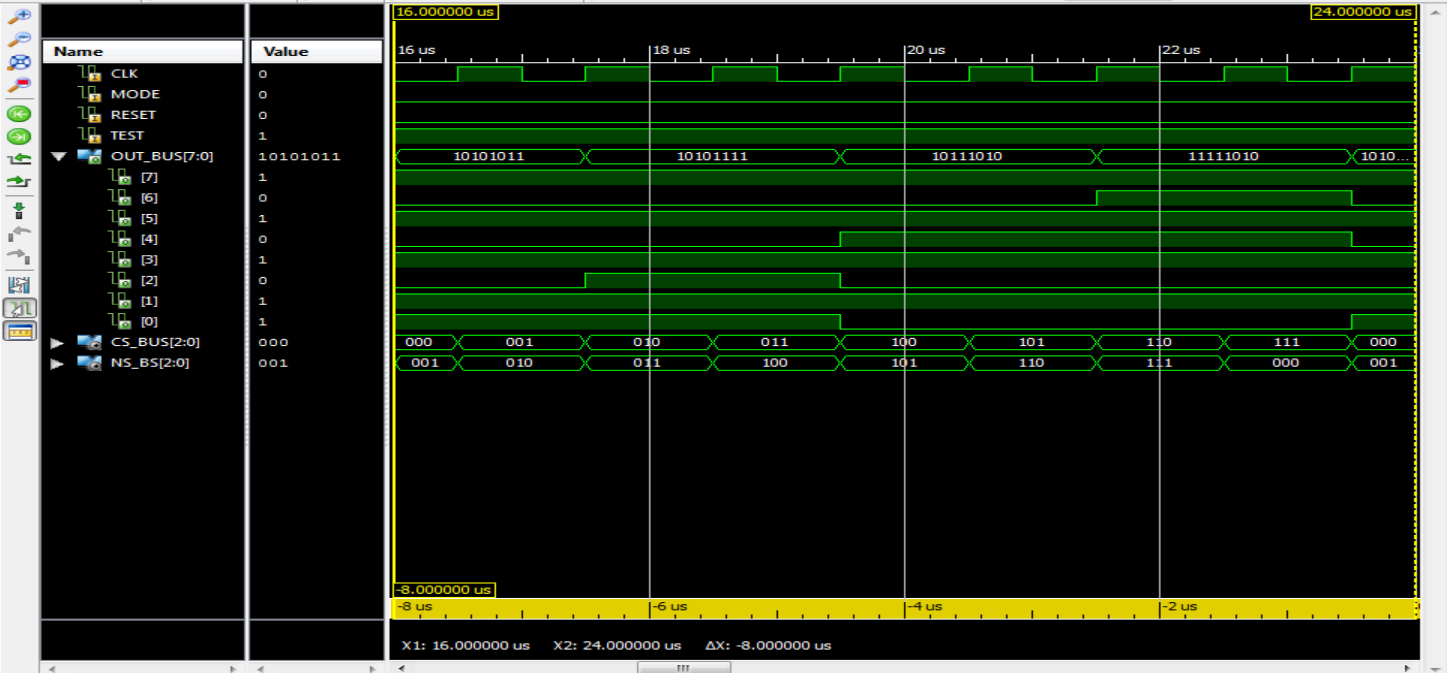


Рис.2.11. Результати симуляції автомата (MODE = 0, TEST = 1, RESET = 0).

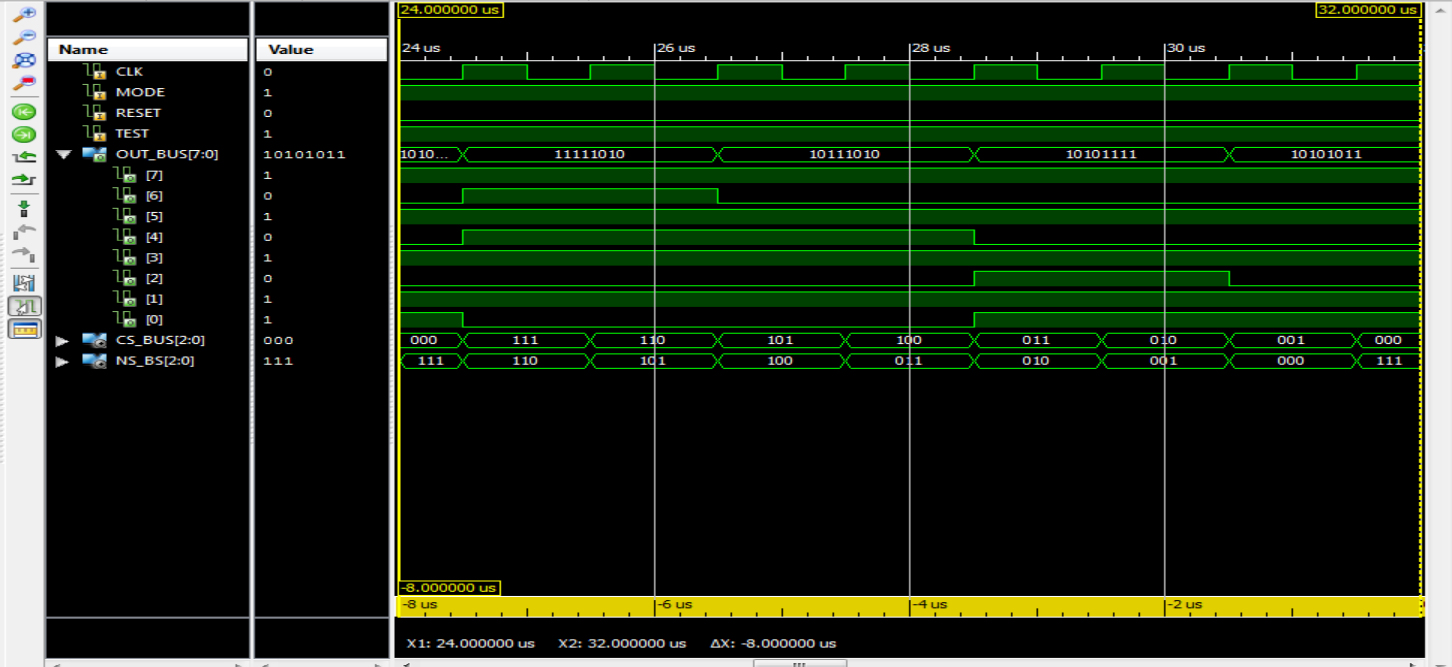


Рис.2.12. Результати симуляції автомата (MODE = 1, TEST = 1, RESET = 0).

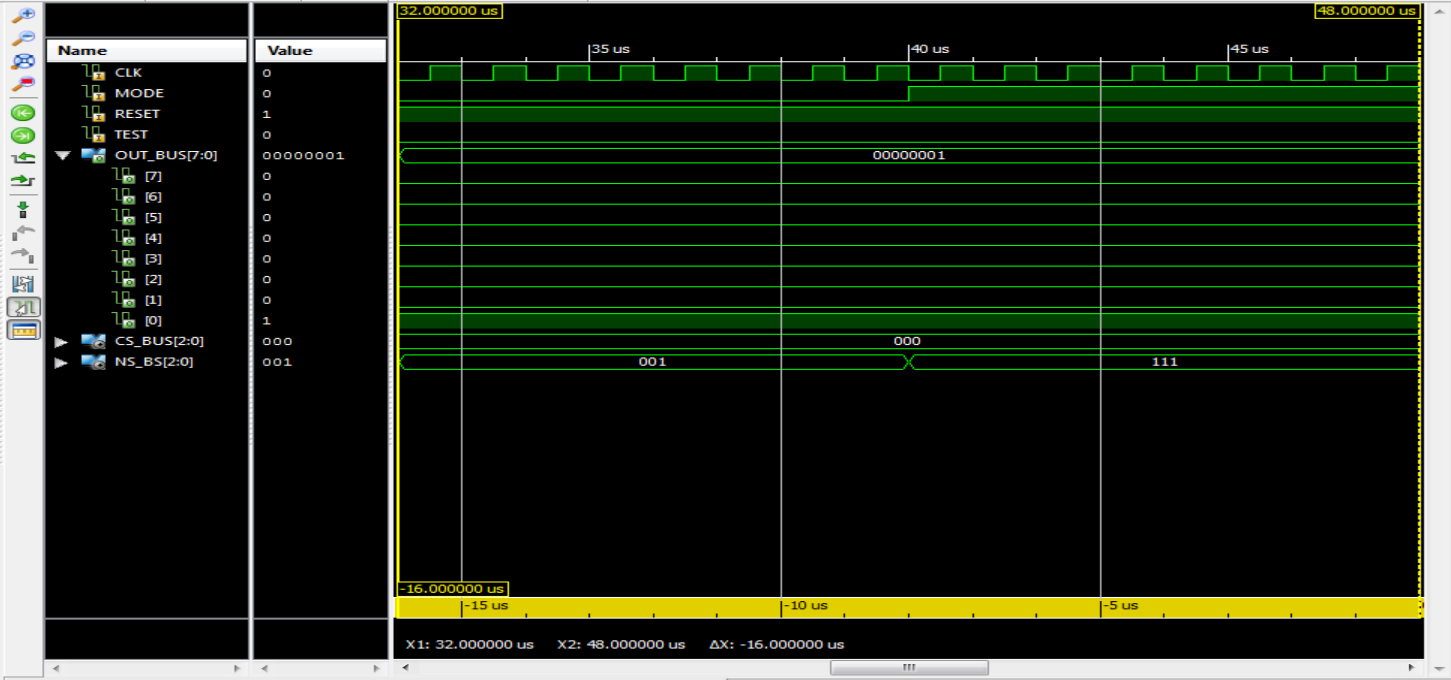


Рис.2.13. Результати симуляції автомата (MODE = 0, TEST = 0, RESET = 1).

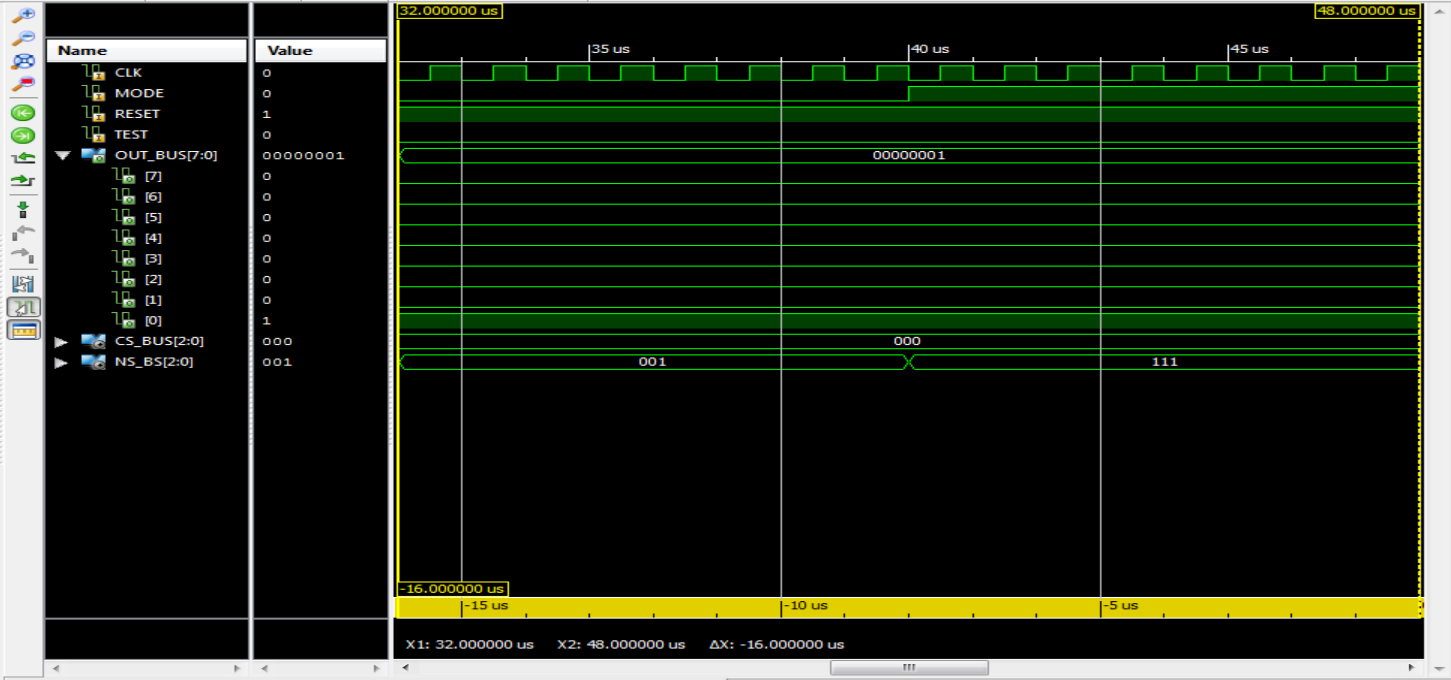


Рис.2.14. Результати симуляції автомата (MODE = 1, TEST = 0, RESET = 1).

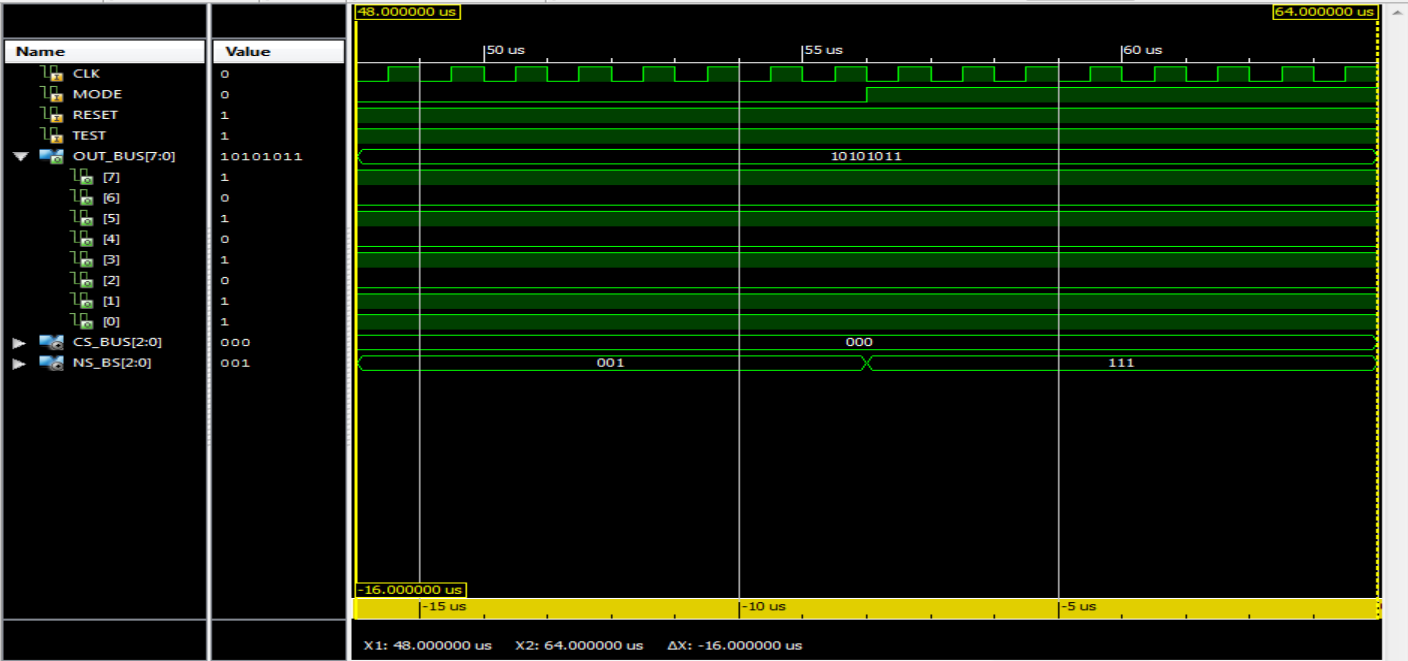


Рис.2.15. Результати симуляції автомата (MODE = 0, TEST = 1, RESET = 1).

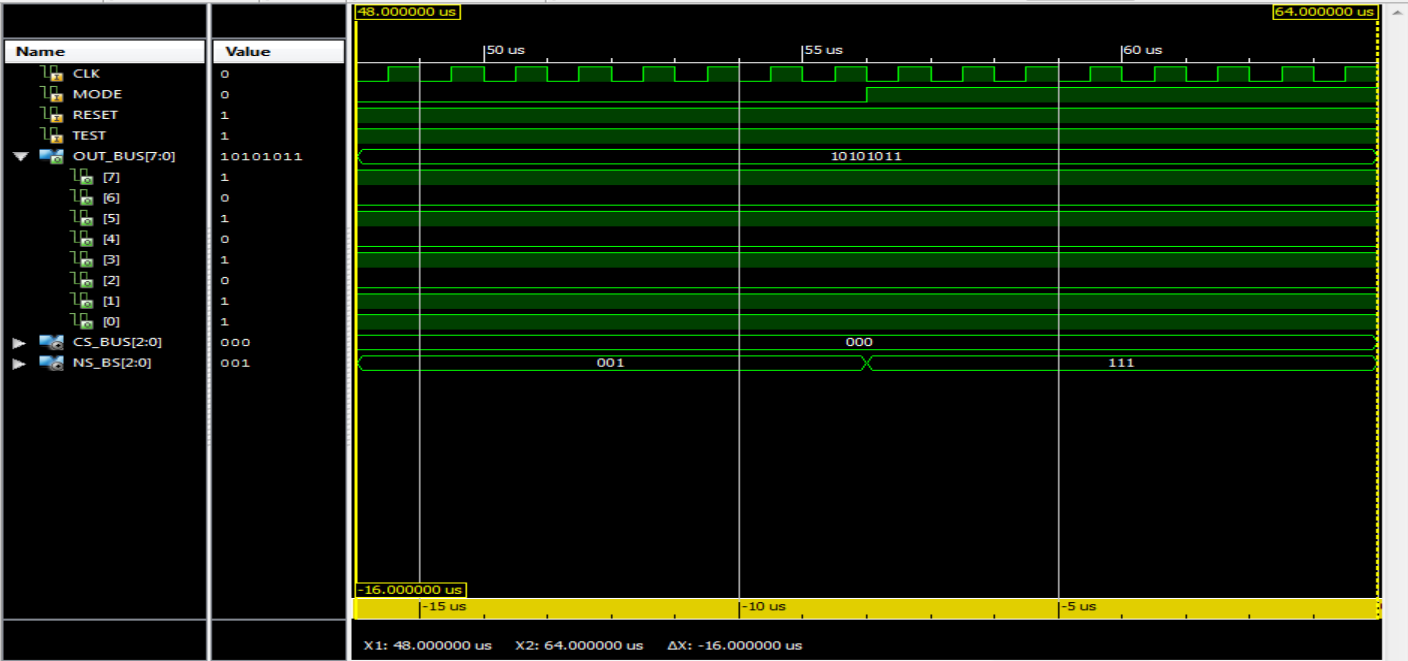


Рис.2.16. Результати симуляції автомата (MODE = 1, TEST = 1, RESET = 1).

TEST BENCH:

LIBRARY ieee;

USE ieee.std\_logic\_1164.ALL;

USE ieee.numeric\_std.ALL;

LIBRARY UNISIM;

USE UNISIM.Vcomponents.ALL;

ENTITY TOP\_SCHEME\_TOP\_SCHEME\_sch\_tb IS

END TOP\_SCHEME\_TOP\_SCHEME\_sch\_tb;

ARCHITECTURE behavioral OF TOP\_SCHEME\_TOP\_SCHEME\_sch\_tb IS

COMPONENT TOP\_SCHEME

PORT( CLOCK : IN STD\_LOGIC;

RESET : IN STD\_LOGIC;

OUTPUT : OUT STD\_LOGIC\_VECTOR (7 DOWNTO 0);

MODE : IN STD\_LOGIC;

TEST : IN STD\_LOGIC);

END COMPONENT;

SIGNAL CLOCK : STD\_LOGIC := '0';

SIGNAL RESET : STD\_LOGIC;

SIGNAL OUTPUT : STD\_LOGIC\_VECTOR (7 DOWNTO 0);

SIGNAL MODE : STD\_LOGIC;

SIGNAL TEST : STD\_LOGIC;

BEGIN

CLOCK <= not CLOCK after 83ns;

UUT: TOP\_SCHEME PORT MAP(

CLOCK => CLOCK,

RESET => RESET,

OUTPUT => OUTPUT,

MODE => MODE,

TEST => TEST

);

-- \*\*\* Test Bench - User Defined Section \*\*\*

tb : PROCESS

BEGIN

MODE <= '1';

TEST <= '1';

RESET <= '1', '0' after 200 ms;

wait until RESET = '0';

assert OUTPUT = "10101011";

wait for 175064us;

assert OUTPUT = "11111010";

wait for 349525us;

assert OUTPUT = "11111010";

wait for 349525us;

assert OUTPUT = "10111010";

wait for 349525us;

assert OUTPUT = "10111010";

wait for 349525us;

assert OUTPUT = "10101111";

wait for 349525us;

assert OUTPUT = "10101111";

wait for 349525us;

assert OUTPUT = "10101011";

wait for 349525us;

MODE <= '0';

assert OUTPUT = "10101011";

wait for 349525us;

assert OUTPUT = "10101011";

wait for 349525us;

assert OUTPUT = "10101111";

wait for 349525us;

assert OUTPUT = "10101111";

wait for 349525us;

assert OUTPUT = "10111010";

wait for 349525us;

assert OUTPUT = "10111010";

wait for 349525us;

assert OUTPUT = "11111010";

wait for 349525us;

assert OUTPUT = "11111010";

wait for 348525us;

MODE <= '1';

TEST <= '0';

wait for 21ms;

assert OUTPUT = "00000001";

wait for 348525us;

assert OUTPUT = "11110000";

wait for 348525us;

assert OUTPUT = "01110000";

wait for 348525us;

assert OUTPUT = "00110000";

wait for 348525us;

assert OUTPUT = "00010000";

wait for 348525us;

assert OUTPUT = "00001111";

wait for 348525us;

assert OUTPUT = "00000111";

wait for 348525us;

assert OUTPUT = "00000011";

wait for 348525us;

MODE <= '0';

assert OUTPUT = "00000001";

wait for 348525us;

assert OUTPUT = "00000011";

wait for 348525us;

assert OUTPUT = "00000111";

wait for 348525us;

assert OUTPUT = "00001111";

wait for 348525us;

assert OUTPUT = "00010000";

wait for 348525us;

assert OUTPUT = "00110000";

wait for 348525us;

assert OUTPUT = "01110000";

wait for 348525us;

assert OUTPUT = "11110000";

wait for 348525us;

END PROCESS;

-- \*\*\* End Test Bench - User Defined Section \*\*\*

END;

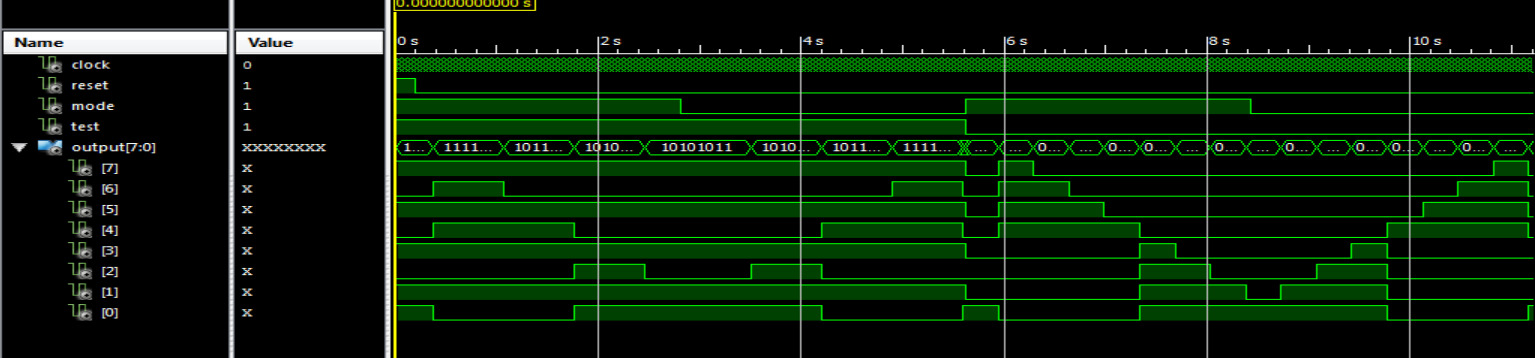


Рис.2.25. Автомат світлових сигналів та подільник тактового сигналу.

6) Інтегрувати створений автомат зі стендом Elbert V2 – Spartan3A FPGA. Додати подільник частоти для вхідного тактовового сигналу призначити фізичні виводи на FPGA.

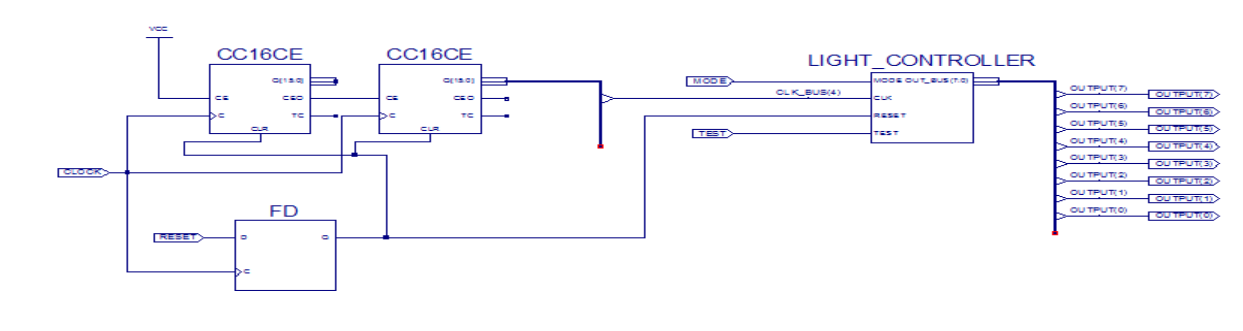


Рис.2.25. Автомат світлових сигналів та подільник тактового сигналу.

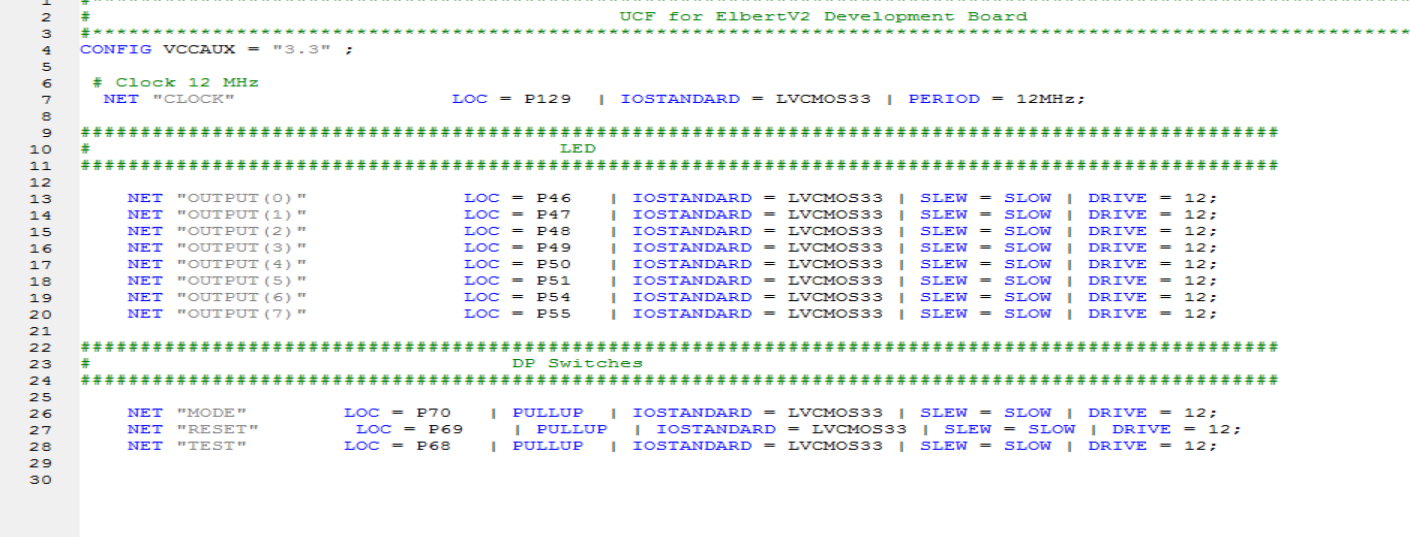


Рис.2.26. Призначення фізичних входів та виходів.

**Висновок:**

У процесі роботи над лабораторною роботою, я створив цифровий пристрій для світлових ефектів, використовуючи платформу Elbert V2 – Spartan3A FPGA, відповідно до зазначених критеріїв.