

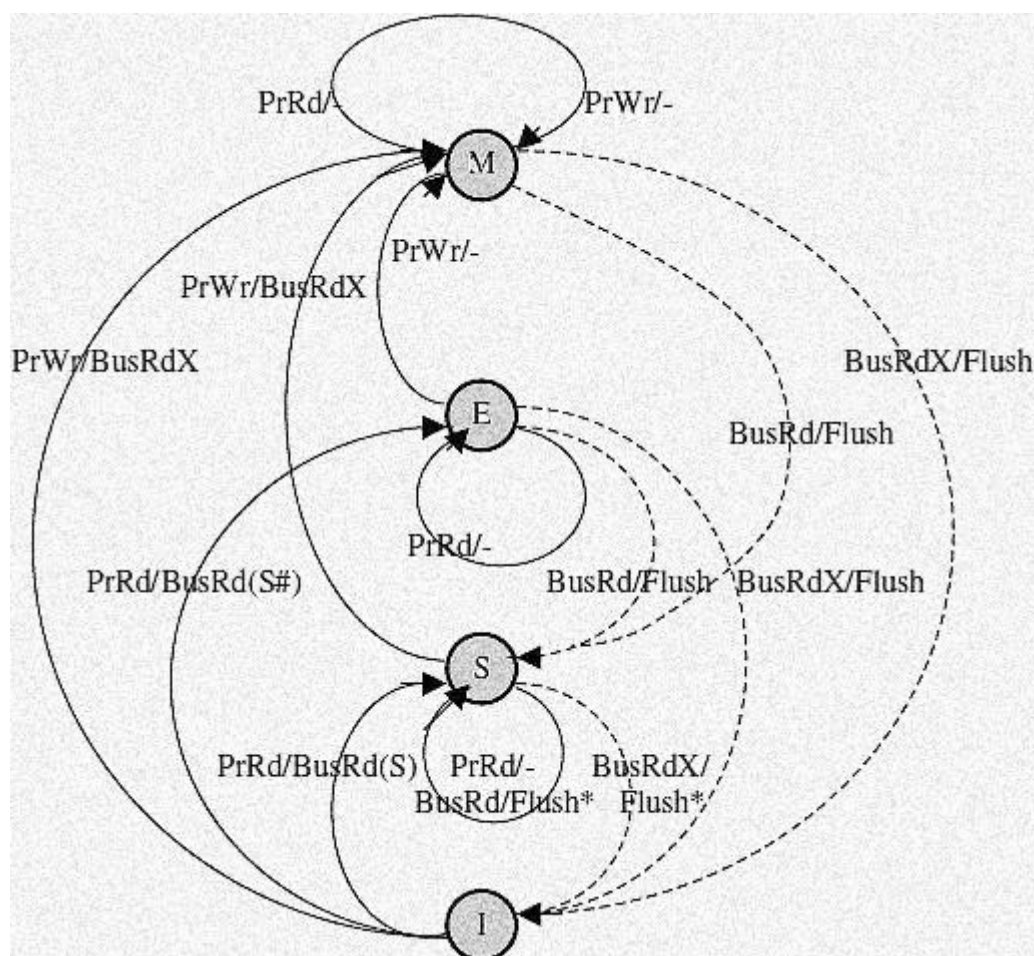
Laborator 8

Simularea protocolului MESI

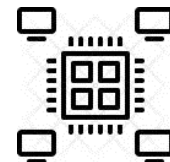
Protocolul MESI este utilizat pentru păstrarea coerenței memoriilor cache într-un sistem multiprocesor și are 4 stări:

- **M** – modificat;
- **E** – exclusiv;
- **S** – partajat (shared);
- **I** – invalid.

Protocolul MESI cu invalidare pentru memorie cache de tipul *write-back* este reprezentat în figura de mai jos:



Figură 1 Protocol MESI



În figura de mai sus, simbolul **S** semnifică faptul că blocul respectiv exista, la cel puțin o altă memorie cache, în starea E sau S, iar **S#** este folosit pentru a specifica faptul că blocul nu exista în nicio memorie cache.

Protocolul MESI forțează, ori de câte ori este posibil, la o operație **BusRd** sau **BusRdX** ca memoriile cache să furnizeze datele. Astfel, este selectat un singur procesor în starea S, restul fiind inactive și reprezentate în figură prin **Flush***.

Temă: Să se scrie un program care să simuleze protocolul MESI pentru un număr de procesoare dat. Programul primește ca date de intrare o secvență de operații de citire și scriere și determină stările succesive ale blocului la nivelul fiecărei memorii cache.

Obs: Operațiile efectuate de procesoare se referă la un același bloc de memorie cache.

Ex: Dacă avem un număr de trei procesoare și următoarea secvență de operații: *P1Rd, P2Rd, P3Rd, P1Rd, P1Wr, P1Rd, P2Wr, P3Rd*, atunci se va afișa un rezultat conform tabelului de mai jos:

t	Acțiune procesor	Stare P1	Stare P2	Stare P3	Acțiune magistrală	Sursă date
t0	inițial	I	I	I	-	-
t1	P1Rd	E	I	I	BusRd	Mem
t2	P2Rd	S	S	I	Flush	Cache1
t3	P3Rd	S	S	S	Flush*	Cache1
t4	P1Rd	S	S	S	-	-
t5	P1Wr	M	I	I	BusRdX	Flush* (1)
t6	P1Rd	M	I	I	-	-
t7	P2Wr	I	M	I	BusRdX	Flush (1)
t8	P3Rd	I	S	S	BusRd	Cache2

În tabelul de mai sus, (1) reprezintă date ignorate și s-a considerat că inițial nu există copii ale blocului în nicio memorie cache.