

TFE4102 Krets og digitalteknologi

Rapport

# **Lab 4**

## **Absoluttverdi 4-bit**

av

Jon Ryfetten

Johannes Tomren Røsvik

Labgruppe 15

Lab utført: 15. mars 2017

Lab levert: 4. april 2017

.

**Absoluttverdi 4-bit**

## Sammendrag

Rapporten beskriver design og oppkobling av en 4-bit absoluttverdi krets. Kretsen er basert på XOR og AND porter. Formålet med kretsen var å kunne ta inn 4-bit i parallel. Tallet utgjorde et 4-bit binært tall på toerkomplement form. Kretsen skulle finne ut om dette var negativt og om det var skulle den konvertere det negative tallet til et positivt tall på toerkomplement form.

Den første delen av rapporten omhandler teorien bak designet av absoluttverdikretsen. Den påfølgende delen omhandler hvordan vi utførte den praktiske delen som å koblet opp kretsen labben. Deretter diskuter vi resultatene og gir en konklusjon.

Rapporten er basert på hva som ble gjort i lab 4 den 15. mars 2017 og forarbeidet før labben.

# Innhold

<b>1</b>	<b>Innledning</b>	<b>1</b>
<b>2</b>	<b>Teori</b>	<b>1</b>
2.1	Absoluttverdi . . . . .	1
2.2	Invertering av bits . . . . .	1
2.3	Ripple Carry . . . . .	1
2.4	Absoluttverdikretsen . . . . .	2
2.5	Tidsforsinkelse . . . . .	2
2.6	Stige-/falltid . . . . .	2
2.7	Kretskort . . . . .	2
<b>3</b>	<b>Målemetode og arbeidsbeskrivelse</b>	<b>2</b>
3.1	Forarbeid . . . . .	2
3.1.1	Design av kretser . . . . .	2
3.1.2	Utganger . . . . .	4
3.2	Labratoriearbeid . . . . .	4
3.2.1	Oppsett av Oscilloskopet og justering av probe . . . . .	5
3.2.2	Forplantlingsforsinkelse . . . . .	6
3.2.3	Stige-/falltid . . . . .	7
<b>4</b>	<b>Utsyrsliste</b>	<b>7</b>
<b>5</b>	<b>Resultater</b>	<b>8</b>
<b>6</b>	<b>Diskusjon</b>	<b>8</b>
<b>7</b>	<b>Konklusjon</b>	<b>8</b>
<b>8</b>	<b>Vedlegg</b>	<b>9</b>
8.1	Vedlegg 1: Ferdig oppkoblet kretskort . . . . .	9
<b>9</b>	<b>Litteraturreferanser</b>	<b>9</b>

# Figurer

1	KRETS-1 . . . . .	3
2	KRETS-2 . . . . .	3
3	KRETS-12 . . . . .	4
4	Innstillinger for probe på oscilloskop. . . . .	6
5	Skjermdump av målingene med varierende frekvens . . . . .	6
6	Ferdig oppkoblet kretskort på brett . . . . .	9

# Tabeller

1	XOR-sannhetstabell . . . . .	1
2	Sannhetstabell for KRETS-2 . . . . .	3
3	Absoluttverdi . . . . .	5
4	Resultater . . . . .	8

# 1 Innledning

I løpet av laboratorieøvingen er målet å lære hvordan absoluttverdikretser kan bygges opp. Man skal også kunne få en forståelse for digitalteknikk med fysiske portkretser. I slutten av laboratorieøvingen ser man også på stige-/falltid og forplatiningsforsinkelse.

Øvingen er delt inn i to deler, hvor den første omhandler forarbeid og den neste arbeid utført i laben. I all hovedsak handler mye av forarbeidet på å forstå og designe 4-bit absoluttverdi kretsen. Den praktiske delen er mer bløtt.

## 2 Teori

### 2.1 Absoluttverdi

Uavhengig av tallsystem, så handler absoluttverdi om å omforme et tall slik at det alltid er positivt. Når det kommer til binære tall, så har man forskjellige type representasjoner. De mest vanlige er magnitude med og uten fortegn samt toerkomplement. Det er først når man kommer til toerkomplement at det blir en utfordring å ta absoluttverdi.

For å ta absoluttverdien av et negativt tall på toerkomplement form må man invertere alle bitene i tallet og deretter legge til en'. Man må også ta hensyn til at positive tall ikke skal gjøres noe med. Man kan finne ut om et tall på toerkomplement form er negativt ved å lese den mest signifikante bitsen. Om det er null impliserer dette at tallet er positivt.

### 2.2 Invertering av bits

For å invertere bitsene kan man bruke en krets bygget opp av XOR-porter. Hver port tar inn hver sin bit samt den mest signifikante bit. Av sannhetstabellen (Tabell 1) kan vi se at XOR-porten vil invertere A når B er høy, ellers vil utgangen være lik A.

Tabell 1: XOR-sannhetstabell

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

### 2.3 Ripple Carry

For å kunne legge til en' i et binært tall kan man bruke en «Ripple Carry»-adderer. Adderen har som formål å kunne addere to binære tall. Denne baser seg på at man har en blokk for hver bit. Hver av blokkene legger sammen tre bit. En carry, samt et tall med lik indeks fra hver av input tallene. «Carry»-biten kommer fra sist blokk. Blokken vil deretter gi ut summen av de tre bitene og en eventuell «carry».

Siden vi i denne sammenhengen bare er ute etter å legge til en' (0001), kan vi simplificere blokkene med å fjerne en inngang. Man legger til en' ved at «carry» i den første blokken blir en'. De nye blokkene kaller man halvadder.

## 2.4 Absoluttverdikretsen

Ved å koble inverteringskretsen sammen med den forenklete «Ripple Carry»-adderen oppnår man en absoluttverdikrets.

## 2.5 Tidsforsinkelse

Fra inngangssignalet endrer seg til utgangssignalet endrer seg tar det noe tid. For å finne ut hvor lang tid dette tar kan man bruke kritisk sti. Den definerer den lengste veien et signal må forplante seg gjennom kretsen.

## 2.6 Stige-/falltid

Tiden det tar for en utgang å stige fra 10% til 90% kaller man stigetid. Falltid er tiden utgangen bruker på å gå fra 90% til 10%.

## 2.7 Kretskort

I labben fikk vi utdelt et kretskort som var ferdigloddet. Følgende informasjon ble oppgitt i laboratorieheftet [1];

- To syvsegment display med driverkretser;
- To lysdioder med drivertransistorer
- Logikk i form av diskrete IC-er
- En spenningsregulator
- Koblingspinner som kan kobles sammen ved å bryke stiftlistene med kortslutningsbøyler

Totalt består kretskortet av 32 tilkoblinger.

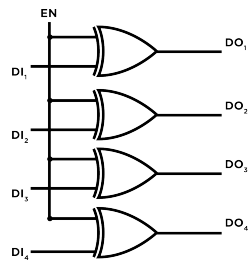
# 3 Målemetode og arbeidsbeskrivelse

## 3.1 Forarbeid

### 3.1.1 Design av kretser

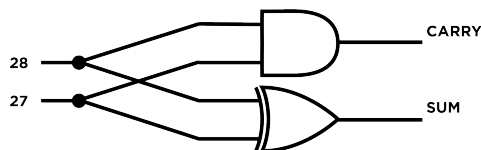
For å kunne utføre laboratoriearbeidet måtte vi gjøre en del forberedelser. Dette inkluderte å sette oss inn i teorien bak prosjektet, lage modeller av forskjellige kretser og gjøre nødvendige utregninger. Teorien vi leste til forberedelse var hovedsaklig fra laboratorieheftet [1], og er beskrevet i kapittel 2.

For å lage en krets som tar absoluttverdien av 4-bit binært tall, delte vi kretsen opp i tre deler og tegnet kretstegning til hver av modulene.



Figur 1: KRETS-1

KRETS-1 (Figur 1) tar inn 4 bit fra inputportene  $DI[1-4]$  og inverterer de hvis enable porten,  $EN$ , er aktivert, ellers gjøres det ingen endringer slik at utportene  $DO[1-4]$  er lik inputportene. Se tabell 1. Kresten består av fire XOR komponenter.

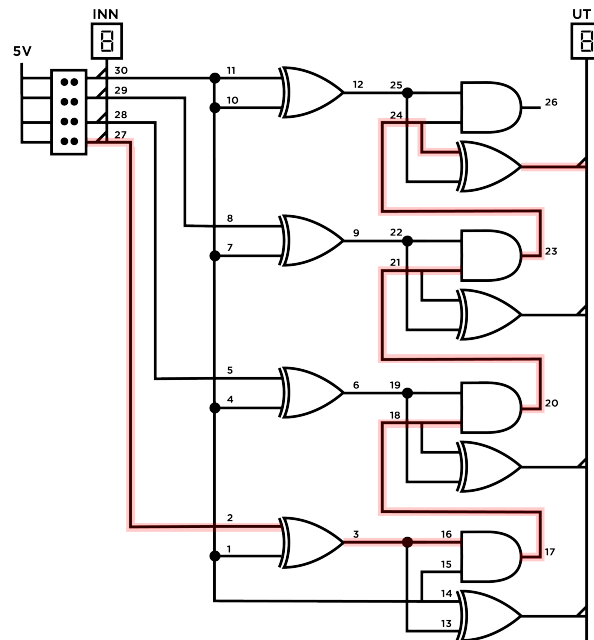


Figur 2: KRETS-2

Tabell 2: Sannhetstabell for KRETS-2

A	B	S	C
0	0	0	0
0	1	1	0
1	0	0	1
1	1	1	0

KRETS-2 (Figur 2) er en halvadderkrets med to innganger. Dette vil si at den Den tar inn to bit og returnerer to verdier,  $SUM$  og  $CARRY$ . Tabell 2 er en sannhetstabell som beskriver funksjonaliteten til en halvadder.



Figur 3: KRETS-12

KRETS-12 (Figur 3) er en kombinasjon av KRETS-1 og KRETS-2, og representerer en ferdig 4-bit absoluttverdikrets. Veien markert i rødt er kritisk sti, som vi vil få bruk for senere.

### 3.1.2 Utregninger

For å kunne sjekke resultatene på lab lager vi en oversikt over 4-bits konvertering til absoluttverdi. Vi noterer derfor ned alle verdier fra -8 til 7 og deres absoluttverdier. Vi skriver verdiene på hexadesimal og desimal form for å gjøre det enkelt å sjekke resultatene på lab.

Vi vil også finne ut hvor lang tid det maksimalt kan ta fra vi sender input til kretsen vår, til vi får output ut av kretsen. Dette er forplantningsforsinkelsen for kritisk sti i kretsen. Kritisk sti er markert i rødt i figur 3. Vi kan her se at kritisk sti går gjennom to XOR porter og tre AND porter. Av databladene vedlegg G.3 og G.4 i Labriatoreheftet [2] har vi at en XOR-port har 140ns forsinkelse og en AND-port har 125ns. Altså har vi at forplantningsforsinkelsen  $T_{max}$  er:

$$T_{max} = 2 * 140ns + 3 * 125ns = 655ns \quad (1)$$

## 3.2 Labratoriearbeid

Vi starter labarbeidet med å koble kortet slik at det fungerer som i KRETS-2. Vi kobler støy til port 31 og jording til 32. Så kobler sammen portene:

- 26 og 14
- 26 og 15
- 27 og 13
- 27 og 16



Tabell 3: Absoluttverdi

Desimal	Heksadesimal	Desimal	Binær (abs)	Heksadesimal (abs)
7	0111	0x7	0111	0x7
6	0110	0x6	0110	0x6
5	0101	0x5	0101	0x5
4	0100	0x4	0100	0x4
3	0011	0x3	0011	0x3
2	0010	0x2	0010	0x2
1	0001	0x1	0001	0x1
0	0000	0x0	0000	0x0
-1	1111	0xF	0001	0x1
-2	1110	0xE	0010	0x2
-3	1101	0xD	0011	0x3
-4	1100	0xC	0100	0x4
-5	1011	0xB	0101	0x5
-6	1010	0xA	0110	0x6
-7	1001	0x9	0111	0x7
-8	1000	0x8	1000	0x8

Ved å koble av og på stiftlistparene 0 til 3 på kretskortet, kan vi teste om kretsen fungerer som forventet. Vi tester med verdiene fra tabell 2. Vi kontrollerer at inputverdien stemmer overens med tabellen ved å se til at 7-segmentsdisplayet viser riktig input og at LED-lampene SUM og CARRY lyser opp i henhold til S og C i Tabell 2.

Når dette er gjort, kan vi koble sammen 4-bit absoluttverdikretsen og teste hele funksjonaliteten. Strøm og jording kobles som før, og de andre portene som skal kobles sammen er:

- 1, 4, 7, 10, 11, 13, 15 og 30
- 29 og 8
- 28 og 5
- 27 og 2
- 3, 14 og 16
- 6 og 19
- 9 og 22
- 12 og 25
- 17 og 18
- 20 og 21
- 23 og 24

Bilde av ferdig oppkoblet brett er lagt ved som Vedlegg 1 (Figur 6).

Vi kobler om de fire stiftlistparene for å sjekke om de korresponderer med Tabell 3. Nå følger vi med på de to 7-segmentsdisplayene INN og UT for å se input og output. Etter at vi har testet alle verdiene og er overbevist om at kretsen fungerer, kan vi gå videre.

### 3.2.1 Oppsett av Oscilloskopet og justering av probe

Vi vil nå bruke en probe og oscilloskopet til å ta målinger av kretsen. Før vi setter i gang med det, vil vi forsikre oss om at der ikke er brudd i proben vi bruker. Vi følger prosedyren beskrevet i Laboratorieheftets vedlegg C.4.1. Vi setter også oscilloskopet til standardinnstillinger ved å trykke på «Preset». Vi setter proben og innstillingen i kanalmenyen på oscilloskopet i modusen 10x som vist i Figur 4.

### 3.2.2 Forplantlingsforsinkelse

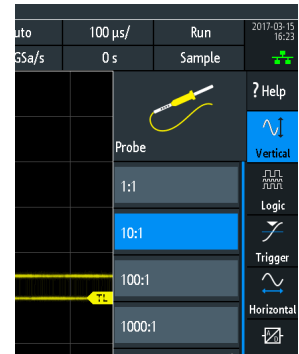
For å kunne se hvordan kretsen fungerer når inn- og utverdiene forander seg vil vi koble på signalgeneratoren. Vi gjør dette ved å koble signalgeneratoren til både oscilloskopets kanal 3 og kretsen ved hjelp av et BNC T-ledd. Vi kobler proben til enden av kritisk sti slik at vi kan måle forplantningsforsinkelsen. Signalgeneratoren settes til 100kHz firkantpuls. Spenningen settes til 5Vp-p med en offset på 2.5V.

Vi leser av forplantningsforsinkelsen til å være 640 ns. Sammenlignet med utregningene i forarbeider som var på 655ns er det et akseptabelt avvik på 4% som hovedsaklig stammer fra usikkerhet i målingene våre, men også usikkerheter i komponenter og ledninger.

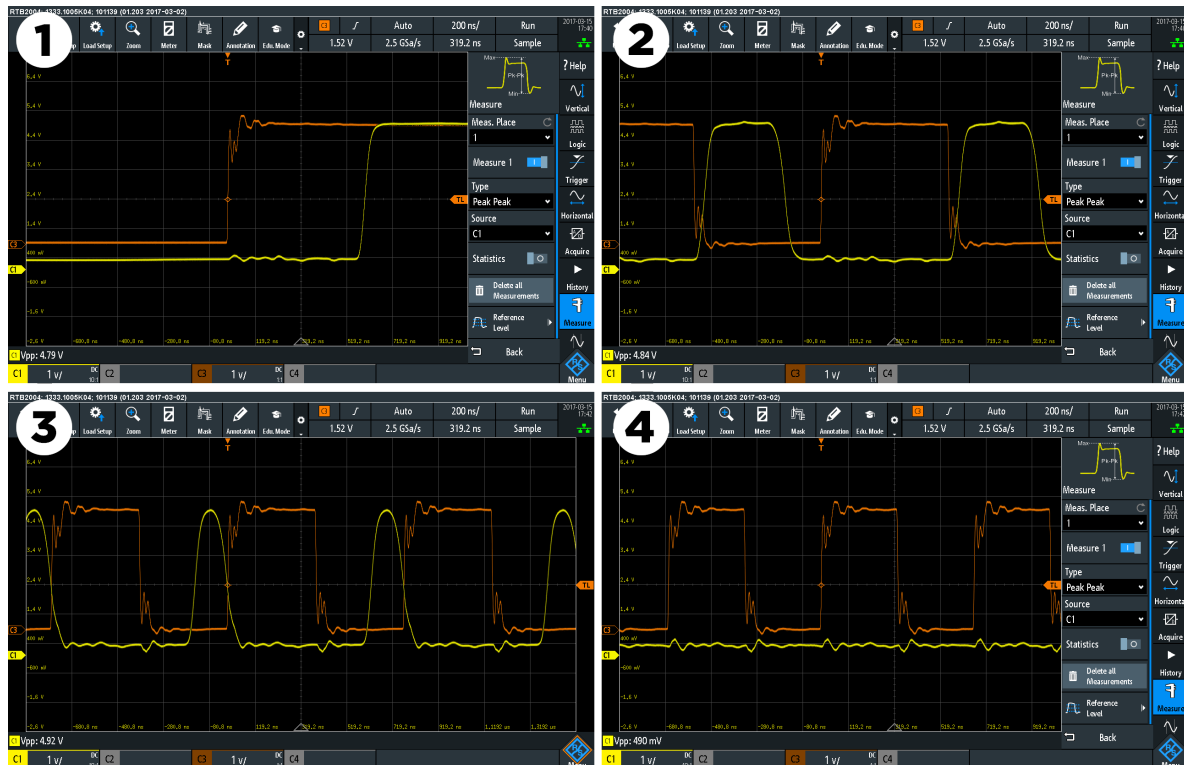
Med denne informasjonen kan vi regne ut den maksimale klokkefrekvensen for den målte verdien:

$$f_{max} = \frac{1}{640ns} = 1,56MHz \quad (2)$$

Vi vil så se hva som skjer om vi øker klokkefrekvensen over den maksimale klokkefrekvensen.



Figur 4: Innstillinger for probe på oscilloskop.



Figur 5: Skjermdump av målingene med varierende frekvens

På figur 5 ser man skjermdump fra oscilloskopet. Den gule linjen (CH1) beskriver stige- og falltiden til kretsen sin kritiske sti. Den oransje linjen (CH3) kommer rett fra signalgeneratoren gjennom en

BNC-BNC kabel. Frekvensen fra signalgeneratoren økes mellom hvert bilde slik at vi kan se hvordan det påvirker utsignalet til kretsen.

Vi ser at når vi øker frekvensen vil den på et punkt være så høy at utsignalet hele tiden er lavt. Dette skyldes at på grunn av forsinkning i de logiske portene vil de ikke skifte raskt nok i forhold til frekvensen. Dette ser man på bilde 3 og 4 i figur 5.

Målingen som ble gjort var å måle stige og falltid for den kritiske stien. Først frem til AND-porten og deretter frem til XOR porten i samme halvadder. Se resultater i kapittel 5.

### 3.2.3 Stige-/falltid

I den siste delen av laboratorieøvingen skulle vi lese av stige- og falltid for den kritiske stien. Dette gjorde vi ved å bruke en signalgenerator, oscilloskop, probe og BNC-BNC kabel.

Signalgeneratoren ble satt til 100kHz firkantpuls. Spenningen ble satt til 5Vp-p med en offset på 2.5V. Oscilloskopet ble stilt inn til å kun vise en flanke.

Deretter målte vi stige- og falltid ved å bruke cursor-funksjonen. Målinger ble gjort for begge portene i enden av den kritiske stien. Både AND-porten som gir ut «carry» verdien og XOR-porten som gir ut summen for bit 4. Resultatene kan du se i kapittel 5.

## 4 Utsyrsliste

Følgende utstyr ble brukt under labben:

- Labkort (se kapittel 2.6)
- Ca. 20 ledninger
- Koblingsbrett
- Probe
- Digitalt oscilloskop: Rohde & Schwarz, RTB2004
- Strømforsyning: Rohde & Schwarz, HMC8042
- Signalgenerator: Rohde & Schwarz, HMF2525
- Probe: Rohde & Schwarz, RT-ZP03
- BNC-BNC kabel
- BNC T-ledd

## 5 Resultater

Tabell 4: Resultater

Måling	Beregnet	Målt	Avvik	Avvik (%)
Forplantningsforsinkelse	655ns	640ns	15ns	2.3%
Rise time	100ns	47ns	53ns	53%
Fall time	100ns	63ns	37ns	37%
Rise time, XOR port	100ns	32ns	68ns	68%
Fall time, XOR port	100ns	82ns	18ns	18%

## 6 Diskusjon

Aviket i forplantningsforsinkelsen er innenfor reele grenser og vi anser aviket som akseptabelt.

Når vi ser på stige- og falltid, (rise time og fall time), ser man at det er et stort avik på samtlige. Dette skyldes i stor grad at den oppgitte teoretiske verdien ikke er helt nøyaktig for dette tilfelle. De teoretiske verdiene er lest ut av tabellen i databladet til portkretsene. Det har her blitt oppgitt en lastkapasitans på 50pf. Resultatene vi oppnådde var ved en lavere lastkapasistans og derav ventet at tiden skulle bli lavere.

En annen usikkerhet knyttet til stige- og falltid er nøyaktigheten målingene som ble gjort. Det finnes også en utsikkerhet knyttet til kalibrering av proben.

## 7 Konklusjon

Vi har lært hvordan man kobler opp en absoluttverdikrets, virkemåten og hvordan man designer den. I forhold til målene listet i innledningen er disse blitt oppnådd. Innenfor disse målene har vi blant lært om stige- og falltid og hvordan dette påvirker den maksimale klokkefrekvensen.

Oppkoblingen av kretsen og utføringen av de andre oppgavene i øvingen har gått fint, uten store problemer underveis.

## 8 Vedlegg

### 8.1 Vedlegg 1: Ferdig oppkoblet kretskort



Figur 6: Ferdig oppkoblet kretskort på brett

## 9 Litteraturreferanser

- [1] Gajski, D. D.: Principles of Digital Design (1997), Prentice Hall, New Jersey (USA)
- [2] Svarstad, K.: TFE4101 Krets- og digitalteknikk. Laboratoriehefte Vår 2017