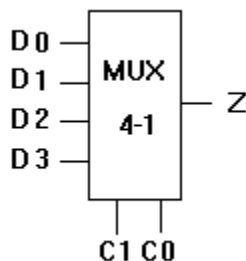


Nume:

Test AC

Varianta 15

1. Se consideră un multiplexor 4-la-1 pe 16 biți, având intrările **D0**, **D1**, **D2** și **D3** cu liniile de selecție aferente **C0** și **C1**, și o ieșire **Z**. Modulul se va numi **mux_2s_16b**.



- a) Implementați, folosind limbajul Verilog, un modul parametrizat pentru **mux_2s_16b**.
b) Redactați un modul testbench pentru testarea exhaustivă a modului **mux_2s_16b**, implementat la punctul a).
2. Se consideră următorul tabel de adevăr (BCD 2-out-of-5 encoder):

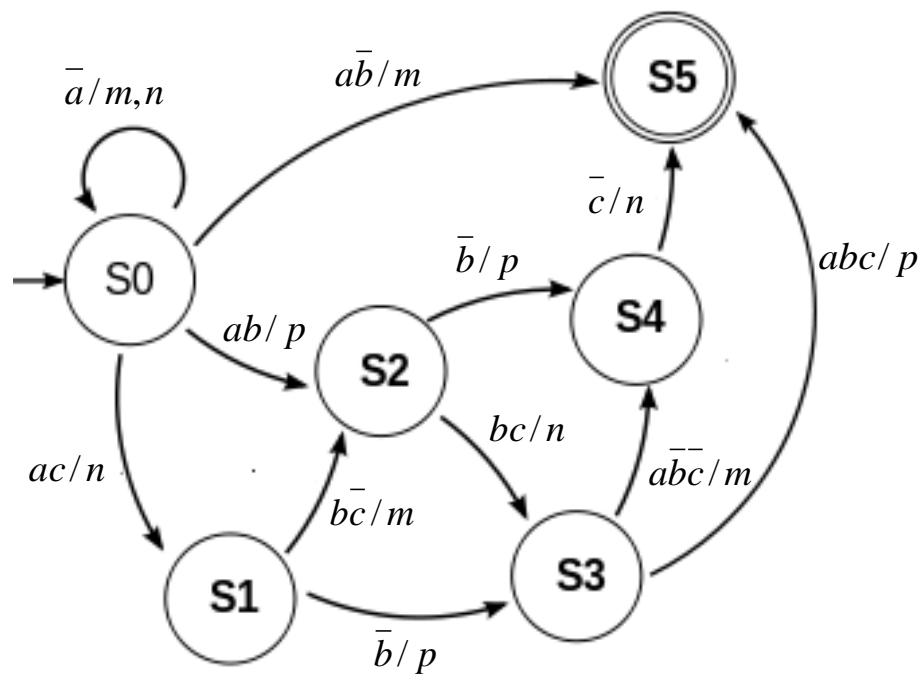
Inputs				Outputs				
I_3	I_2	I_1	I_0	O_4	O_3	O_2	O_1	O_0
0	0	0	0	1	0	0	1	0
0	0	0	1	0	1	0	0	1
0	0	1	0	1	0	1	0	0
0	0	1	0	0	1	0	0	1
0	1	0	0	1	0	1	0	0
0	1	0	0	0	1	0	0	1
0	1	1	0	1	0	1	0	0
0	1	1	0	0	1	0	0	1
1	0	0	0	1	0	0	1	0
1	0	0	1	0	0	1	1	0

Obs: Restul valorilor nelistate sunt considerate elemente don't care

- a) Minimizați pe foaie funcțiile de la ieșire folosind metoda diagramelor Karnaugh.
b) Redactați un modul care implementează funcția booleană rezultată după minimizare. Modulului i se va atribui un nume sugestiv (ex. **BCD_2_out_of_5**).

Nume:

3. Se consideră următoarea diagramă de tranziții a unui Finite State Machine (**FSM**) :



Să se construiască, folosind limbajul Verilog, modulul **FSM** urmând cei cinci pași de implementare a FSM-urilor.