

Test AC

Varianta 1

1. Proiectați, folosind limbajul Verilog, un modul de prelucrare a șirului binar conectat unei intrări pe 8 biți.
 - a) Dacă oricare doi biți adiacenți nu sunt identici, se va inversa jumătatea mai semnificativă a intrării cu jumătatea mai puțin semnificativă. În caz contrar se va inversa primul element din șir cu ultimul, al doilea cu penultimul ș.a.m.d.
 - b) Redactați un **testbench** care să verifice funcționalitatea modulului Verilog implementat anterior.

Intrarea modulului se va numi *i* iar ieșirea *o*. Modulul va avea numele **switch**.

2. Se consideră următorul tabel de adevăr:

Inputs				Outputs	
I_3	I_2	I_1	I_0	O_1	O_0
0	0	0	0	0	0
0	0	0	1	1	1
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	0	0
0	1	0	1	1	1
0	1	1	0	1	0
0	1	1	1	0	1
1	0	0	0	0	0
1	0	0	1	1	1

Obs: Mintermii de la 10 → 15 sunt considerați elemente don't care

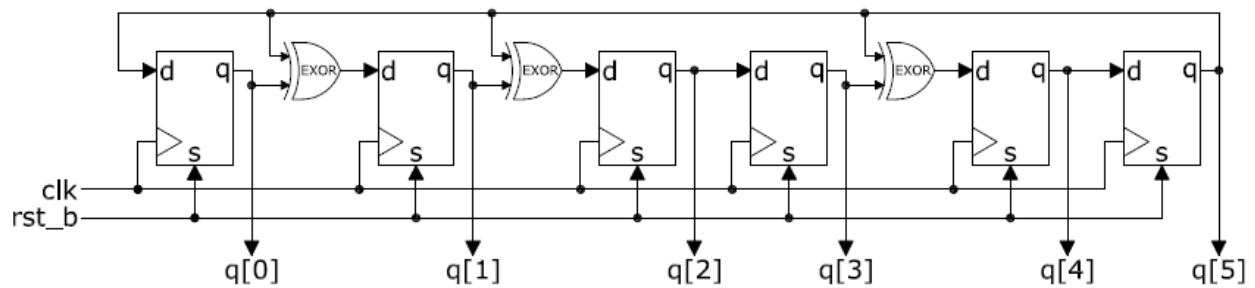
Pe baza configurațiilor binare date în tabel să se :

- a) Minimizeze pe foaie funcțiile de la ieșire folosind metoda diagramelor Karnaugh.
- b) Redacteze un modul care implementează funcția booleană rezultată după minimizare. Modulului i se va atribui un nume sugestiv (ex. **minimization**).

Data:

Nume:

3. Se consideră arhitectura unui Linear Feedback Shift Register (**LFSR**) de 6 ranguri:



- Să se determine periodicitatea secvenței de ieșire generând toți vectorii nenuli pe 6 biți, pe o foaie de hârtie.
- Să se implementeze, folosind un **bloc generate**, structura LFSR prezentată mai sus.
- Să se redacteze, folosind limbajul Verilog, un **testbench** care să verifice funcționalitatea modului Verilog implementat anterior.