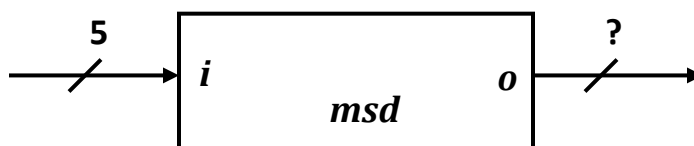


Test AC

Varianta 2

1. a) Construiți, folosind limbajul Verilog, un modul care furnizează la ieșirea sa cea mai semnificativă cifră zecimală a numărului întreg fără semn, pe 5 biți, conectat la intrarea sa.
- b) Redactați, folosind limbajul Verilog, un **testbench** pentru verificarea exhaustivă al modulului **msd**, implementat la subpunctul a).



2. Se consideră următorul tabel de adevăr:

Inputs				Outputs	
I_3	I_2	I_1	I_0	O_1	O_0
0	0	0	0	1	1
0	0	0	1	0	0
0	0	1	0	0	1
0	0	1	1	1	0
0	1	0	0	1	1
0	1	0	1	0	0
0	1	1	0	0	1
0	1	1	1	1	0
1	0	0	0	1	1
1	0	0	1	0	0

Obs: Mintermii de la 10 → 15 sunt considerați elemente don't care

Pe baza configurațiilor binare date în tabel să se :

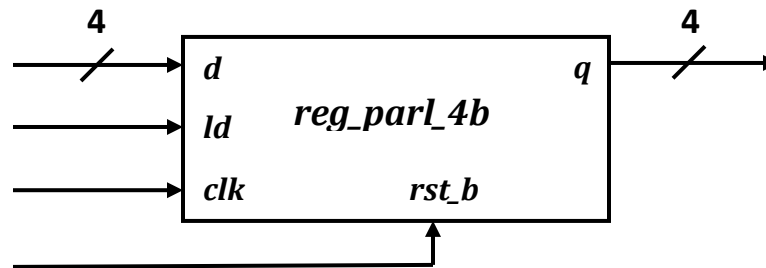
- a) Minimizeze pe foaie funcțiile de la ieșire folosind metoda diagramelor Karnaugh.
- b) Redacteze un modul care implementează funcția booleană rezultată după minimizare. Modulului i se va atribui un nume sugestiv (ex. **minimization**).

Punctaj: 1. a) 2p; b) 2p | 2. a) 1p; b) 1p | 3. a) 1p; b) 1p; c) 1p | **1 punct din oficiu** | Total: 10p

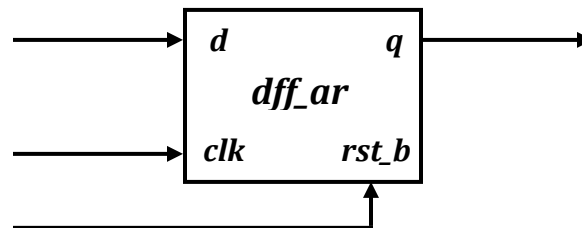
Data:

Nume:

3. Construiți un registru paralel cu load (**ld**) pe 4 biți, așa cum este ilustrat în figura de mai jos:



a) Desenați arhitectura completă a registrului paralel folosindu-vă de unitatea **dff_ar** dată mai jos:



- b) Să se implementeze, folosind limbajul Verilog, arhitectura **reg_parl_4b** desenată la punctul a).
- c) Să se redacteze, folosind limbajul Verilog, un **testbench** care să verifice funcționalitatea modulului Verilog implementat anterior.