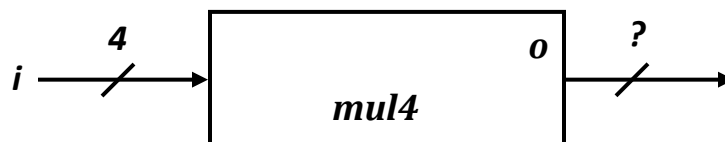


# Test AC

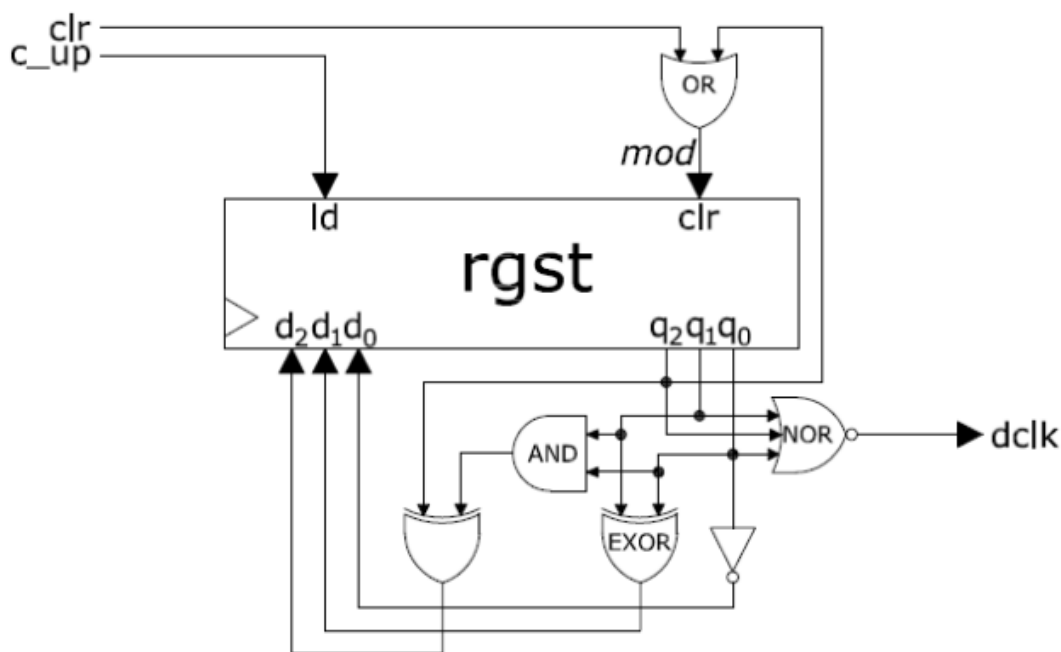
## Varianta 11

1. Se consideră un modul care primește la intrare un număr zecimal fără semn pe 4 biți.



- Implementați, folosind limbajul Verilog, unitatea combinațională anterioară care va detecta multiplii de 4 la intrările sale, fără a utiliza operatorul Verilog % (modulo).
- Redactați un **testbench** care să verifice funcționalitatea modului Verilog implementat anterior.

2. Se consideră arhitectura unui numărător divide-by-5, așa cum este ilustrat mai jos:



- Desenați pe o foaie arhitectura unui numărător **divide-by-6** inspirată după design-ul prezentat anterior.
- Redactați un **modul** care implementează funcționalitatea numărătorului divide-by-6 desenat anterior. Modulului i se va atribui un nume sugestiv ( ex. **div\_by\_6**).
- Scrieți un **testbench** care să verifice funcționalitatea modului **div\_by\_6**.

Data:

Nume:

3. Considerând arhitectura numărătorului ***divide-by-6*** proiectat la problema anterioară:
- a) Să se deseneze pe o foaie **FSM-ul** (mașina cu stări finite) asociat numărătorului ***div\_by\_6***.
  - b) Să se implementeze, folosind metoda codificării One Hot, structura **FSM** proiectată la subpunctul a).