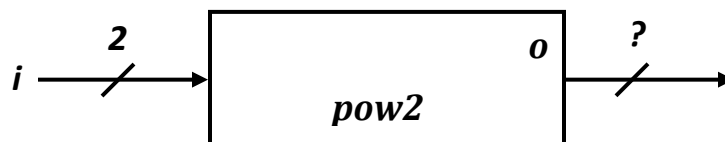


Test AC

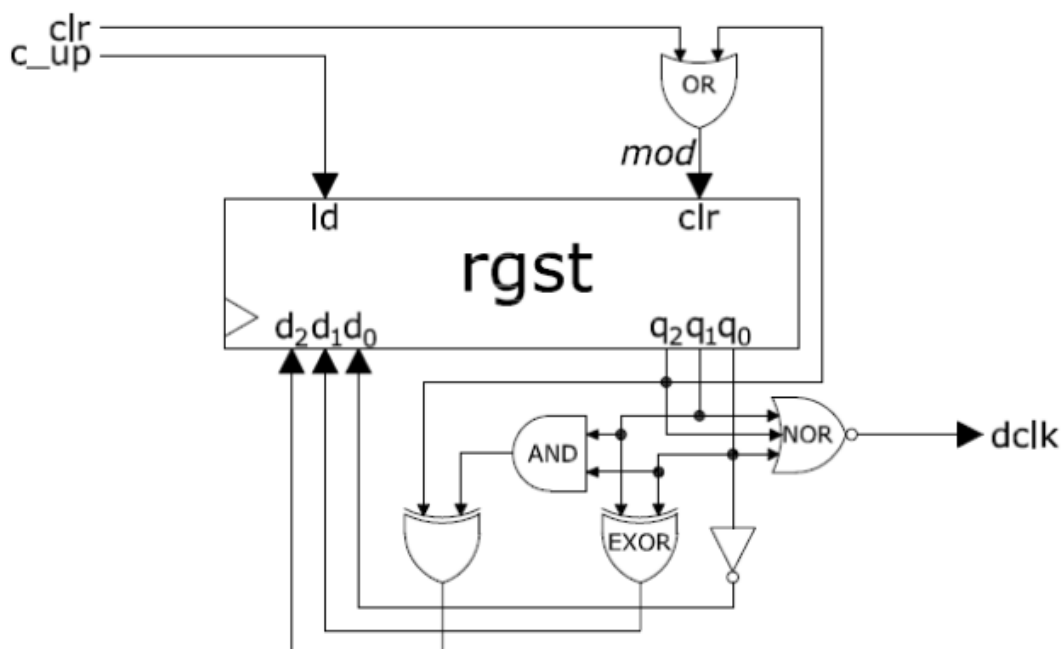
Varianta 12

1. Se consideră un modul care primește la intrare un număr zecimal fără semn pe 2 biți.



- Implementați, folosind limbajul Verilog, unitatea combinațională anterioară care va ridica intrarea i la puterea a doua, fără a utiliza operatorul Verilog **** (power)**.
- Redactați un **testbench** care să verifice funcționalitatea modului Verilog implementat anterior.

2. Se consideră arhitectura unui numărător divide-by-5, așa cum este ilustrat mai jos:



- Desenați pe o foaie arhitectura unui numărător **divide-by-7** inspirată după design-ul prezentat anterior.
- Redactați un **modul** care implementează funcționalitatea numărătorului divide-by-7 desenat anterior. Modulului i se va atribui un nume sugestiv (ex. **div_by_7**).
- Scrieți un **testbench** care să verifice funcționalitatea modului **div_by_7**.

Data:

Nume:

3. Considerând arhitectura numărătorului ***divide-by-7*** proiectat la problema anterioară:

- a) Să se deseneze pe o foaie **FSM-ul** (mașina cu stări finite) asociat numărătorului ***div_by_7***.
- b) Să se construiască, folosind implementarea în cinci pași, structura **FSM** proiectată la subpunctul a).