



西安交通大学
XI'AN JIAOTONG UNIVERSITY

《计算机组成与系统结构专题实验》

Experiment on Computer Organization and Architecture

计算机科学与技术学院 实验中心

2024年10月





西安交通大学
XI'AN JIAOTONG UNIVERSITY
XI'AN JIAOTONG UNIVERSITY

实验一、组合电路设计



实验一 组合电路设计

实验内容

- **基础门电路设计（多输入门电路、复用器）**
- **基础功能模块设计（编码器、译码器）**

实验要求：

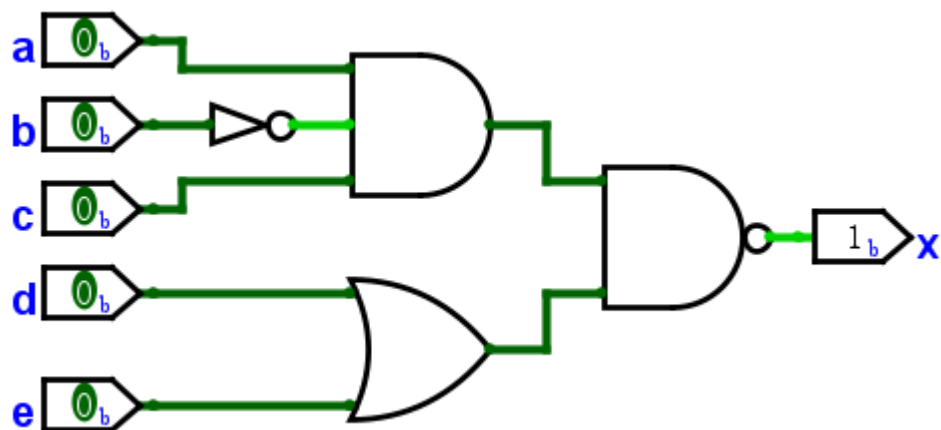
- **掌握Vivado与Logisim开发工具的使用，可选用其中一种完成实验；**
- **掌握Verilog程序结构和风格，观察分析仿真波形，注重输入输出之间的时序关系；**
- **或者在Logisim中完成设计并验证真值表。**

实验一 组合电路设计 多输入门电路

表达式:

$$x = \sim(a \cdot \sim b \cdot c \cdot (d + e))$$

电路图:



真值表:

-

1

0

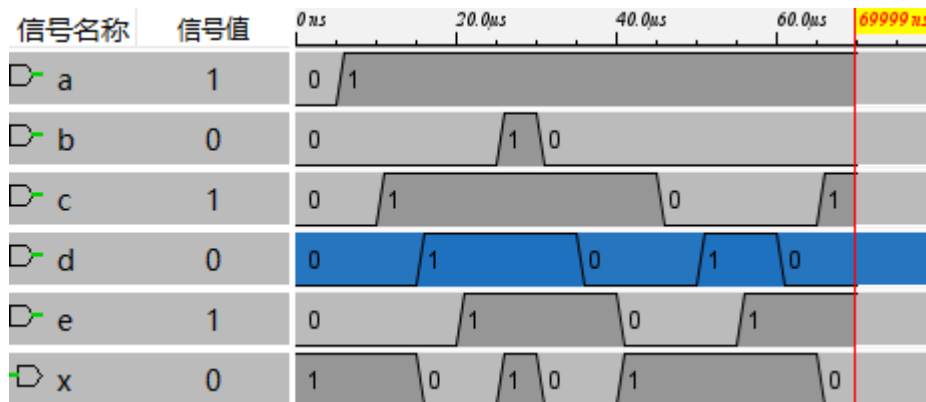
折叠重复行

显示所有行

显示6行(共32行)

a	b	c	d	e	x
0	-	-	-	-	1
1	-	0	-	-	1
1	0	1	0	0	1
1	0	1	-	1	0
1	0	1	1	0	0
1	1	1	-	-	1

时序图:



-

1

0

折叠重复行

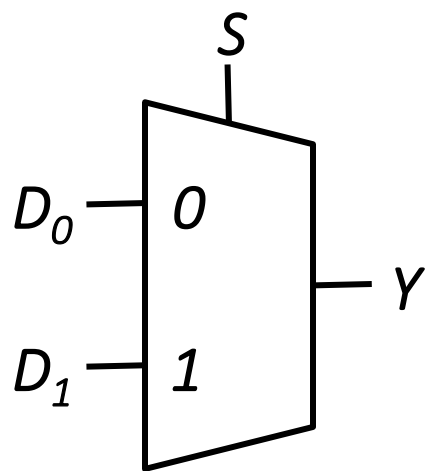
显示所有行

显示32行(共32行)

a	b	c	d	e	x
0	0	0	0	0	1
0	0	0	0	1	1
0	0	0	1	0	1
0	0	0	1	1	1
0	0	1	0	0	1
0	0	1	0	1	1
0	0	1	1	0	1
0	0	1	1	1	1
0	1	0	0	0	1
0	1	0	0	1	1
0	1	0	1	0	1
0	1	0	1	1	1
0	1	1	0	0	1
0	1	1	0	1	1
0	1	1	1	0	1
0	1	1	1	1	1
1	0	0	0	0	1
1	0	0	0	1	1
1	0	0	1	0	1
1	0	0	1	1	1
1	0	1	0	0	1
1	0	1	0	1	0
1	0	1	1	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	0	1	1
1	1	0	1	0	1
1	1	0	1	1	1
1	1	1	0	0	1
1	1	1	0	1	1
1	1	1	1	0	1
1	1	1	1	1	1

实验一 组合电路设计 复用器

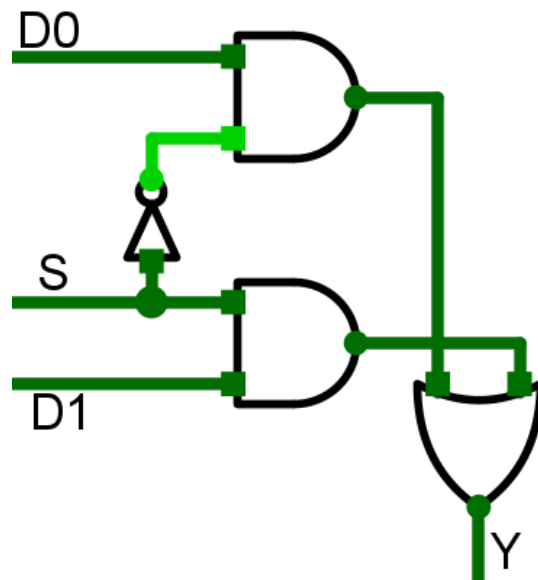
二路复用器



表达式:

$$Y = D_0 \bar{S} + D_1 S$$

电路图:

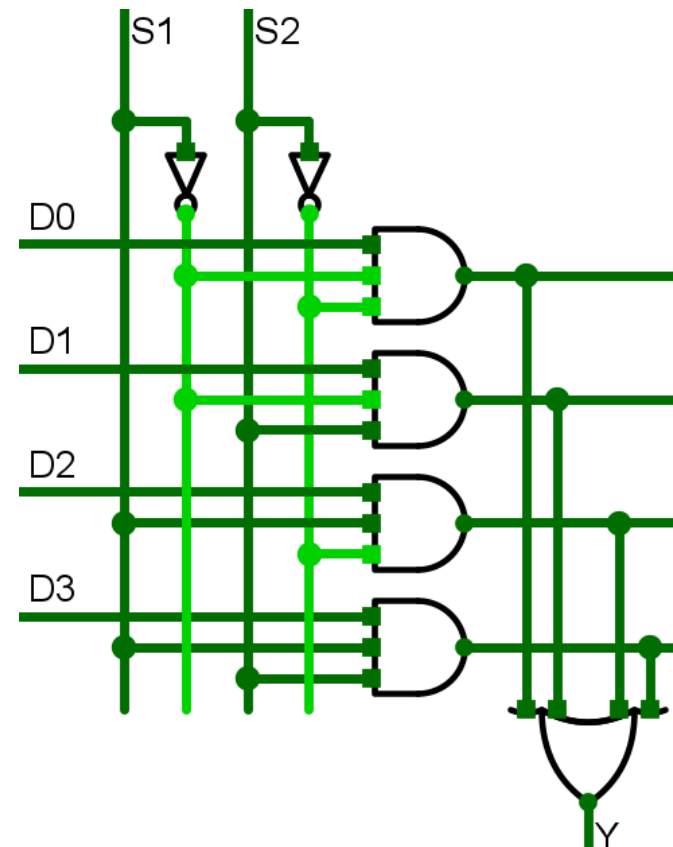
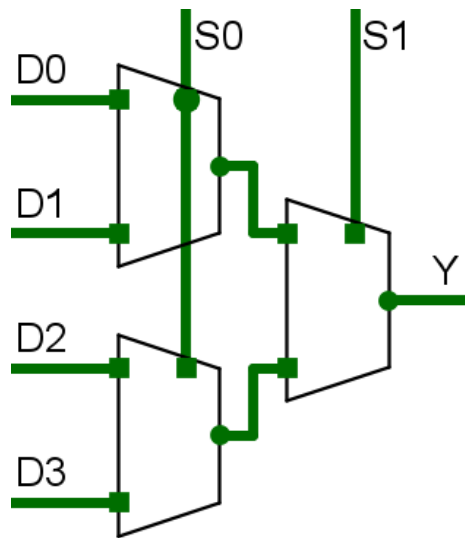
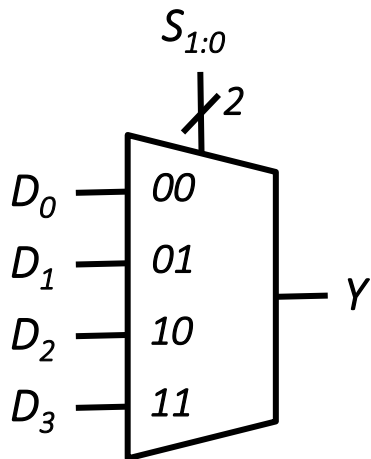


真值表:

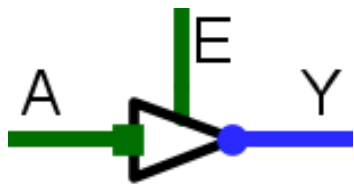
S	D_1	D_0	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

实验一 组合电路设计 复用器

多路复用器



考虑如何用三态缓存器实现复用器？



E	A	Y
0	0	Z
0	1	Z
1	0	0
1	1	1



实验内容

实验一 组合电路设计 复用器

```

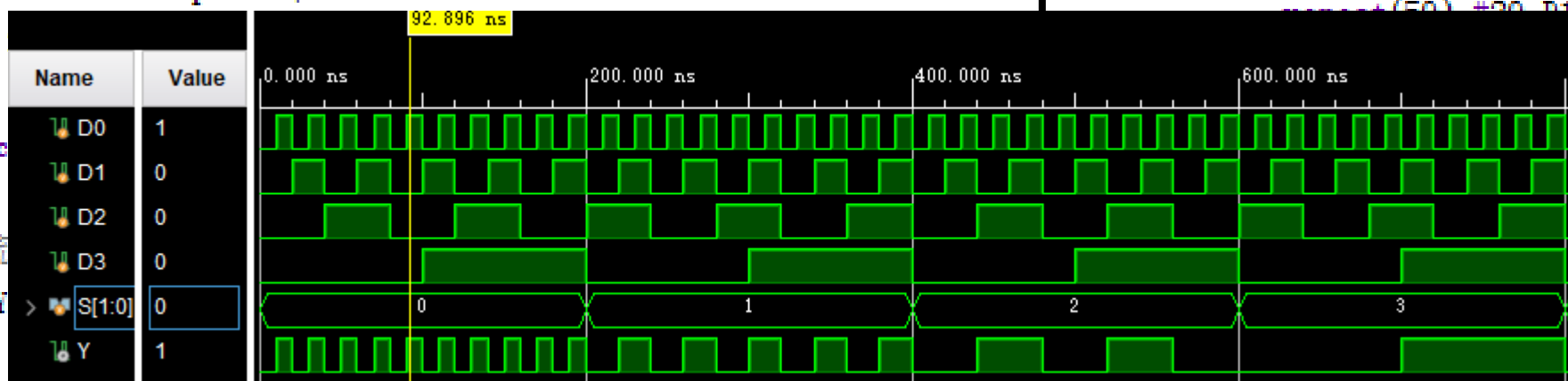
module mux41(    //4路复用器
    input D0,input D1,input D2,input D3,    //输入
    input [1:0] S,    //选择信号
    output Y    //输出
);
    reg temp;    //临时寄存器变量
    always@(*)    //行为描述always语句，循环触发执行
    begin
        case(S) //分支选择
            2'b00 : temp = D0;
            2'b01 : temp = D1;
            2'b10 : temp = D2;

```

```

module sim_mux41;    //仿真模块
    reg D0,D1,D2,D3;
    reg [1:0] S;
    wire Y;
    //实例化调用模块
    mux41 mux(D0,D1,D2,D3,S,Y);
    initial //初始化，只执行一次
    begin //顺序块
        D0=0;D1=0;D2=0;D3=0;S=2'b00;
        fork //并行块
            repeat(100) #10 D0 = ~D0;
            repeat(50) #20 D1 = ~D1;
            repeat(50) #20 D2 = ~D2;
            repeat(50) #20 D3 = ~D3;
            repeat(50) #20 S = S+1;
        join
    end
endmodule

```



实验一 组合电路设计 编码器(2ⁿ个输入, n位输出)

真值表

输入								输出		
I7	I6	I5	I4	I3	I2	I1	I0	Y2	Y1	Y0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

逻辑表达式

$$Y_2 = I_4 + I_5 + I_6 + I_7$$

$$Y_1 = I_2 + I_3 + I_6 + I_7$$

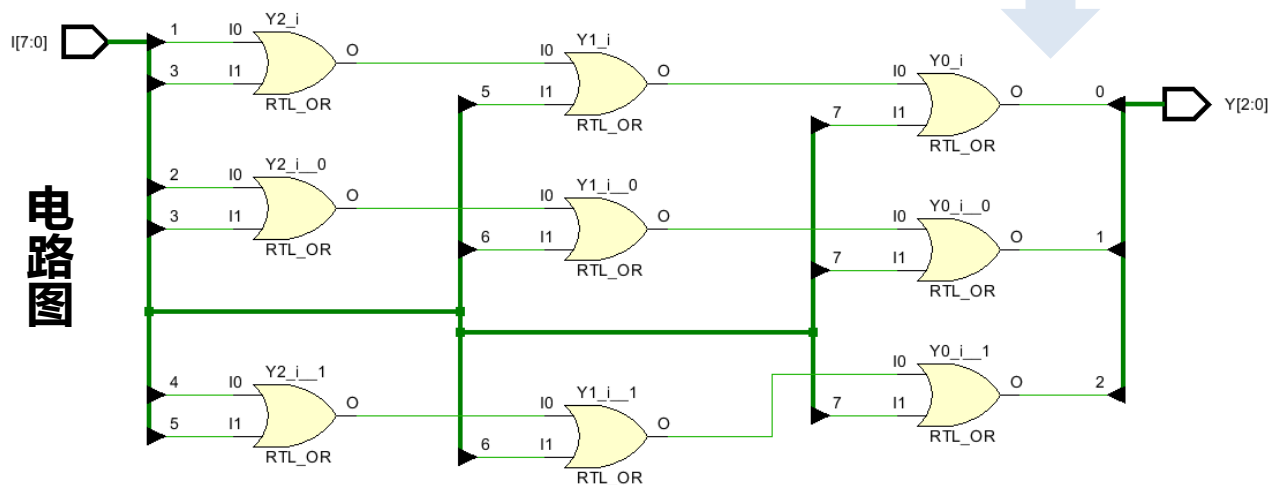
$$Y_0 = I_1 + I_3 + I_5 + I_7$$

数据流描述：连续赋值语句。

```
assign Y[0] = I[1]|I[3]|I[5]|I[7], Y[1] = I[2]|I[3]|I[6]|I[7], Y[2] = I[4]|I[5]|I[6]|I[7];
assign Y = {I[4]|I[5]|I[6]|I[7], I[2]|I[3]|I[6]|I[7], I[1]|I[3]|I[5]|I[7]};
```

行为描述方式：

根据电路外部行为建模，
定义输入-输出响应方式描述
硬件行为（case语句）。



结构化描述：实例化底层模块。

实验一 组合电路设计 优先编码器

◆ 逻辑值

- 1: 逻辑1或逻辑真;
 - 0: 逻辑0或逻辑假;
 - x(X): 未知状态 (不确定/不关心) ;
 - z(Z): 高阻态。
- 逻辑真: 1; 逻辑假: 0, x(X), z(Z)

输入								输出		
I7	I6	I5	I4	I3	I2	I1	I0	Y2	Y1	Y0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	X	0	0	1
0	0	0	0	0	1	X	X	0	1	0
0	0	0	0	1	X	X	X	0	1	1
0	0	0	1	X	X	X	X	1	0	0
0	0	1	X	X	X	X	X	1	0	1
0	1	X	X	X	X	X	X	1	1	0
1	X	X	X	X	X	X	X	1	1	1

=	0	1	X	Z
0	1	0	X	X
1	0	1	X	X
X	X	X	X	X
Z	X	X	X	X

==	0	1	X	Z
0	1	0	0	0
1	0	1	0	0
X	0	0	1	0
Z	0	0	0	1



实验内容

实验一 组合电路设计 8-3优先编码器

module pre_encoder83_case(I, Y); //8-3优先编码器case实现

input I; //输入, 待编码信息

output Y; //输出

wire[7:0] I; //8位

reg[3:1] Y; //3位

//行为描述方式: 根据电路外部行为建

//定义输入-输出响应方式描述硬件行为

//initial和always语句块

always @(I) begin //always @ (敏感

case(I) //case 分支语句

8'b0000_0001 : Y = 3'b000;

8'b0000_001X : Y = 3'b001;

8'b0000_01XX : Y = 3'b010;

8'b0000_1XXX : Y = 3'b011;

8'b0001_XXXX : Y = 3'b100;

8'b001X_XXXX : Y = 3'b101;

8'b01XX_XXXX : Y = 3'b110;

8'b1XXX_XXXX : Y = 3'b111;

default : Y = 3'b000; //缺省

endcase

end

endmodule

module pre_encoder83_if(I, Y); //8-3优先编码器ifelse实现

input I; //输入, 待编码信息

output Y; //输出

wire[7:0] I; //8位

reg[3:1] Y; //3位

module sim_encoder83();

reg[7:0] x; //加入激励信号

wire[2:0] y_assign, y_case, y_pre_case, y_pre_if; //显示的输出信号

integer i;

initial begin

x = 1; //初始化x

//每延迟10ns, x信号左移一位, 共7次

for(i = 0; i < 7; i = i + 1) # 10 x = x * 2;

#10 x = 128;

//每延迟5ns, x信号加1

while(x > 0) #5 x = x - 1;

end

encoder83_assign encoder83_assign_1(x, y_assign); //实例化待测模块

encoder83_case encoder83_case_1(x, y_case); //实例化待测模块

pre_encoder83_case pre_encoder83_case_1(.I(x), .Y(y_pre_case)); //实例化待测模块

pre_encoder83_if pre_encoder83_if_1(.I(x), .Y(y_pre_if)); //实例化待测模块

endmodule

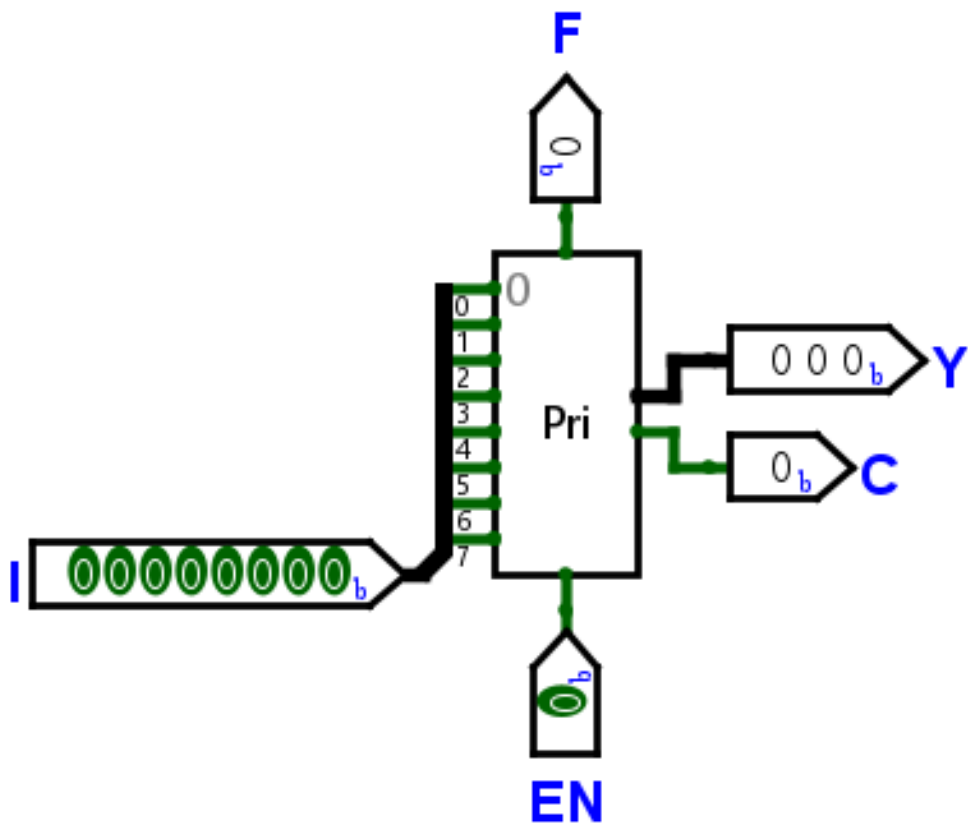
模,

为。

信号列表)

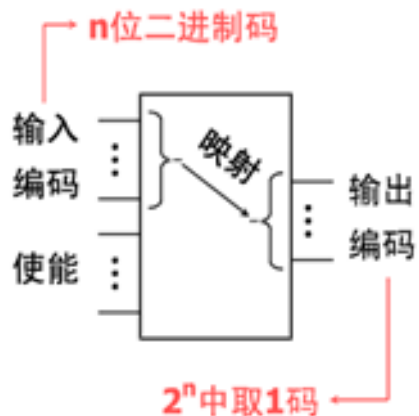
实验一 组合电路设计 8-3优先编码器

测试Logisim的优先编码器，掌握各输入/输出信号作用，验证真值表。



I[7..0]								EN	F	Y[2..0]	C
0	0	0	0	0	0	0	0	1	1	- - -	0
0	0	0	0	0	0	0	1	1	0	0 0 0	1
0	0	0	0	0	0	1	-	1	0	0 0 1	1
0	0	0	0	0	1	-	-	1	0	0 1 0	1
0	0	0	0	1	-	-	-	1	0	0 1 1	1
0	0	0	1	-	-	-	-	1	0	1 0 0	1
0	0	1	-	-	-	-	-	1	0	1 0 1	1
0	1	-	-	-	-	-	-	1	0	1 1 0	1
-	-	-	-	-	-	-	-	0	0	0 0 0	0
1	-	-	-	-	-	-	-	1	0	1 1 1	1

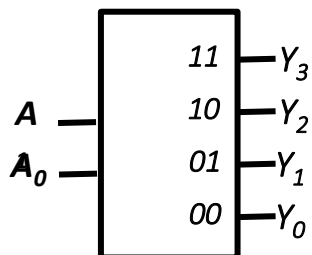
实验一 组合电路设计 译码器



真值表:

A1	A0	Y3	Y2	Y1	Y0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

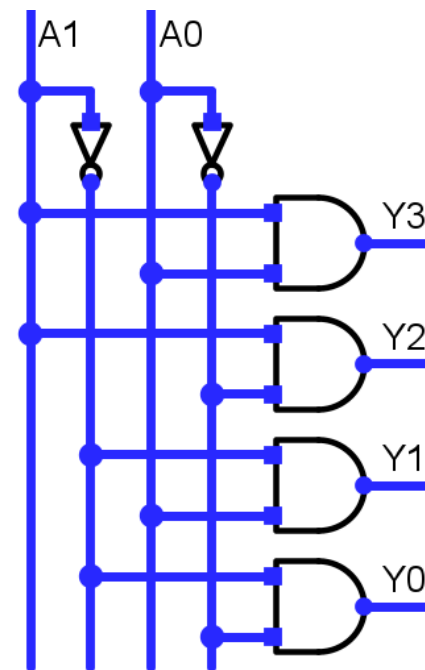
2-4译码器:



表达式:

$$\begin{aligned}
 Y_3 &= A_1 \cdot A_0 \\
 Y_2 &= A_1 \sim A_0 \\
 Y_1 &= \sim A_1 \cdot A_0 \\
 Y_0 &= \sim A_1 \sim A_0
 \end{aligned}$$

电路图:



实验一 组合电路设计 3-8译码器

真值表

输入			输出							
A2	A1	A0	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
0	0	0	1	1	1	1	1	1	1	0
0	0	1	1	1	1	1	1	1	0	1
0	1	0	1	1	1	1	1	0	1	1
0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	1	1	0	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1
1	1	0	1	0	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1

逻辑表达式

$$Y7 = \overline{A2} + \overline{A1} + \overline{A0}$$

$$Y6 = \overline{A2} + \overline{A1} + A0$$

$$Y5 = \overline{A2} + A0 + A1$$

$$Y4 = \overline{A2} + A0 + \overline{A1}$$

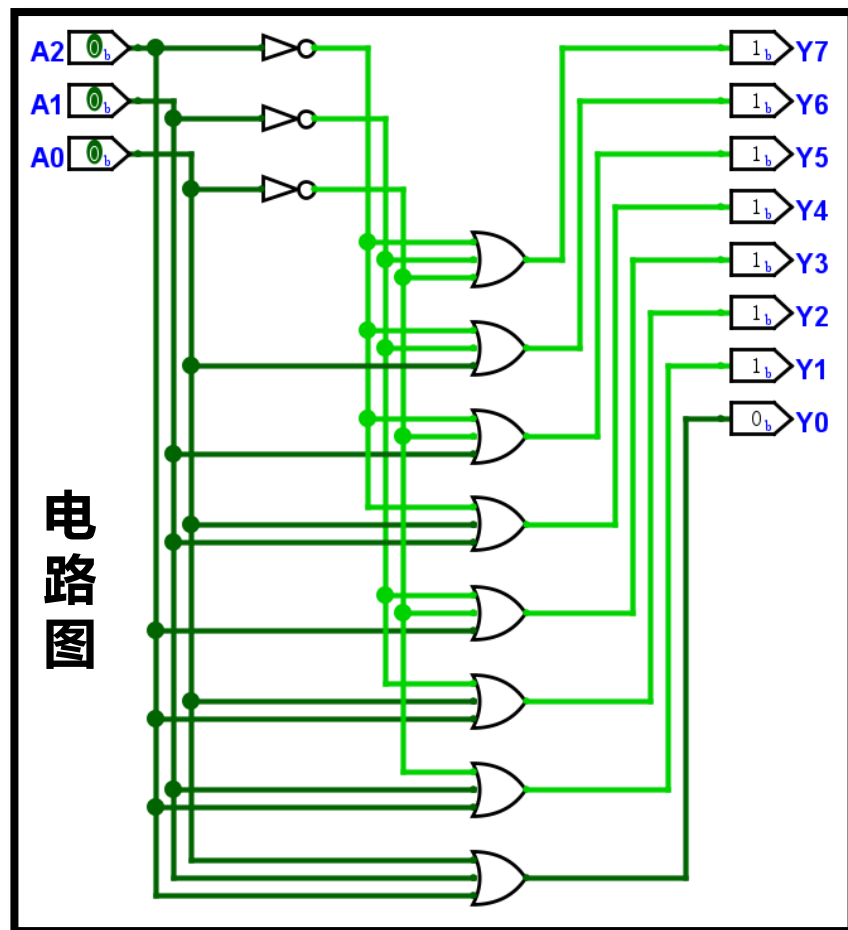
$$Y3 = \overline{A1} + A0 + A2$$

$$Y2 = \overline{A1} + A0 + \overline{A2}$$

$$Y1 = \overline{A0} + A1 + A2$$

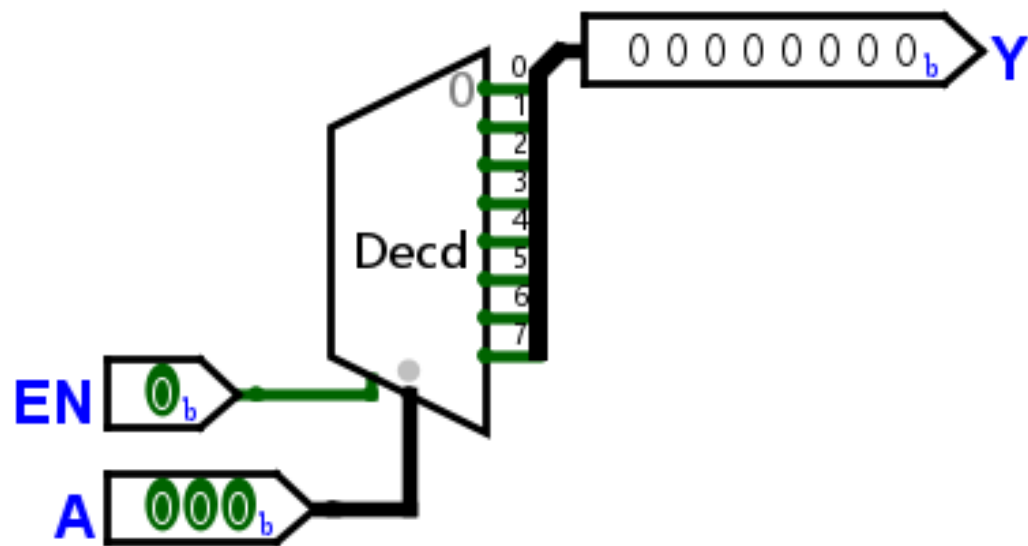
$$Y0 = A0 + A1 + A2$$

电路图



实验一 组合电路设计 3-8译码器

测试Logisim的译码器，掌握各输入/输出信号作用，验证真值表。



EN	A[2..0]	Y[7..0]
0	- - -	0 0 0 0 0 0 0 0
1	0 0 0	0 0 0 0 0 0 0 1
1	0 0 1	0 0 0 0 0 0 1 0
1	0 1 0	0 0 0 0 0 1 0 0
1	0 1 1	0 0 0 0 1 0 0 0
1	1 0 0	0 0 0 1 0 0 0 0
1	1 0 1	0 0 1 0 0 0 0 0
1	1 1 0	0 1 0 0 0 0 0 0
1	1 1 1	1 0 0 0 0 0 0 0



西安交通大学
XI'AN JIAOTONG UNIVERSITY

XI'AN JIAOTONG UNIVERSITY

谢谢！

