

מספר גרסה: 0000



המכללה האקדמית תל אביב יפו  
בית הספר למדעי המחשב



מספר גרסה: 0000



תיק א' [20] גקבנות

	0	4	8	C
03C54EB80	3786F801	0445F001	3242F001	2B876C01
03C54EB90	2EE6DC01	22499801	0C6F4801	33BCF801
03C54EBA0	0F253001	32548401	2D702401	0D035C01
	0	4	8	C
0442F7310	16CE400F	306B780F	216B840F	2E41C80F
0442F7320	26B7F80F	0E5E900F	3281600F	07E77C0F
0442F7330	38C9F80F	2D69E40F	0FC6400F	3738680F
0442F7340	3417880F	08101C0F	3F69C80F	2C05800F
0442F7350	19ED1C0F	13B8600F	19CF700F	1974100F
	0	4	8	C
1F1C29DB0	2046280F	308B540F	1048C40F	0277280F
1F1C29DC0	3BEF2C0F	3C76000F	3876E80F	1F680C0F
1F1C29DD0	37B6640F	29E5940F	36FEE80F	1705F40F
1F1C29DE0	3B6E780F	34C0A00F	2B89300F	3A12280F
	0	4	8	C
20DDC4610	18638C0F	1AC8AC0F	2181D40F	1E1BA80F
20DDC4620	22476C0F	13EBC00F	3B68040F	2C2B780F





20DDG4630	2E689C0E 1445F00E 34C6300E 19273C0E
20DDG4640	22A4740E 145F200E 01593C0E 18CE80E
	0 4 8 1C
29B62FEE0	3AAAD801 01889001 0F8A3C01 246BF401
29B62FF00	2C5C7401 318AE001 23E62C01 1A08C001
29B62FF00	273B0C01 0002A801 284F6401 33E65001
29B62FF10	2DF85301 35A4A401 2697D001 163A5B01
	0 4 8 1C
2B069C550	05F7F801 2BA42001 0AEDB801 22B20401
2B069C560	152F4801 27D5AC01 3A51B801 1D16CC01
2B069C570	04510001 0F049801 01092001 036F1001
2B069C580	035FFC01 3706E001 1F592801 253E2C01
	0 4 8 1C
2D67620C0	12CC1001 2A7B4001 3325DC01 3A08DC01
2D67620D0	331D0001 0DE33001 0GC19801 3133DC01
2D67620E0	06D13C01 7C70A401 1C4CA001 329AA801
2D67620F0	2D9B9001 01A44C01 33917C01 3BB1BC01
	0 4 8 1C
343B615D0	1B335401 2EBD001 2D2B3001 0C833001
343B615E0	3993A401 3B14C401 14612C01 055F2001
343B615F0	3561A401 2E23D401 271BA801 2A8E8401
343B81600	2BB92C01 03FGF001 09743001 3425A001

**שאלה מס' 1 (5 נק')**

נתונה קודם תמונה זכרון חלקית. נתון שכותבת וירטואלית היא מהצורה (10,10,12). כמות פיצ'ת היא 36 ביטים. גודל כניסה ובטלת התירגולים 4 בתים. 10 הביטים הנמוכים של כל כניסה הם דגניים. הוויד הוא הביט הנמוך ביותר. מספר הדף בו נמצא הטעלה החיצונית מוצב ב-22 הביטים הימניים של המספר 0xAF2D6762 לאיזה כמות פיצ'ת מתורגם הכתובת הווירטואלית 0xE771F2F.

- .0x0F1D80F2F
- .0x0F1D90F2F
- .0x03C760F2F
- .ז. אי אפשר לדעת.
- .ה. התשובות האחרות שמיוחמת.



מספר גרסה: 0000



### שאלה מס' 2 (5 נק')

יש לmpl את הפקודה הבאה: **.bge x26,x18,-58**.

א. .0xFD5AA3E3

ב. .0xFD2D54E3

ג. .0xFD2D52E3

ד. התשובות האחרות שניות.

ה. .0xFD2D53E3

### שאלה מס' 3 (5 נק')

פענו את פקודת המכונה הבאה: **0x56E1863**

א. התשובות האחרות שניות.

ב. .bne x14,x11,40

ג. .bne x28,x22,40

ד. .bne x28,x22,80

ה. .beq x14,x22,80

### שאלה מס' 4 (5 נק')

רוחב בס הנומנים 16 ביטים. המטען מסודר בצורה 4 קבוצות אסוציאטיבית ושמור 4MB מהזיכרון הראשי. הדל ה-tag הוא 42 ביטים. מה רוחב כתובת מעבד?

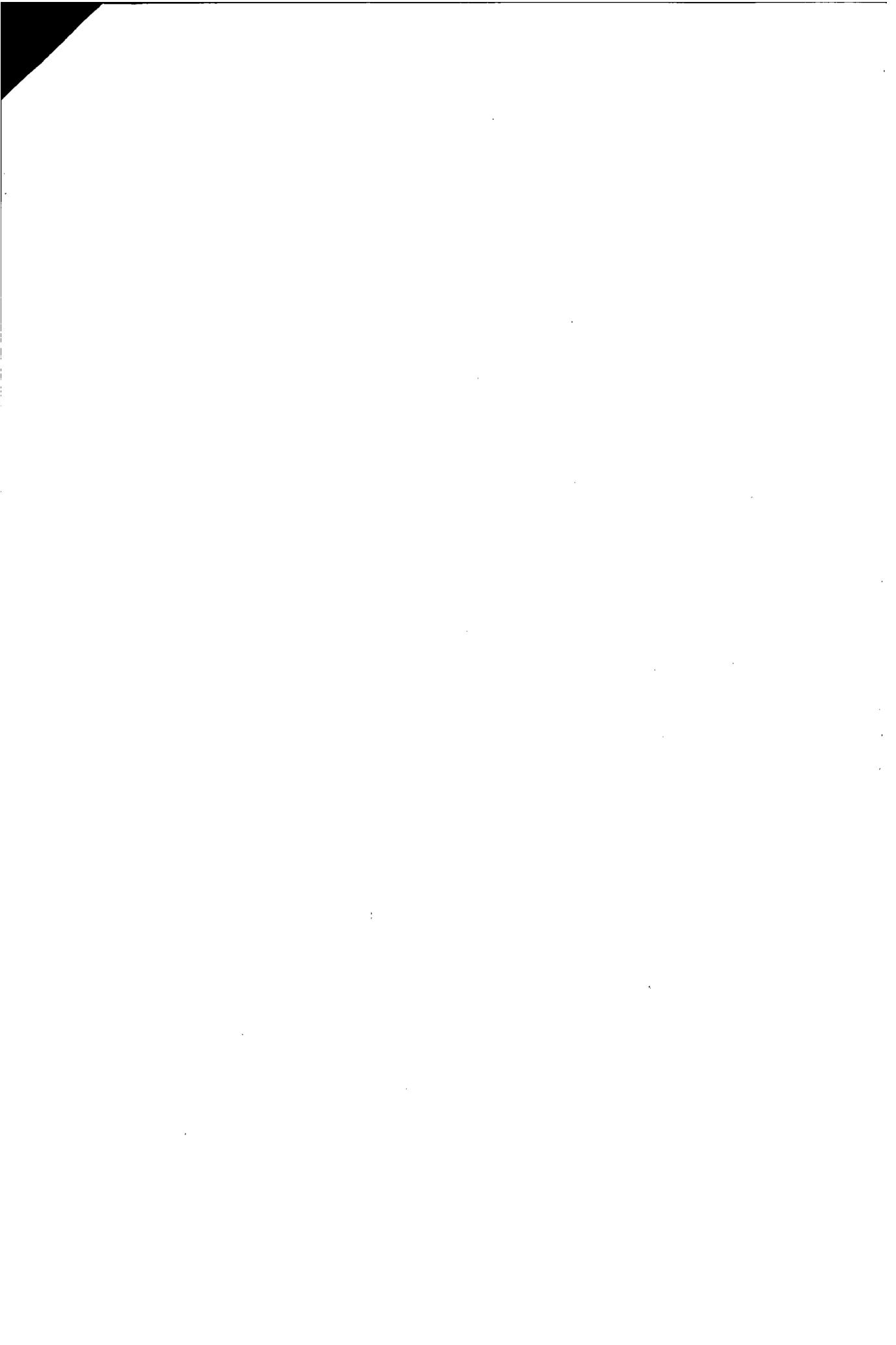
א. התשובות האחרות שניות.

ב. 60

ג. 62

ד. 59

ה. 61



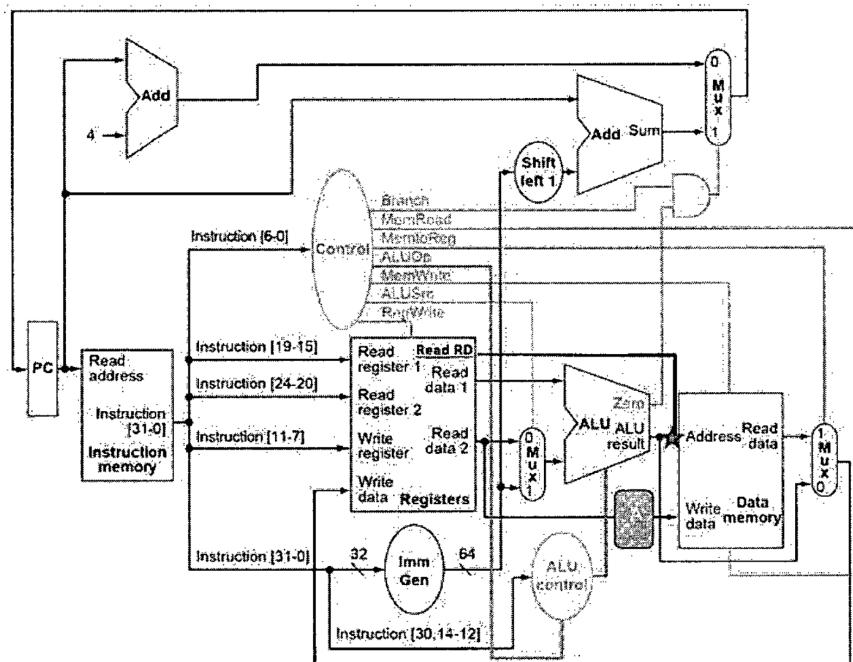


## חלק ב [30 נזקודות]

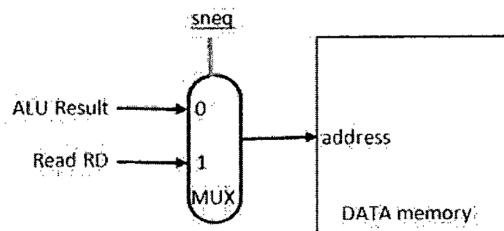
מוסיפים את הפקודה הבאה (משיקולי ביצועים):

```
sneq rd, rs1, rs2
if (x[rs1] != x[rs2]) x[rd] = x[rs1] - x[rs2]
else M[x[rd]] = 1
```

נתון ה- datapath של ה-RISC-V כפי שLEARNT בקורס, עם חוסמות המוסברות מתחילה לשרטוט.



הינו שנותנים הדברים הבאים:

אות (ביט אחד) המסומן בשם **beq** וויצא מה**control**, שערך 1 אם ורק אם הפקודה המתבצעת כתעתינה **beqns**, 0 אחרת.ל-Register File הוסיףנו עוד יציאה בשם **Read RD** המסומנת בשורתו למעלה, וקוראת את ערכו של ריבstor התוצאה **Rd** (בנוסף ל- **Read data 1** ו- **Read data 2** – **Read data 1** ו- **rs1** ו- **rs2** בהתאם).בכינסת **address** לתוכה זיכרונו **Data memory** מוסף MUX מס' 2 בוכב, ומשורטט כאן. כניסה 0 שלו מגיעה מהתוצאה המוחישבת ב-ALU, וכניסה 1 שלו מגיעה מהייציאת הנוספת **Read RD**. הבורר הינו האות **beq** שהוסבר לעיל.



opcode	ALUOp	Operation	Opcode field	ALU function	ALU control
ld	00	load register	XXXXXXXXXX	add	0010
sd	00	store register	XXXXXXXXXX	add	0010
beq	01	branch on equal	XXXXXXXXXX	subtract	0110
R-type	10	add	100000	add	0010
		subtract	100010	subtract	0110
		AND	100100	AND	0000
		OR	100101	OR	0001

### שאלה מס' 5 (6 נק')

מה יהיה הערך של ה-code .op עבור הפקודה **beq**?

.0x3

ב. התשובות האחרות שגויות.

.0x63

.0x23

.0x6F

.0x33

### שאלה מס' 6 (6 נק')

הרכיב המסתמן באות A בشرطוט של ה-V RISC-II היו בורר המקבל את האות **bus** בכניסת הבורר, ואת היציאה מה- **Register File Read data 2** ?

א. יציאת ה Zero מה ALU המורחבת ל 64 סיביות

.0x0

.Imm Gen

ד. יציאת ה ALU result

ה. יציאת הZero מה ALU במחופך (אות אומרת not zero) המורחבת ל 64 סיביות.

ו. התשובות האחרות שגויות.



מספר גרסה: 0000



### שאלה מס' 7 (6 נק')

מהו הנוסחה המתאימה ליציאת ה **Control** ב **MemWrite** עבור הפקודה זו?

א.  $\text{beq} \wedge \text{zero}$ .

ב.  $\text{beq} \wedge \text{sneq} \wedge (\text{not zero})$ .

ג.  $\text{beq} \wedge \text{sneq} \wedge \text{zero}$ .

ד.  $\text{beq} \wedge \text{sneq}$ .

ה.  $\text{beq} \wedge \text{sneq} \wedge \text{not zero}$ .

ו.  $\text{beq} \wedge \text{sneq} \wedge (\text{not zero})$ .

### שאלה מס' 8 (6 נק')

מהו הנוסחה המתאימה ליציאת ה **Control** ב **RegWrite** עבור הפקודה זו?

א.  $\text{beq} \wedge \text{sneq} \wedge (\text{not zero})$ .

ב.  $\text{beq} \wedge \text{sneq} \wedge \text{zero}$ .

ג.  $\text{beq} \wedge \text{sneq} \wedge (\text{not zero})$ .

ד.  $\text{beq} \wedge \text{sneq} \wedge \text{zero}$ .

ה.  $\text{beq} \wedge \text{sneq}$ .

ו.  $\text{beq} \wedge \text{sneq} \wedge \text{not zero}$ .

### שאלה מס' 9 (6 נק')

מה יהיה הערך בכניסה ה **ALU control** עבור פקודה זו?

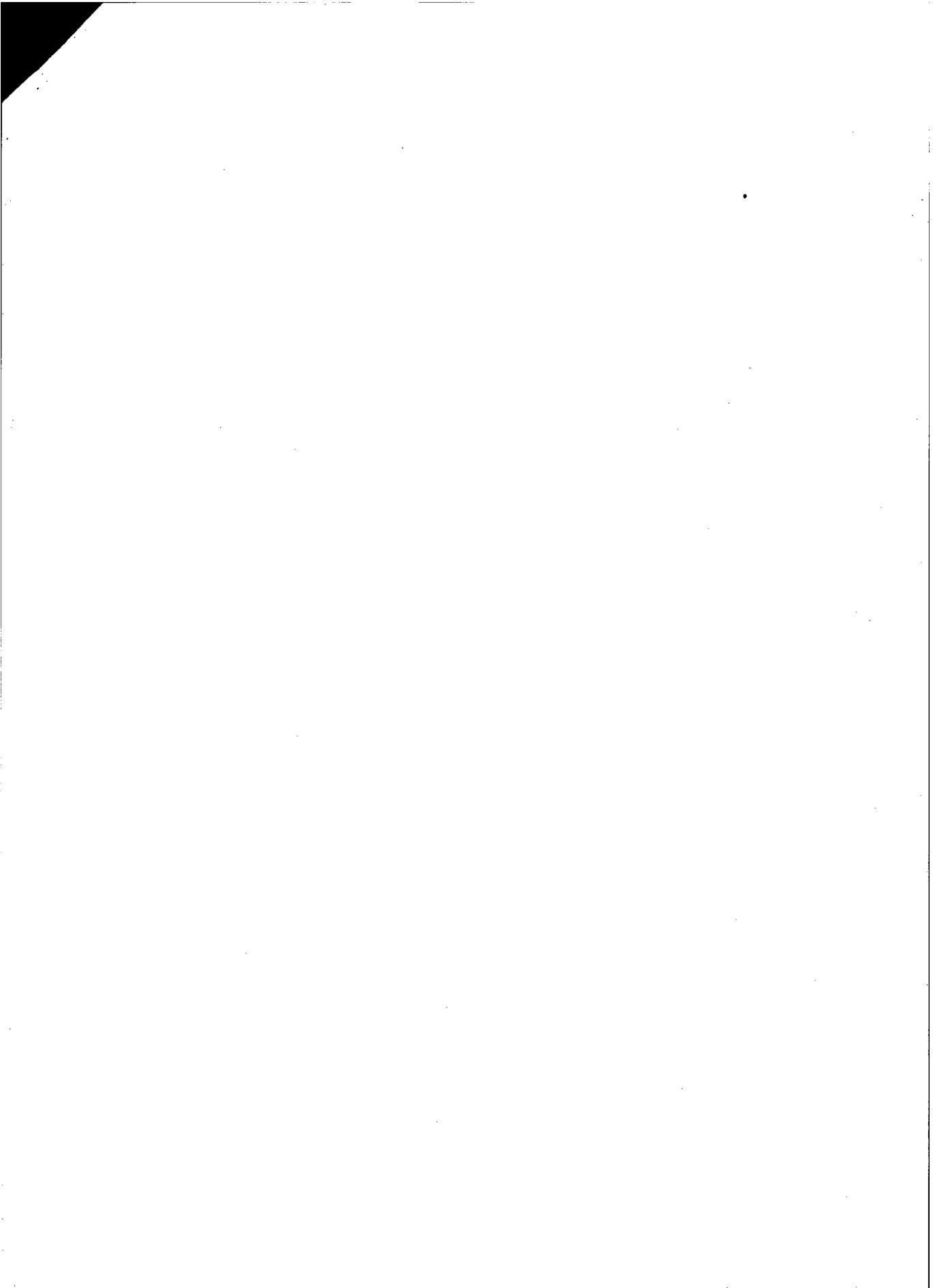
א. 0010.

ב. 0001.

ג. 0110.

ד.  $\text{beq} \wedge \text{sneq} \wedge \text{not zero}$ .

ה. 0000.



**חלק ג [30 בקודות]**

נתון קטע הkode הבא בשפת האסמבלי של ה-V-RISC :

```
L1: ld    X2, 0(X5)
      add  X4, X1, X2 /* 
      sd    X4, 0(X5)
      add  X5, X5, X2 /**
      bneq X5, X6, L1
```

הנחנו כי המעבד הוא **one cycle pipeline** (ללא **data hazards**). כמה פעמים תבוצע הלולאה **L1**?

א. יותר מפעם אחת.

ב. לפחות אינסוף.

ג. פעמיים.

ד. פעם אחת.

ה. התשובות האחרות שגויות.

ו. לא ניתן לדעת.

**שאלה מס' 11 (6 נק')**

הנחנו כי המעבד הוא מצונר (pipelined) ללא טיפול ב **data hazards** (ז"א המתכונת אחראי להכניס סופי במקומות המתאימים בכך שהקוד יתבצע כהלכה, ובטעיפ זה אין להוסיף סוף). מה יהיה הערך שייכתב ל **X5** בתום ביצוע פקודה ה **add** הממוסננת ב **\*\***?

א. 1000.

ב. 984.

ג. 1016.

ד. 1008.

ה. התשובות האחרות שגויות.

ו. 992.

**שאלה מס' 12 (6 נק')**

הנחנו כי המעבד הוא מצונר (pipelined) ללא טיפול ב **hazards** (ז"א המתכונת אחראי להכניס סופי במקומות המתאימים בכך שהקוד יתבצע כהלכה, ובטעיפ זה אין להוסיף סוף). מה יהיה הערך בזיכרון בגין פקודה ה **sd** באירועיה הראשונה?

א.  $M[1000] = -16, M[992] = 0.$

ב.  $M[1000] = 16, M[992] = 0.$

ג.  $M[1000] = 0, M[992] = 0.$

ד.  $M[1000] = -8, M[992] = 0.$

ה.  $M[1000] = 0, M[992] = 8.$

ו. התשובות האחרות שגויות.





### שאלה מס' 13 (6 נק')

הנحو כי המעבד הוא מצונר (pipelined) ללא טיפול ב hazards (ז"א המתקנת אחראי להכנים **soph** במקומות המתאימים בכך שהקוד יתבצע כהলכה). הנحو גם שהחומרה עוצרת fetch בזמן ביצוע פקודות קפיצה עד לסיום הביצוע. מהו מספר פקודות **soph** המינימלי שיש להוסיף בכך שהקוד יתבצע כפי שתוכנן?

DEB00 old released

- .2  א
- .3  ב
- .7  ג
- .5  ד
- .3  ה
- .2  ו

### שאלה מס' 14 (6 נק')

ב

### ן

הנحو כי המעבד הוא מצונר (pipelined) עם חוספת של **forwarding** או **bypassing** לטיפול ב-hazard בלבד כפי שנלמדו בכיתה. הנحو גם שהחומרה עוצרת fetch בזמן ביצוע פקודות קפיצה עד לסיום הביצוע. מהו מספר פקודות **soph** המינימלי שיש להוסיף בכך שהקוד יתבצע כפי שתוכנן?

DEB00 old released

DEB00 old released

DEB00 old released

- .8  א
- .4  ב

ה. התשובות האחרות שניות.

DEB00 old released



מספר גרסה: 0000



עמוד [20] מתוך [20]

לינק מזמין:

```
long long trav(struct node *p) {
    if (p == NULL)
        return (0);
    s = (*p->think)(p);
    s += trav(p->left);
    s += trav(p->right);
    return (s)
```

ld: a0, 0(a0)  
jal: ra, trav  
add: s0, s0, a0

ld: a0, 8(a0)  
jal: ra, trav  
add: s0, s0, a0



מספר גרסה: 0000



א. התשובות האחרות שגויות.

### שאלה מס' 16 (5 נק')

האם יש צורך להוסיף את מהפקודות הבאות כדי שהקובד יעבדו:

א.  $.sd 0,8(sp) ps$ .

ב. אין צורך להוסיף.

ג.  $sd t0,8(sp)$ .

ד.  $s0,8(sp) ps$ .

א. התשובות האחרות שגויות.

### שאלה מס' 17 (5 נק')

כמה פעמים ... $s 0,1$  צריך להופיע בקובד המקורי:

.1.  א.

.2.  ב.

.3.  ג.

ד. התשובות האחרות שגויות.

.0.  א.

### שאלה מס' 18 (5 נק')

כמה פעמים ... $a 0,1$  צריך להופיע בקובד המקורי:

.2.  א.

.0.  ב.

.3.  ג.

.4.  ד.

א. התשובות האחרות שגויות.

