

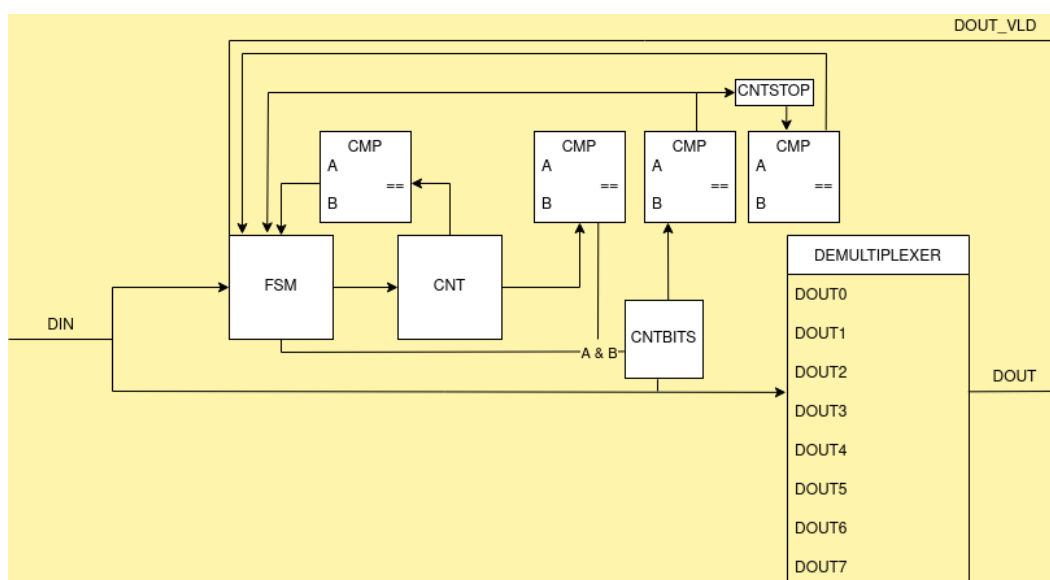
Příloha: Výstupní zpráva (Ukázka)

Jméno: Abayev Amirkhan

Login: xabaye00

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

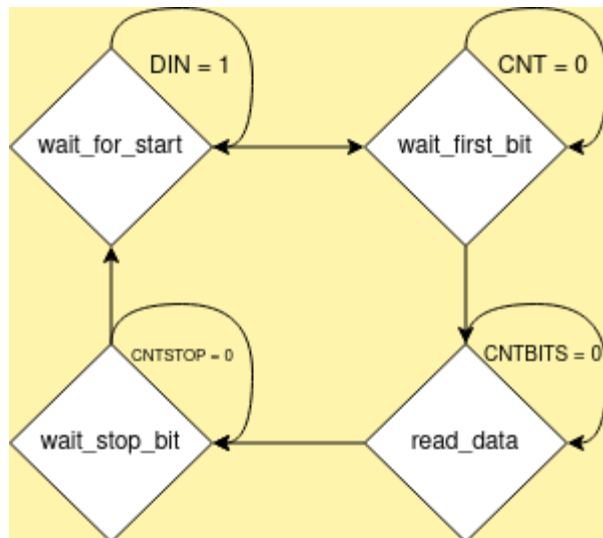
FSM – Finite State Machine; CNT – Counter; DIN – Input; DOUT – Output; DOUT_VLD – Validation data; CNTBITS – Bits counter; CNTSTOP – Stop counter;

Návrh automatu (Finite State Machine)

Schéma automatu

Legenda:

- Stavy automatu: wait_for_start, wait_first_bit, read_data, wait_stop_bit
- Vstupní signály: DIN, CNT, CNTBITS, CNTSTOP



Popis funkce

wait_for_start - waiting for START BIT.
wait_first_bit - waiting for first bit.
read_data - reading data.
wait_stop_bit - waiting for STOP BIT.

Snímek obrazovky ze simulací

