

教學手冊

Multi-Functional Recorder



B01504088 吳維傑

B01502002 盧勁璋

B01502125 陳相文

教學手冊

一、摘要

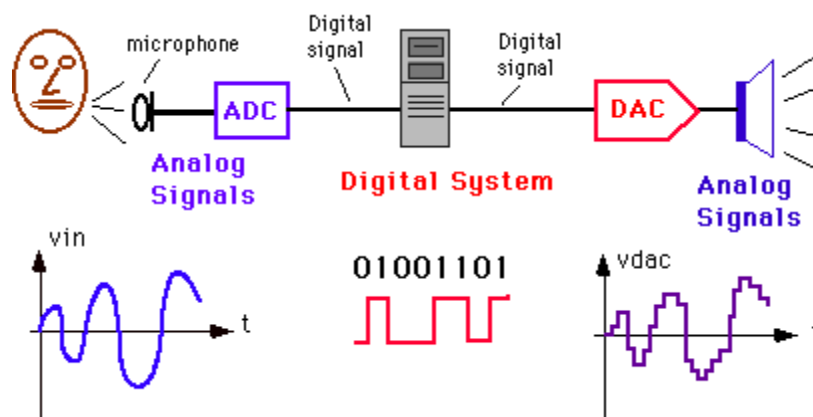
本實驗教學目的在於引導學生設計一多功能數位錄音機，從認識數位錄音機基本原理開始，將訊號處理的概念應用於本系統，接著學會從技術手冊提供的資訊中正確使用現成的元件。過程中將使用 System Verilog 硬體描述語言，從頭擬定架構、撰寫程式、合成電路，並使用 Verilog testbench、Quartus SignalTap 與示波器等工具進行偵錯，在逐步建構電路的過程中，熟悉硬體開發的邏輯和流程，體會 FPGA 平台的方便之處。在整體實驗完成後，學生應能夠成功在 DE2-115 FPGA 開發平台上，設計出一功能完善之多功能錄音機，並在過程中學習培養規畫和思考的能力。

二、概念

1. 錄音、放音基本原理

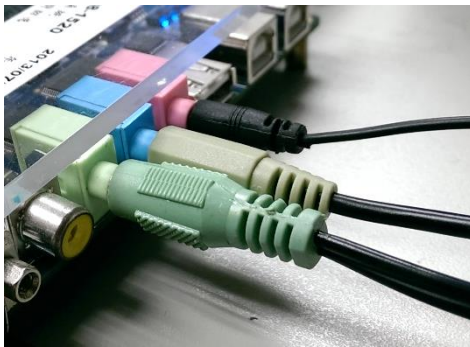
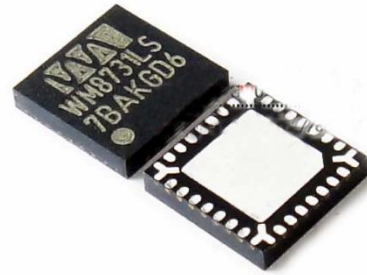
錄音機的核心功能是將記錄對象的聲音錄製下來，並能夠用不同的方式如：重複播放、加速播放、特殊效果，將原先的聲音加以重現。

大多數的錄音機利用麥克風，將自然界中的聲波轉換為類比電訊號，為了記錄及處理方便，透過類比/數位轉換器(ADC)轉為數位訊號。需要重播時，再透過數位/類比轉換器(DAC)，將數位訊號轉回類比訊號，並交由揚聲器(Speaker)再度將類比電訊號重現為聲波的形式。若錄音端的訊號直接交給放音端，聲音訊號便是即時(real-time)的，加上預先準備的音樂和回音等特殊效果，即為常見的卡拉 OK 點唱機。



2. WM8731 音效晶片

本實驗所使用的系統建構在 DE2-115 開發平台上，其所提供的 WM8731 音效晶片相當便於使用，整合了前述的 ADC 及 DAC 電路區塊，是數位電路與外界類比訊號溝通的橋梁，晶片支援最高取樣規格為立體聲 24bit/ 96kHz，對本實驗來說是綽綽有餘。



本晶片提供了 Mic in、Line in 兩種輸入、以及 Line out 輸出，Mic in 與 Line in 的差別在於前者具有電壓增益功能。基於提供開發者足夠的使用彈性，原廠保留了若干參數上的調整空間，並且晶片預設是關閉的。為了能在我們設定的規格下(單聲道 16bit/32kHz)啟動並正常使用晶片，必須以 I2C(Inter-Integrated Circuit)傳輸協定對晶片進行初始化(Initialization)，過程中晶片保持在從屬模式(Slave mode)，意即聽命於外界指令。接著，在完成初始化後，本音效晶片在數位端的音訊資料傳輸協定亦保有彈性，我們建議採用 I2S(Inter-IC Sound)協定，以 2's complement 格式傳送左、右聲道訊號，並且在傳輸上保持主使模式(Master mode)。至於其中所傳送的數位訊號如何記錄、處理，是本實驗的重頭戲。

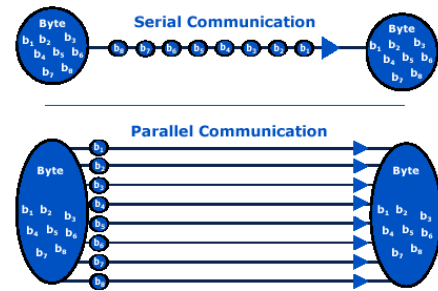
3. SRAM 記憶體



本實驗所設計之錄音機必須記錄數位資料，而開發平台上內建的 2MB SRAM 記憶體便是很好的選擇。本記憶體字元長度(word length)為 16bit，共有 1024 千個字元，因此總容量 2MB。以本次所設定音訊資料規格(單聲道 16bit/ 32kHz)而言，共可記錄長度為 $1024000/32000=32$ 秒的聲音訊號。另外，SRAM 讀取與寫入均為 16-bit 並列(parallel) 格式，恰巧與音訊晶片的取樣位元深度相同，因此每一筆取樣資料即為一個字元的長度。

4. 並列、序列資料轉換

前述的音效晶片，數位端以序列(serial)方式傳輸 2's complement 格式的二進制資料，相反地，SRAM 記憶體則為並列(parallel)格式，加上在核心模組進行訊號處理時，並列傳輸會比串列傳輸來得更方便，我們必須設計一模組將兩種資料格式互相轉換。



5. LCD 模組

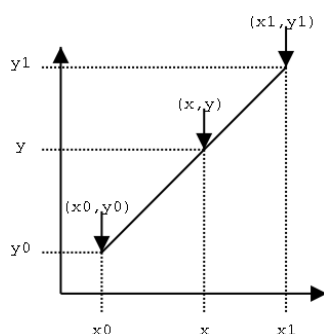


本實驗所建構之錄音機功能繁多，為使使用者能夠快速上手，可以文字的方式在開發平台內建的 LCD 顯示板上，提供淺顯易懂系統資訊，如：播放、錄製、秒數等。此 LCD 顯示器具有 16 字元 x 2 行，無背光功能，原廠提供預先設定好的字庫，在進行適當的初始化 (Initialization) 後，得以 8-bit 並列傳輸的格式傳送欲顯示字元在字庫內的對應編碼。詳細的初始化方式、資料傳輸格式以及字庫編碼對照表，請見後續章節。

6. 時脈轉換

多功能錄音機內包含了為數眾多的模組，各別所需的工作時脈(clock) 不一，如： 音效晶片初使化用的 I2C 時脈約需 100kHz、正式工作所需的時脈則為 12MHz，LCD 顯示器的工作時脈則不宜過高(建議 1MHz 以下)。針對不同的時脈需求，我們可藉助 Altera 公司提供的 ALTPLL 工具，將預設時脈 (50MHz) 精確且穩定地轉換成各個頻率較低的時脈。

7. 播放速度調整



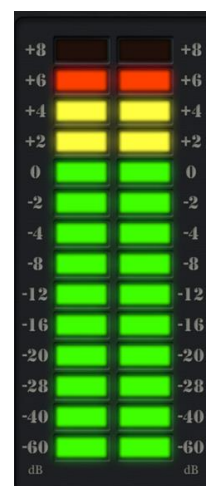
經由改變讀取 SRAM 記憶體內每筆資料的順序，我們可以得到不同的播放速度：依序讀取，得到一倍的播放速度；間隔一取樣點(16-bit)讀取，得到兩倍的播放速度。根據訊號處理的簡單定律，時域縮放(time domain scaling)將訊號時間長度減小，會使得頻域(frequency domain)變寬，也就是聽覺上的音調變高。為使音調維持不變，我們可改為間隔多個取樣點讀取，至於間隔長度的多寡，是同學可以試驗的空間。

Operation	Time Function	Fourier Transform
Linearity	$af_1(t) + bf_2(t)$	$aF_1(\omega) + bF_2(\omega)$
Time shift	$f(t - t_0)$	$F(\omega)e^{-j\omega t_0}$
Time scaling	$f(at)$	$\frac{1}{ a } F\left(\frac{\omega}{a}\right)$

反之，若在原有兩取樣點之間插入其他點，則可降低播放速度至一倍以下。針對插入的點與原先左右兩側取樣點的關係，可選擇採用零次內插(插入的值與原有的前一值相同)，或是線性內插(插入的值和原有的兩值呈現線性關係)。前者處理簡單但失真較大，後者處理較困難但失真較小。

8. 訊號電平(Level)

錄音機的內部訊號處理及儲存都是數位的形式，過大的輸入電平不但易導致器材的損壞，超過位元深度(16-bit)上限的部分亦會被轉換為相同的值，訊號將面臨切削(clip)，產生大量的高次諧波，也就是明顯的失真，即俗稱的「破音」，聲音尖銳難以入耳。為避免上述現象，勢必得用適當方式顯示音效晶片的麥克風輸入電平，在使用者在無意間輸入過大的訊號時發揮警示作用，促使其進行將聲音減弱、或將麥克風遠離音源等後續處理。



9. 回音效果

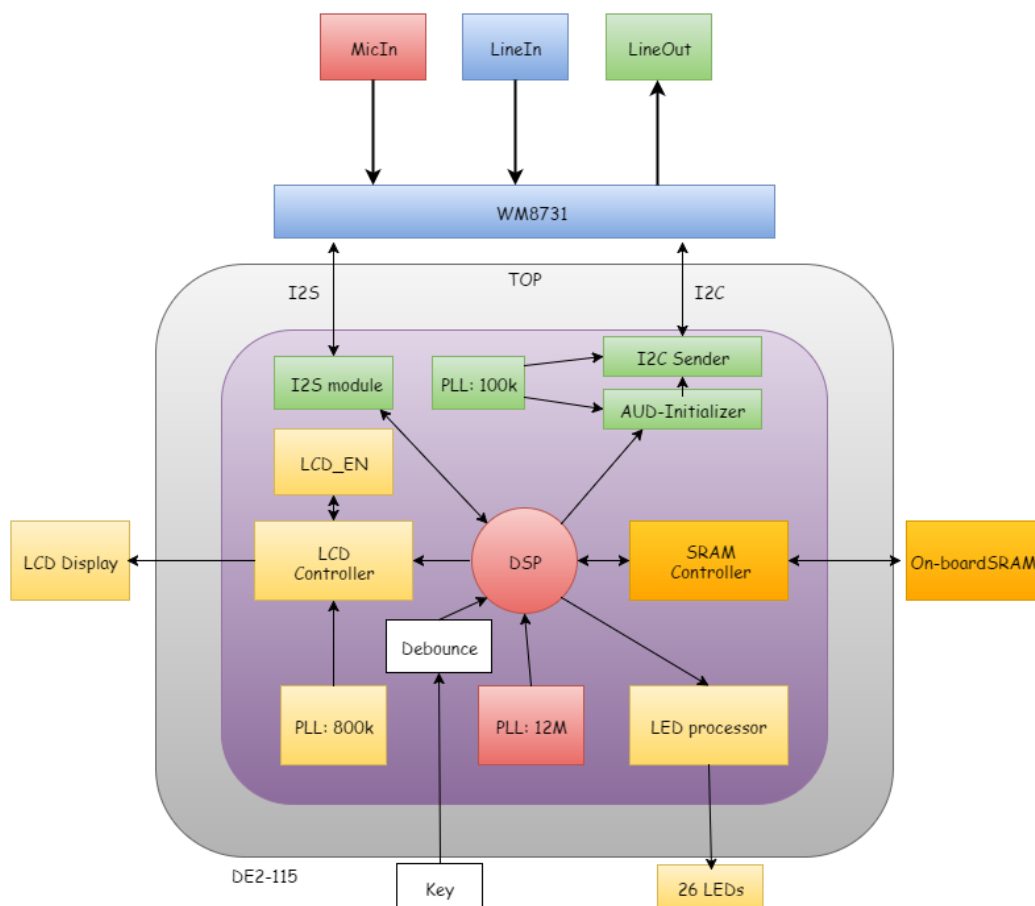
如前述，若將音效晶片的輸入訊號直接接駁至輸出端，加上外接的背景音樂，即成為常見的卡拉 OK 設備。在此，我們建議將 Line in 做為播放背景音樂的輸入，設定方式後述。

為增添歌唱效果及樂趣，適當的回音是必須的。自然界的迴音乃是聲波在空間中反射疊加而成，我們利用前述的 SRAM 記憶體，暫時將訊號儲存，並在一定的時間後讀取，做到將延遲的效果，最後將延遲不同時間長度的訊號，振幅乘上不同的倍率，即得到我們所需的回音。

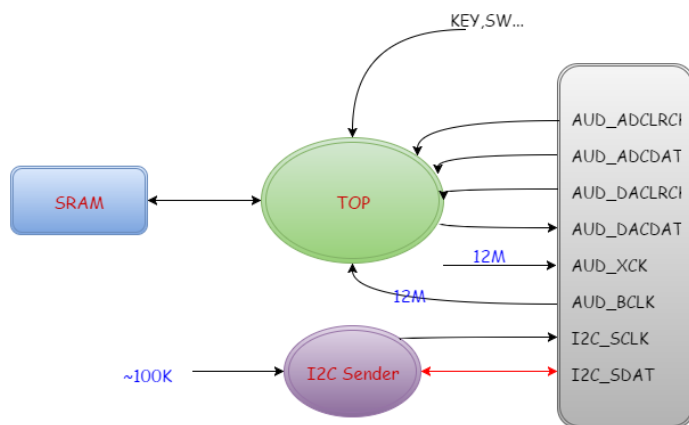
三、 實作

1. 系統架構

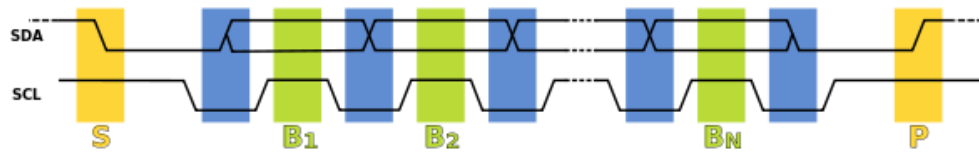
本次實驗的系統架構如下圖，主要表示各模組之間的互動關係，並未繪製所有訊號，同學可彈性規劃與調整。



另外需注意的是，外層的 Top 模組所使用的 12MHz 時脈是 PLL 輸入 WM8731 音效晶片後再產生的，而非直接使用 PLL 的時脈訊號，其關係圖如下。



2. I2C 傳輸協定



初始化音效晶片的動作，必須藉助 I2C 傳輸協定完成。針對此模式，原廠設計使用雙線序列式介面(2-wire serial interface)傳輸，其寫入波形如上圖所示：在 SCL=1 當下，SDA 會被視為有效資料，而此時間點的前後，SDA 必須保持穩定不變。唯一例外為宣告資料傳輸的開始及結束：SCL=1 時 SDA 下降代表開始，SDA 上升則代表結束。

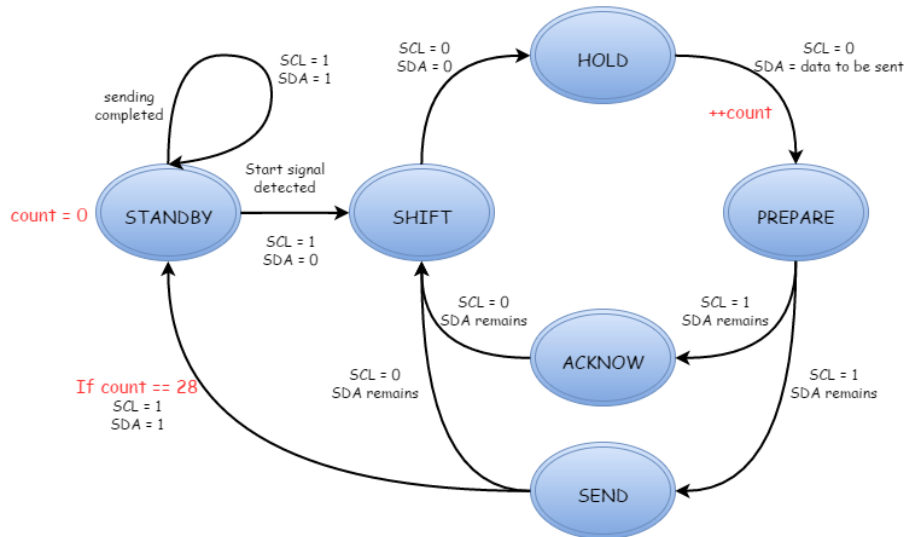
根據原廠技術手冊，上述傳輸開始到結束的過程總共需傳送 24bit，每傳送 8 個 bit 必須等待一個 acknowledge 週期(即設 SDA 為 1'bz)，且音效晶片持續保持從屬模式，聽命於初始化模組所送出的指令。這段 24-bit 的資料包含了四部分：

- A. 從屬裝置位址(7-bit)：固定為 0011010，代表音效晶片硬體位址
- B. 讀寫(1-bit)：固定為 0，表示進行寫入
- C. 裝置中的暫存器位址(7-bit)
- D. 資料(9-bit)。

其中 C 及 D 的部分我們整理於右表，依序將 10 筆 24-bit 的資料經由 SCL 及 SDA 送出後，即已完成了初始化。另外，若將右圖紅色框內改為 1，則會使音效晶片 Line in 訊號直接疊加到 Line out，提供了一條外接音源的路徑，這項參數在卡拉 OK 模式下必須被開啟，以提供播放背景音樂的功能。

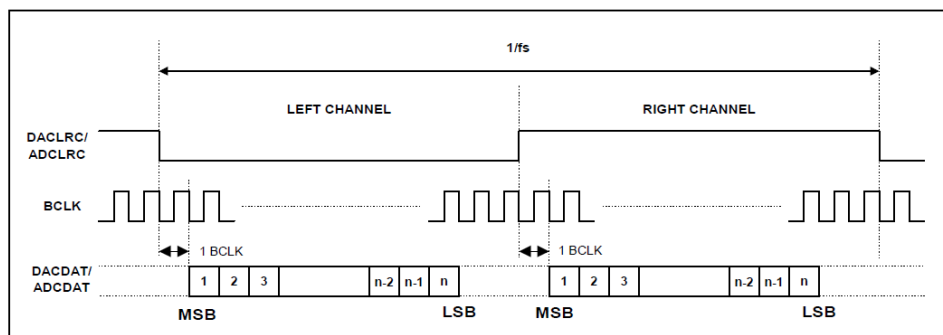
Left Line In	000_0000_0_1001_0111
Right Line In	000_0001_0_1001_0111
Left Headphone Out	000_0010_0_0111_1001
Right Headphone Out	000_0011_0_0111_1001
Analogue Audio Path Control	000_0100_0_0001_0101
Digital Audio Path Control	000_0101_0_0000_0000
Power Down Control	000_0110_0_0000_0000
Digital Audio Interface Format	000_0111_0_0100_0010
Sampling Control	000_1000_0_0001_1001
Active Control	000_1001_0_0000_0001

在此，我們提供 I2C_Sender(負責傳送一筆 24bit 資料)的流程圖做為參考，同學須自行設計另一模組(AUD_Initializer)負責提供上述模組 10 筆 24-bit 資料。



3. I2S 傳輸協定

I2S 傳輸協定是用來規範與 WM8731 音效晶片傳輸音訊資料的方法。其中 DAC 代表由使用者將處理後的音訊送進數位類比轉換器的部分，ADC 代表使用者由類比數位轉換器接收音訊的部分。在主使模式(Master mode)下，LRC 由 WM8731 傳送給使用者，用來表示目前在處理的是哪個聲道，低電位代表左聲道，高電位代表右聲道。DAT 則是實際傳送的音訊內容，從 LRC 改變後的第二個 clock 開始傳送，直到送滿設定的大小後，其餘補 0，此實驗我們設定的大小為 16 bits。



4. 數位信號處理(DSP)

從 WM8731 接收到音訊後，需對其做數位信號處理。例如在錄音時，需記錄下儲存的資料尾端的位址，以免在播放時播出 SRAM 中沒有使用到的部分。另外在慢速播放時，相鄰兩筆資料中間會有空白的部分，需要以內插來填補。內插又分為零次內插與線性內插，零次內插即是以前一筆資料作為空白部分的值；線性內插則是利用前後兩筆資料的線性組合使其成一直線。需要注意的是，在進行線性內插時，需要考慮到正負號以及

overflow 的問題。

在測試線性內差演算法正確性的過程，為了觀測方便，我們可以將正弦波做為輸入源。而正弦波的產生方式相當簡單，同學可利用實驗是常見的訊號產生器，或直接用手機下載產生單頻率正弦波的 App 應用程式，雖然精確度不若真正的儀器，也已具有足夠的參考價值。

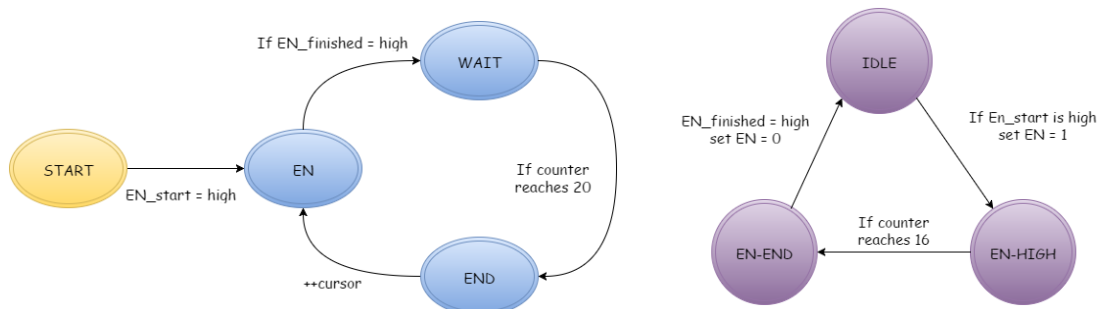
5. 控制 LCD 顯示器

此 LCD 顯示器具有 16 字元 x2 行，無背光功能，原廠提供預先設定好的字庫。LCD 顯示器的接駁如右圖所示，我們保持 LCD_ON=1 及 LCD_RW=0 即可，確保顯示器持續開啟以及接受資料的寫入。其餘必須控制的訊號為分別為：

Signal Name	FPGA Pin No.	Description
LCD_DATA[0]~[7]	PIN_L3~M5	LCD Data[0]~[7]
LCD_EN	PIN_L4	LCD Enable <small>level sensitive: 1 edge sensitive: 1~0</small>
LCD_RW	PIN_M1	LCD Read/Write Select <small>0: write 1: read</small>
LCD_RS	PIN_M2	LCD Command Select <small>0: command 1: data</small>
LCD_ON	PIN_L5	Power ON/OFF
LCD_BLON	PIN_L6	LCD Back Light ON/OFF

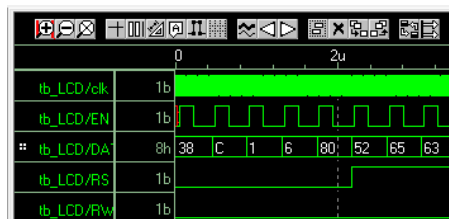
- A. LCD_EN(1-bit)：在此訊號的下降邊緣(falling edge)讀取 LCD_DATA
- B. LCD_RS(1-bit)：0 代表寫入指令，1 代表寫入資料
- C. LCD_DATA(8-bit)：欲寫入的訊號，可為指令或資料

控制 LCD 顯示器的流程基本上如下方左圖所示：從 EN 到 WAIT 狀態的持續區間，EN 保持輸出 1；而 WAIT 到 END 狀態之間，則保持 EN=0；最後將游標+1，繼續輸出下一組 LCD_DATA，周而復始。為了開發及維護方便，可將控制 EN 訊號的模組獨立出來，如下方右圖。如此一來，兩段和 EN 有關的區間長短便得以彈性調整。



在主要的控制模組中，我們將 LCD_RS 及 LCD_DATA 合併，每個游標所對應的 9-bit 資料依序是我們必須送出的資料和指令：

- 0：9'h038，Function set
- 1：9'h00C，Display on
- 2：9'h001，Display clear
- 3：9'h006，Entry mode set
- 4：9'h080，DDRAM address set
- 5~20：第一行字元編碼，詳見原廠技術手冊
- 21：9'h0C0，換行
- 22~37：第二行字元編碼，詳見原廠技術手冊

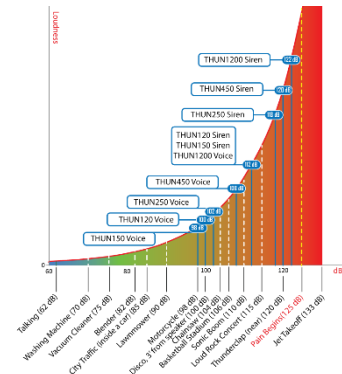


如此，控制器便會依序將以上資料送出至顯示器，波形如右上圖所示，同學可作為參考，自行撰寫 Testbench(詳見下文)測試之。另外必須注意的是，在首次初始化之後便不需再重複執行，之後的游標可直接改由 4 開始計算。

6. 設計 LED 電平顯示器

如前文所說，我們利用開發平臺提供的 26 只 LED 顯示器顯示輸入訊號大小。首先，人耳對於聲波強度的感受是對數的(Logarithm)，也就是「分貝」單位的由來；聲波振幅經 ADC 量化後成為 16bit 的二進制數位訊號，數值大小與每個位元之間的關係亦為對數的。我們可以簡單地將 16 個位元等比例至 26 個 LED 顯示器，但仍存在下列問題：

- A. MSB 為 Sign bit，而欲顯示音量的大小為絕對值。應設法將 2's complement 格式取絕對值後、轉回 Unsigned integer 格式。
- B. 聲音訊號有雜訊，而雜訊的分布是隨機的。若 32kHz 每一點都取樣、或每隔一段時間取樣，則有相當大的機率剛好取到突升的雜訊，導至 LED 音量指示器不停跳動，降低準確度。我們可選擇將固定區間的強度累加並平均，甚至取方均根值，讓隨機出現的雜訊對顯示器的影響力降低。
- C. 實用的音量指示器在對數軸上並非等距，而是在音量較大的區域間隔較小(如右圖)。同學可自行試驗，調整每顆 LED 顯示器所代表的數值大小。



7. 按鈕的去抖(Debounce)

開發平台內建的按鈕並非理想，有時會有震盪的問題，其訊號不會是一個乾淨俐落的 step function，因此可能會在 0 和 1 之間抖動(bouncing)多次才停止。為防止這樣的現象，必須使用具有去抖功能的電路。大致上概念為：在一定時脈週期內，連續出現幾次相同的值，才被判定為有效，否則輸出仍維持不變。同學可練習撰寫這樣簡單的模組，同時熟悉時序電路(Sequential Circuit)的概念。

8. 開發(Development)與除錯(Debug)訓練

A. Verilog Testbench

對於使用硬體描述語言撰寫的半成品，在正式燒錄至硬體前，基於測試與除錯等目的，得使用測試程式(Testbench)產生測試訊號，輸入到測試對象，模擬真實電路情況，並記錄測試對象任何節點(node)的波形，可免除編譯、合成、燒錄等繁複耗時的工作，迅速且方便完成模擬，對於仍在開發階段的程式有莫大助益。

本實驗僅提供 I2C Sender 的測試程式(Testbench)，同學可藉此測試開發階段程式的正確性，同時也在過程中學習修改與撰寫其他的 Testbench，為 LCD 控制器、串列/序列轉換器等等模組進行測試。

B. Quartus SignalTap

在通過所有測試程式(Testbench)後，必須著手進行編譯、合成、燒錄的工作，燒錄完成的電路極有可能因時脈(clock)不匹配、後端節點配置(mapping)、邏輯電路抖動(bouncing)等問題干擾，而未如預期般運作，此時得使用 Quartus 軟體提供的 SignalTap 工具，設定欲觀察波形之節點與觸發條件(如右圖)，並在完成燒錄後由電腦端傳送訊號，以此工具觀察真實狀況下的波形是否合理。

Type	Alias	Name
		...sys_0javm_readdata
		...javm_readdata[7]
		...javm_readdata[6]
		...javm_readdata[5]
		...javm_readdata[4]
		...javm_readdata[3]
		...javm_readdata[2]
		...javm_readdata[1]
		...javm_readdata[0]
		...err.rsa_qsys_0javm_read
		...qsys_0javm_address
		...err.rsa_qsys_0javm_write
		...sys_0javm_writedata
		...qsys_0javm_waitrequest

與測試程式(Testbench)不同的是，SignalTap 工具觀察的對象是真實電路，會占用開發平台上的硬體資源，受到硬體規格的限制(尤其是記憶體)，可觀察的波形數量與時間長度有限，學生須在有限的資源中挑選適當的節點，以利除錯工作的進行。

C. Oscilloscope

聲音在本實驗中是主角，從聲波的線性度與失真程度可確認我們設計的模組是否正確執行。對於聲波的失真度，有時光憑耳朵難以判別，必須使用示波器(Oscilloscope)、搭配前文所提的弦波(sine wave)產生方式：例如在慢速播放的線性內插法當中，輸出波形可明顯獲得平滑化。示波器探棒與開發平台的 Line out 連接方式可參考右圖。

