

**UNIVERSIDAD DE GRANADA.**

**ESCUELA TECNICA SUPERIOR DE  
INGENIERIAS INFORMATICA Y DE  
TELECOMUNICACIÓN.**



**Departamento de Ingeniería de Computadores,  
Automática y Robótica.**

**TECNOLOGÍA Y ORGANIZACIÓN DE  
COMPUTADORES.**

**PRÁCTICA 6.  
IMPLEMENTACIÓN Y FUNCIONAMIENTO DE  
CONTADORES Y GENERADORES DE SECUENCIAS.**

**1º GRADO EN INGENIERÍA INFORMÁTICA.**



## PRÁCTICA 6. INSTRUCCIONES.

### IMPLEMENTACIÓN Y FUNCIONAMIENTO DE CONTADORES Y GENERADORES DE SECUENCIAS.

#### **Objetivos:**

- *Diseñar contadores y generadores de secuencias.*
- *Comprobar el funcionamiento de contadores y generadores de secuencias.*

#### **Material necesario para el desarrollo de la práctica:**

- *Guion de prácticas disponible en SWAD en el apartado ARCHIVOS>DOCUMENTOS>04.-PRACTICAS>PRACTICA\_6>PRACTICA\_6\_TOC-INSTRUCCIONES.PDF.*
- *Material del Tema 4º disponible en SWAD en el apartado ARCHIVOS>DOCUMENTOS>01.-TEORIA y PROBLEMAS>TEMA\_4>04.TEMA\_4\_TOC\_ANALISIS\_DISENO\_SISTEMAS\_SECUENCIALES.PDF. Apartado 4.3. Componentes secuenciales estándar.*
- *Material del Tema 4º disponible en SWAD en el apartado ARCHIVOS>DOCUMENTOS>01.-TEORIA y PROBLEMAS>TEMA\_4>04.TEMA\_4\_TOC\_ANALISIS\_DISENO\_SISTEMAS\_SECUENCIALES\_GUIA\_TRABAJO\_AUTONOMO.PDF.*
- *Seminario 5. Guía de Trabajo Autónomo. PARTE 1: INTRODUCCIÓN AL MANEJO DE UN SIMULADOR LÓGICO, páginas 1-3 a 1-10 (ambas inclusive) disponible en SWAD en el apartado ARCHIVOS>DOCUMENTOS>02.-SEMINARIOS>SEMINARIO\_5>05.-SEMINARIO\_5\_TOC\_SIMULADOR\_ENTRENADOR\_LOGICO\_GUIA.*
- *Software Simulador Lógico LogicWorks.*



## 6.1. Contador síncrono de módulo 9:

Diseñe un contador síncrono descendente módulo 9 que genere cíclicamente la cuenta (en binario) **8, 7, 6, 5, 4, 3, 2, 1, 0, 8, 7, 6...** Simule el circuito utilizando LogicWorks y compruebe su funcionamiento mediante un cronograma como el de la Figura 6.1.

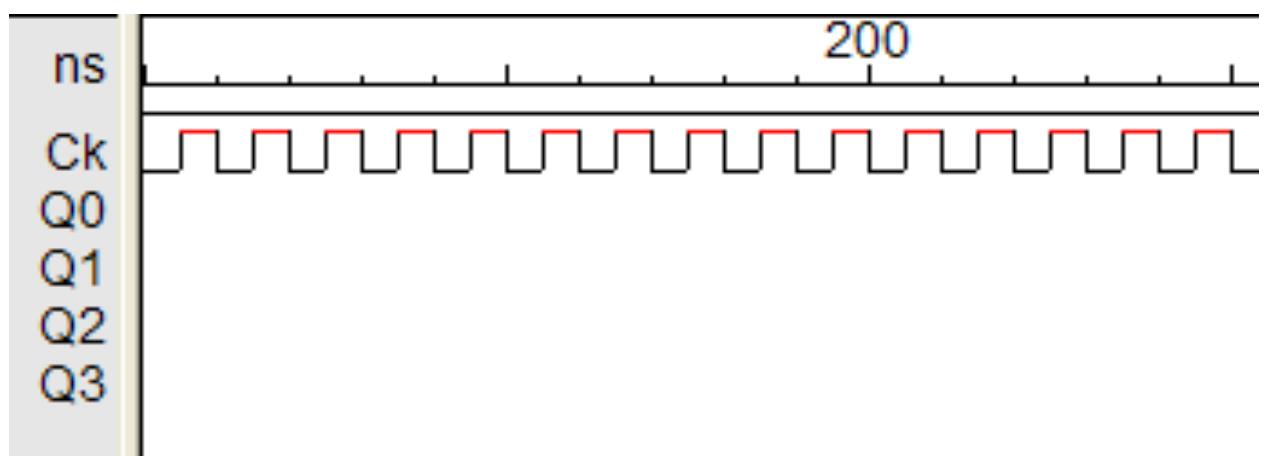


Figura 6.1

Según lo indicado en la Guía de Trabajo Autónomo del Tema 4º sobre el diseño de contadores:

- a) Deducción del número de salidas del sistema (m). Como  $Z_{\max} = 8_{10} = 1000_2$  se requiere un número m = 4 salidas  $Z_3Z_2Z_1Z_0$ .
  - b) Deducción del número de biestables del sistema (p). Como es de módulo 9, para implementar 9 estados se requieren p = 4 biestables con salidas  $Q_3Q_2Q_1Q_0$ , procedentes de 4 biestables tipo  $D_3D_2D_1D_0$  ó  $T_3T_2T_1T_0$
  - c) Como el número de salidas (m) es igual que el número de biestables (p), m = p = 4, se puede simplificar mucho el diseño, pues eligiendo adecuadamente los códigos asignados a los estados se puede hacer que  $Z_i = Q_i$ .

La tabla de transición del contador y las tablas de excitación de los biestables, serían las expresadas en la Tabla 6.1.

$Q_3 Q_2 Q_1 Q_0$	$Q_3^+ Q_2^+ Q_1^+ Q_0^+$	$Z_3 Z_2 Z_1 Z_0$	$D_3 D_2 D_1 D_0$	$T_3 T_2 T_1 T_0$
0 0 0 0	1 0 0 0	0 0 0 0	1 0 0 0	1 0 0 0
0 0 0 1	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 1
0 0 1 0	0 0 0 1	0 0 1 0	0 0 0 1	0 0 1 1
0 0 1 1	0 0 1 0	0 0 1 1	0 0 1 0	0 0 0 1
0 1 0 0	0 0 1 1	0 1 0 0	0 0 1 1	0 1 1 1
0 1 0 1	0 1 0 0	0 1 0 1	0 1 0 0	0 0 0 1
0 1 1 0	0 1 0 1	0 1 1 0	0 1 0 1	0 0 1 1
0 1 1 1	0 1 1 0	0 1 1 1	0 1 1 0	0 0 0 1
1 0 0 0	0 1 1 1	1 0 0 0	0 1 1 1	1 1 1 1
1 0 0 1	- - - -	- - - -	- - - -	- - - -
1 0 1 0	- - - -	- - - -	- - - -	- - - -
1 0 1 1	- - - -	- - - -	- - - -	- - - -
1 1 0 0	- - - -	- - - -	- - - -	- - - -
1 1 0 1	- - - -	- - - -	- - - -	- - - -
1 1 1 0	- - - -	- - - -	- - - -	- - - -
1 1 1 1	- - - -	- - - -	- - - -	- - - -

Tabla 6.1

$$D_i = Q_i^+$$

$$T_i = 0 \text{ si } Q_i = Q_i^+ ; T_i = 1 \text{ si } Q_i \neq Q_i^+$$

Quedaría expresar  $D_3 D_2 D_1 D_0$  ó  $T_3 T_2 T_1 T_0$  como funciones de  $Q_3 Q_2 Q_1 Q_0$ , minimizadas convenientemente (trabajo para el estudiante). Realice el diseño utilizando biestables de tipo D ó de tipo T a su elección.

Del apartado 6.1 de la práctica el estudiante deberá desarrollar, el siguiente material:

- Diseño completo del circuito con sus ecuaciones.
- Circuito diseñado implementado con el Simulador.

Para poder visualizar en la ventana *Timing Window* del simulador las señales del cronograma de la figura 6.1, etiquete convenientemente las mismas con las etiquetas CK,  $Q_3$ ,  $Q_2$ ,  $Q_1$  y  $Q_0$ ,

## 6.2. Generador de secuencia síncrono:

Diseñe un generador de secuencia o secuenciador síncrono que produzca, de forma cíclica (en binario) la siguiente secuencia de salidas: **0, 1, 3, 1, 2, 0, 1, 3, 1, 2...** Simule el circuito utilizando el simulador lógico y extraiga un cronograma que refleje su buen funcionamiento. Para ello, implemente un circuito como el de la Figura 6.2.1 utilizando un generador de reloj (CLK) y un componente HEX\_DISPLAY para visualizar las salidas.

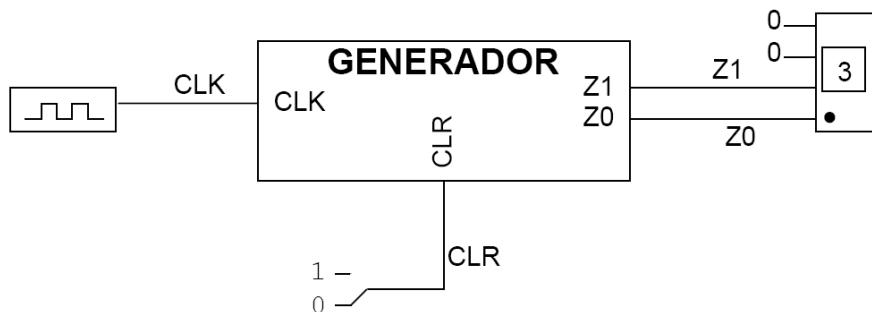


Figura 6.2.1.

Según lo indicado en la Guía de Trabajo Autónomo del Tema 4º sobre el diseño de Generadores de Secuencias:

- Deducción del número de salidas del sistema ( $m$ ). Como  $Z_{\max} = 3_{10} = 11_2$  se requiere un número  $m = 2$  salidas  $Z_1Z_0$ .
- Deducción del número de biestables del sistema ( $p$ ). Como es de módulo 5, para implementar 5 estados se requieren  $p = 3$  biestables con salidas  $Q_2Q_1Q_0$ , procedentes de 3 biestables tipo  $D_2D_1D_0$  ó  $T_2T_1T_0$ .
- Como el número de salidas ( $m = 2$ ) NO es igual que el número de biestables ( $p = 3$ ), a priori, ya no se puede hacer un diseño en el que  $Z_i = Q_i$ , o sea que  $Z_i = f_i(Q_2Q_1Q_0)$ .

El diseño de este Generador de Secuencias sería como el realizado en el problema 4.8.1 de la Guía de Trabajo Autónomo del Tema 4º en el que se implementa el Generador de Secuencias partiendo de un núcleo formado por un contador ascendente de módulo 5, al que se le añaden las salidas  $Z_1Z_0$ . La codificación en binario de los 5 estados del Generador de Secuencias puede ser en principio la que el diseñador deseé ya que hay muchas combinaciones

posibles para asignar los códigos de los 5 estados entre las 8 posibilidades de combinaciones de  $Q_2Q_1Q_0$ . Una asignación posible se muestra en la Figura 6.2.2.

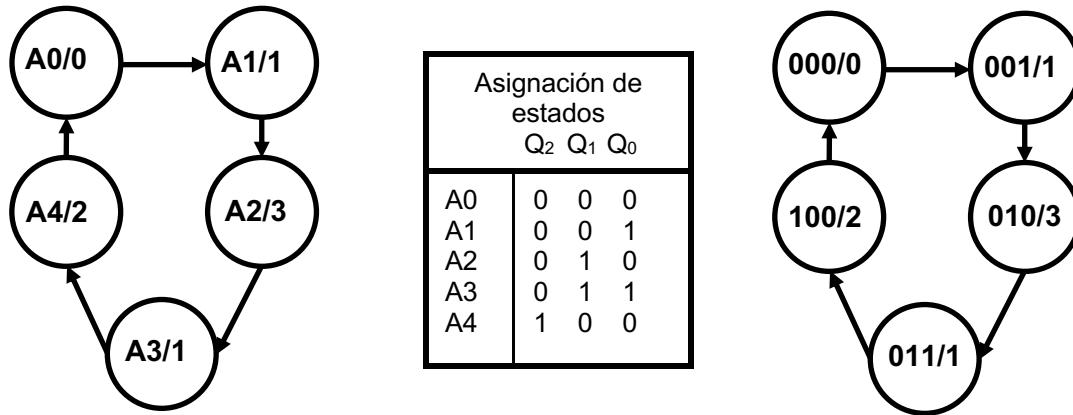


Figura 6.2.2. Izquierda: diagrama de estados. Centro: tabla de asignación de estados. Derecha: diagrama de estados ya asignado en binario.

Con esta asignación de estados la tabla de transición del Generador de Secuencias y las tablas de excitación de los biestables serían las expresadas en la Tabla 6.2.

Estado	Estado actual $Q_2Q_1Q_0$	Estado siguiente $Q_2^+Q_1^+Q_0^+$	Salidas	Tabla excitación $D_2D_1D_0$	Tabla excitación $T_2T_1T_0$
A0	0 0 0	0 0 1	0 0	0 0 1	0 0 1
A1	0 0 1	0 1 0	0 1	0 1 0	0 1 1
A2	0 1 0	0 1 1	1 1	0 1 1	0 0 1
A3	0 1 1	1 0 0	0 1	1 0 0	1 1 1
A4	1 0 0	0 0 0	1 0	0 0 0	1 0 0
	1 0 1	---	---	---	---
	1 1 0	---	---	---	---
	1 1 1	---	---	---	---

Tabla 6.2. Tabla de transición, de salidas y de excitación de biestables  $D_i$  y  $T_i$ .

$$D_i = Q_i^+$$

$$T_i = 0 \text{ si } Q_i = Q_i^+ ; T_i = 1 \text{ si } Q_i \neq Q_i^+$$

Quedaría expresar  $D_2D_1D_0$  ó  $T_2T_1T_0$  y  $Z_1Z_0$  como funciones de  $Q_2Q_1Q_0$ , minimizadas convenientemente (trabajo para el estudiante). Realice el diseño utilizando biestables de tipo D o de tipo T a su elección.

Simule el circuito utilizando el simulador lógico y compruebe su funcionamiento mediante un cronograma como el de la Figura 6.2.3.

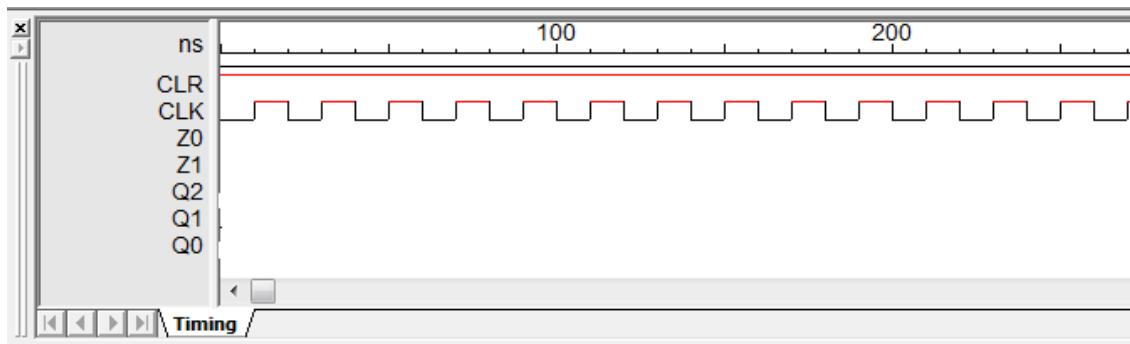


Figura 6.2.3.

Para poder visualizar en la ventana *Timing Window* del simulador las señales del cronograma de la Figura 6.2.3, etiquete convenientemente las mismas con las etiquetas CLR, CLK,  $Z_1$ ,  $Z_0$ ,  $Q_2$ ,  $Q_1$  y  $Q_0$ ,

Del apartado 6.2 de la práctica el estudiante deberá desarrollar el siguiente material:

- Diseño completo del circuito con sus ecuaciones.
- Circuito diseñado implementado con el Simulador.