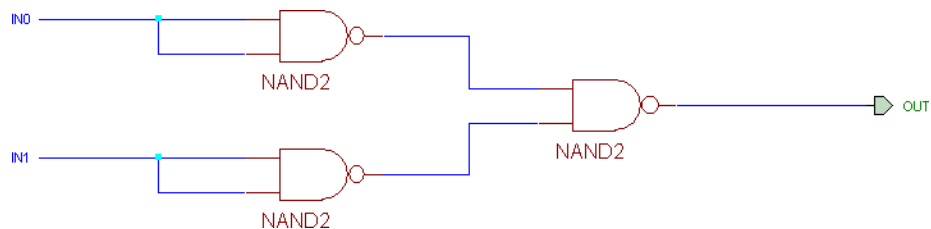


JAIME RODRIGO ROLDÁN CORCELLES

# ***PRÁCTICAS DE FUNDAMENTOS DE ELECTRÓNICA***



## **PRÁCTICAS DE FUNDAMENTOS DE ELECTRÓNICA.**

*Primera edición, Octubre de 2013*

© Autor, Editor e Ilustrador: Alberto Daza Márquez

I.S.B.N. 13: 978-84-695-8851-2

I.S.B.N. 10: 84-695-8851-6

Depósito Legal: MA-1990-2013

## **ÍNDICE.**

### **PRÁCTICA 6. CIRCUITO SECUENCIAL CONTADOR DNI.**

#### **PARTE 1. DESARROLLO DE LA PRÁCTICA.**

	<b>2</b>
1.1. DISEÑO Y SIMULACIÓN DE UN SISTEMA SECUENCIAL SÍNCRONO CON 2 SECUENCIAS DIFERENTES DEL DNI.	2
1.2. IMPLEMENTACIÓN Y ANIMACIÓN DEL SISTEMA SECUENCIAL SÍNCRONO CON 2 SECUENCIAS DIFERENTES DEL DNI.	9
1.3. SIMULACIÓN DEL SISTEMA SECUENCIAL SÍNCRONO	10

## **Práctica 6. Circuito Secuencial Contador DNI.**

### **Documentación.**

La **documentación** debe conservarse como material de la asignatura para el alumno y en ella se deben anotar las soluciones obtenidas para que el alumno tenga una copia de los resultados obtenidos.

El objetivo de esta **práctica** consiste en el **diseño y simulación** de los circuitos propuestos mediante la herramienta *Deeds-DcS (Digital Circuit Simulator)*. **Los diseños se recogerán en las hojas del enunciado**, que serán entregadas antes de acceder al laboratorio el día que esté señalado como corrección de esta práctica. Asimismo, antes de la fecha indicada al efecto, deben subirse al Campus Virtual los ficheros del proyecto en un único archivo .zip. **Además, se incluirán en dicho archivo .ZIP este documento PDF, con todos sus campos de formulario debidamente cumplimentados**

La **revisión del diseño y simulación** de los circuitos se realizará **en el laboratorio** el último día de prácticas junto con la revisión de la práctica 5.

## Parte 1. Desarrollo de la Práctica.

### Material Necesario

- Ordenador Personal
- Deeds-DcS (Digital Circuit Simulator)

### Objetivos

- Conocer el manejo del entorno de diseño digital Deeds-DcS para realizar el diseño y la simulación de circuitos secuenciales basados en elementos de memoria (flip-flops).
- Introducir técnicas de diseño modular para la implementación de metodologías de diseño "top-down" y "bottom-up".
- Poner en práctica los conocimientos teóricos para el diseño e implementación de un sistema secuencial síncrono.

### 1.1. Diseño y simulación de un sistema secuencial síncrono con 2 secuencias diferentes del DNI.

El **objetivo** de esta práctica es diseñar un circuito secuencial síncrono Moore que posea 2 comportamientos distintos dependiendo del valor de una señal de entrada X:

- Si  $X = 0 \rightarrow$  Generará una secuencia binaria de 4 bits con las 8 cifras del DNI del alumno de manera consecutiva tal y como aparecen en su documento, y cuando termine comenzará otra vez por el principio.
- Si  $X = 1 \rightarrow$  Generará una secuencia binaria de 4 bits con las 8 cifras del DNI del alumno de manera consecutiva, pero en este caso ordenadas de menor a mayor, y cuando termine comenzará otra vez por el principio.

Si el DNI del alumno no posee 8 cifras se rellenará con ceros por la izquierda en ambas secuencias. Si en mitad de la cuenta en una de las dos secuencias se cambia el valor de la entrada X, la nueva secuencia continuará a partir del último valor generado.

#### Ejemplos:

DNI = 99.321.125

Secuencia (en binario) con  $X = 0 \rightarrow 9, 9, 3, 2, 1, 1, 2, 5$  y vuelta a empezar.

Secuencia (en binario) con  $X = 1 \rightarrow 1, 1, 2, 2, 3, 5, 9, 9$  y vuelta a empezar.

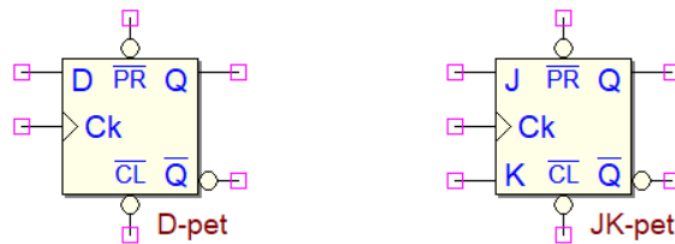
DNI = 9.745.428 (DNI de 7 cifras, rellenamos por la izquierda con un cero)

Secuencia (en binario) con  $X = 0 \rightarrow 0, 9, 7, 4, 5, 4, 2, 8$  y vuelta a empezar.

Secuencia (en binario) con  $X = 1 \rightarrow 0, 2, 4, 4, 5, 7, 8, 9$  y vuelta a empezar.

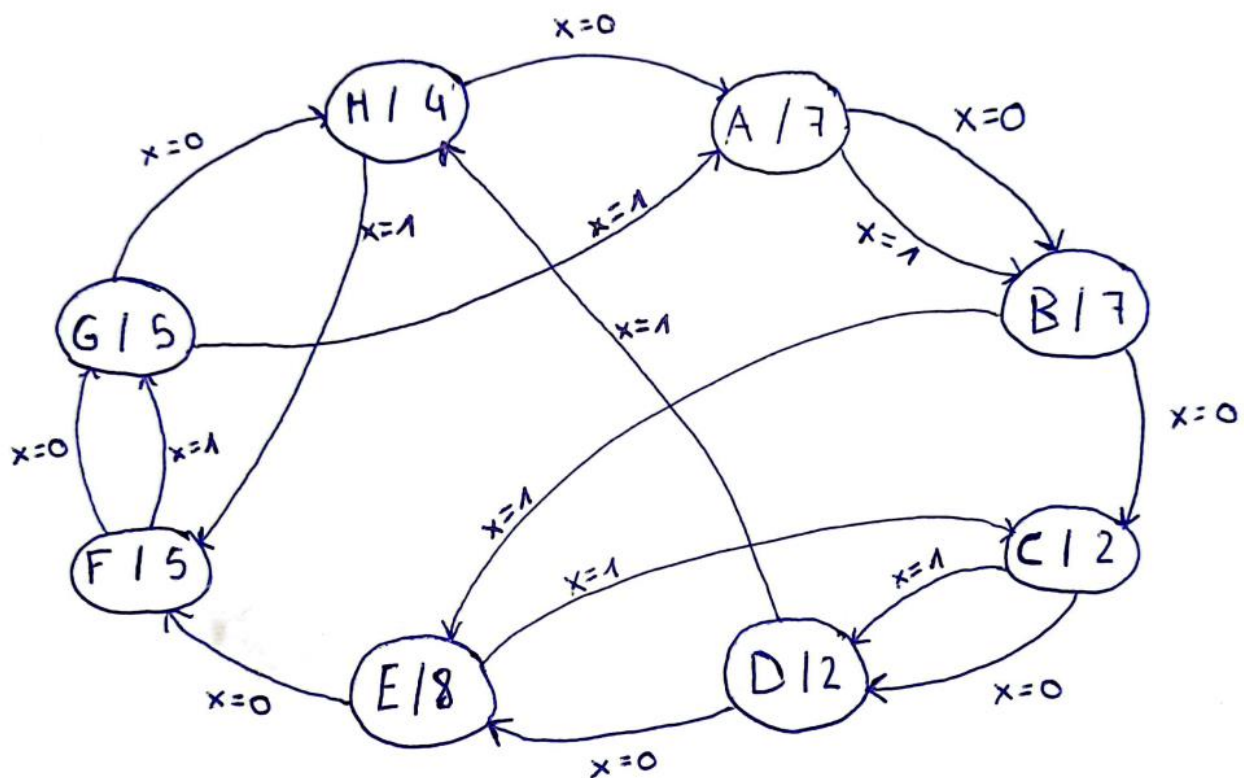
**Restricciones del diseño:**

1.- Para el diseño del circuito secuencial síncrono se pueden usar flip-flops de cualquier tipo (D ó JK), con señal de "CLEAR" (fuerza el valor de salida a 0) o "PRESET" (fuerza el valor de salida a 1). Si se desea utilizar un flip-flop tipo T, puede ser diseñado por el alumno según las técnicas utilizadas en la asignatura.



2.- También se debe incluir una señal de entrada RESET para, una vez conectada a las entradas "PRESET" o "CLEAR" de los biestables, llevar al sistema a su estado inicial. Dicho estado inicial corresponderá a la primera cifra del DNI en el orden como aparece en el documento del alumno, es decir, la primera cifra de la secuencia cuando  $X = 0$ . Recordar que la señal de "PRESET" o "CLEAR" que no se conecte a RESET, debe mantener fijo un valor adecuado para que no afecte al funcionamiento del circuito.

3.- La simulación del bloque debe realizarse utilizando los estímulos adecuados, para posteriormente almacenarlo como bloque funcional en la carpeta del proyecto. Dicho bloque funcional se usará en el proyecto final, que se unirá al ya hecho en la práctica 5 para convertir la secuencia de binario a 7 segmentos, y así poder mostrarla por el display.

**1.1.1. Diagrama de Estados:**

**1.1.2. Tabla de Estados-Salida:**

q → Estado Presente

Q → Estado Futuro

X → Señal de entrada que decide el tipo de secuencia a generar:

· X = 0 → Secuencia de salida ordenada como en el DNI

· X = 1 → Secuencia de salida ordenada de menor a mayor

q (Estado Presente)	Q (Estado Futuro) Con X = 0	Q (Estado Futuro) Con X = 1	Secuencia de Salida (en decimal)
A	B	B	7
B	C	E	7
C	D	D	2
D	E	H	2
E	F	C	8
F	G	G	5
G	H	A	5
H	A	F	4

**1.1.3. Tabla de Transición:**q<sub>2</sub> q<sub>1</sub> q<sub>0</sub> / Q<sub>2</sub> Q<sub>1</sub> Q<sub>0</sub> → 3 bits que codifican en binario el estado Presente / FuturoY<sub>3</sub> Y<sub>2</sub> Y<sub>1</sub> Y<sub>0</sub> → 4 bits que codifican en binario el número de secuencia generado en un instante concreto

q (Estado Presente)			Q (Estado Futuro) Con X = 0			Q (Estado Futuro) Con X = 1			Salida (en binario)			
q <sub>2</sub>	q <sub>1</sub>	q <sub>0</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	Y <sub>3</sub>	Y <sub>2</sub>	Y <sub>1</sub>	Y <sub>0</sub>
0	0	0	0	0	1	0	0	1	0	1	1	1
0	0	1	0	1	0	1	0	0	0	1	1	1
0	1	0	0	1	1	0	1	1	0	0	1	0
0	1	1	1	0	0	1	1	1	0	0	1	0
1	0	0	1	0	1	0	1	0	1	0	0	0
1	0	1	1	1	0	1	1	0	0	1	0	1
1	1	0	1	1	1	0	0	0	0	1	0	1
1	1	1	0	0	0	1	0	1	0	1	0	0

**1.1.4. Tabla de Excitación:**

$B_2 B_1 B_0 \rightarrow$  3 bits de entrada a los biestables que codifican el estado (usando flip-flops tipo D ó T). En caso de usar JK, serán 2 bits a la entrada de cada biestable, 6 bits en total

q (Estado Presente)			Entrada a los Biestables, con X = 0			Entrada a los Biestables, con X = 1			Salida (en binario)			
$q_2$	$q_1$	$q_0$	$B_2$	$B_1$	$B_0$	$B_2$	$B_1$	$B_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	1	0	0	1	0	1	1	1
0	0	1	0	1	0	1	0	0	0	1	1	1
0	1	0	0	1	1	0	1	1	0	0	1	0
0	1	1	1	0	0	1	1	1	0	0	1	0
1	0	0	1	0	1	0	1	0	1	0	0	0
1	0	1	1	1	0	1	1	0	0	1	0	1
1	1	0	1	1	1	0	0	0	0	1	0	1
1	1	1	0	0	0	1	0	1	0	1	0	0

**1.1.5. Funciones de Excitación:**

Se usarán 3 mapas de Karnaugh en el caso de biestables D ó T, y 6 mapas en el caso de utilizar JK:

$X, q_2$		$q_1, q_0$			
		00	01	11	10
$q_1, q_0$	00	0	1	0	0
	01	0	1	1	1
	11	1	0	1	1
	10	0	1	0	0

Función Lógica Mínima D2:

$$\bar{X} * q_2 * \bar{q}_0 + q_2 * \bar{q}_1 * q_0 + \bar{q}_2 * q_1 * q_0 + x * q_0$$

.....

.....

.....

.....

$X, q_2$		$q_1, q_0$			
		00	01	11	10
$q_1, q_0$	00	0	0	1	0
	01	1	1	1	0
	11	0	0	0	1
	10	1	1	0	1

Función Lógica Mínima D1:

$$\bar{X} * \bar{q}_1 * q_0 + \bar{X} * q_1 * \bar{q}_0 + X * q_2 * \bar{q}_1 + X * \bar{q}_2 * q_1$$

.....

.....

.....

.....



X, q <sub>2</sub>	00	01	11	10
q <sub>1</sub> , q <sub>0</sub>				
00	1	1	0	1
01	0	0	0	0
11	0	0	1	1
10	1	1	0	1

Función Lógica Mínima D0:

$$X * q_1 * q_0 + \bar{X} * \bar{q}_0 + \bar{q}_2 * \bar{q}_0$$

.....

.....

.....

.....

X, q <sub>2</sub>	00	01	11	10
q <sub>1</sub> , q <sub>0</sub>				
00				
01				
11				
10				

Función Lógica Mínima:

.....

.....

.....

.....

.....

X, q <sub>2</sub>	00	01	11	10
q <sub>1</sub> , q <sub>0</sub>				
00				
01				
11				
10				

Función Lógica Mínima:

.....

.....

.....

.....

.....

X, q <sub>2</sub>	00	01	11	10
q <sub>1</sub> , q <sub>0</sub>				
00				
01				
11				
10				

Función Lógica Mínima:

.....

.....

.....

.....

.....

**1.1.6. Funciones de Salida:**

$q_2, q_1$		00	01	11	10
$q_0$					
0		0	0	0	1
1		0	0	0	0

Función Lógica Mínima Y3:

$$q_2 * \overline{q_1} * \overline{q_0}$$

.....

.....

$q_2, q_1$		00	01	11	10
$q_0$					
0		1	0	1	0
1		1	0	1	1

Función Lógica Mínima Y2:

$$\overline{q_2} * \overline{q_1} + q_2 * q_0 + q_2 * q_1$$

.....

.....

$q_2, q_1$		00	01	11	10
$q_0$					
0		1	1	0	0
1		1	1	0	0

Función Lógica Mínima Y1:

$$\overline{q_2}$$

.....

.....

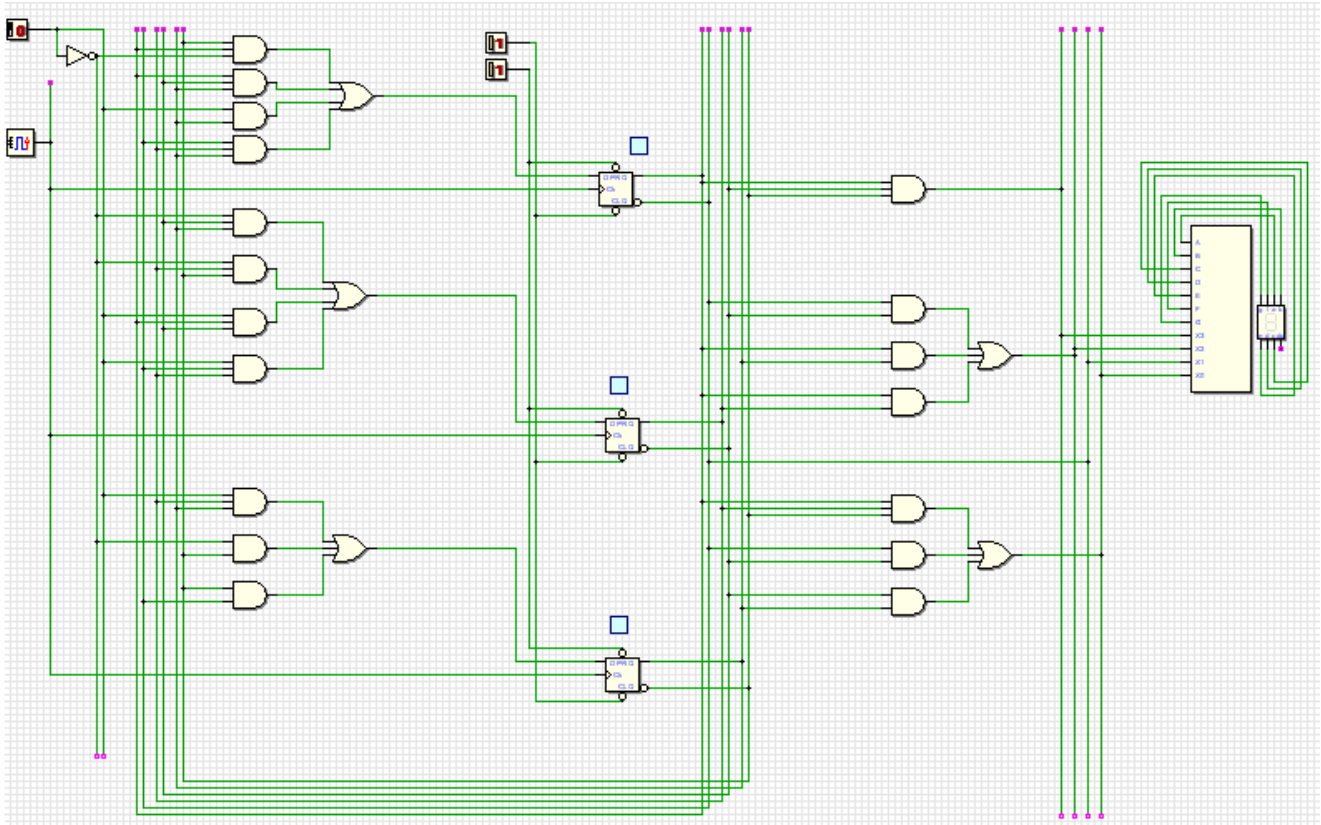
$q_2, q_1$		00	01	11	10
$q_0$					
0		1	0	1	0
1		1	0	0	1

Función Lógica Mínima Y0:

$$.q_2 * q_1 * \overline{q_0} + \overline{q_2} * \overline{q_1} + \overline{q_1} * q_0.$$

.....

.....

**1.1.7. Diagrama del Circuito:**

## 1.2. Implementación y Animación del Sistema Secuencial Síncrono con 2 secuencias diferentes del DNI.

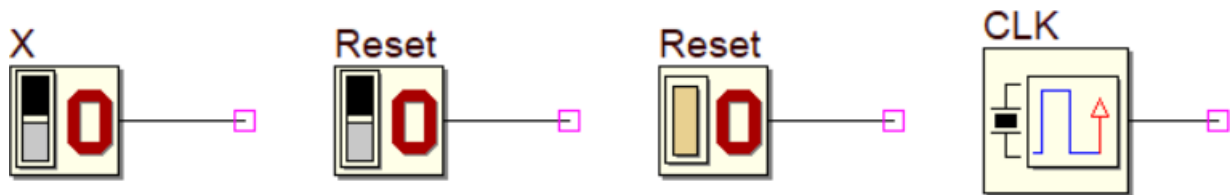
Incluye el diseño realizado para el sistema secuencial en un circuito utilizando la herramienta de diseño Deeds-DcS (Digital Circuit Simulator). Utiliza el bloque funcional previamente diseñado en la práctica 5 para construir un circuito que muestre en un display de 7 segmentos la secuencia del DNI escogida a través de la señal de entrada X.

Además de las puertas lógicas y flip-flops adecuados para implementar el circuito secuencial y del bloque funcional creado en la práctica 5, será necesario añadir al circuito los siguientes componentes:

1.- Constantes a "0" y "1" lógico. A través del uso de los componentes de entrada "LOW LEVEL" y "HIGH LEVEL" podemos generar estos valores lógicos, respectivamente, que pueden ser necesarios activar o desactivar las señales de "CLEAR" o "PRESET" de los flip-flops.

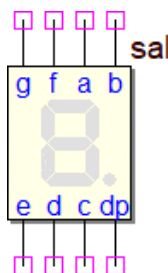


2.- Para definir la señal de entrada X, es recomendable utilizar un interruptor de entrada, mientras que para la señal de RESET del circuito, se pueden utilizar interruptores de entrada o pulsadores. Para la señal de reloj se debe utilizar un generador de reloj.

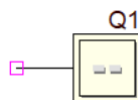


(De izquierda a derecha: Interruptores de Entrada, Pulsador y Generador de Reloj)

3.- Para mostrar la salida del circuito, se debe utilizar un display de siete segmentos de un dígito sin decodificador:



4. – Se pueden incluir componentes de salida de un bit para comprobar el valor que toman en cada momento las variables de estado y las variables de salida del circuito secuencial.



Una vez conectados todos los componentes del circuito, realiza la **animación** del mismo para comprobar la salida generada para cada una de las secuencias controladas por la señal X. Se recomienda una frecuencia de animación de 0,5 Hz ó 1 Hz como mucho.

### 1.3. Simulación del Sistema Secuencial Síncrono

Realiza una simulación temporal completa del circuito donde se observen todas las posibilidades de funcionamiento del mismo. Captura una imagen en la que se vean las dos secuencias completas, e inclúyela en esta página.

