

R 65 VIDEO INTERFACE

1. Allgemeine Beschreibung:

Das R 65 Video Interface erlaubt es, alphanumerische oder graphische Darstellungen auf einem gewöhnlichen TV-Gerät oder Video Monitor anzuzeigen. Die wichtigsten Vorteile sind volle Programmierbarkeit aller Parameter durch den Mikroprozessor sowie ein Video Memory mit voller Zugreiffbarkeit durch den Prozessor für Schreib- und Lesevorgänge. Alle Anschlüsse sind 6500/6800 Kompatibel.

2. Technische Daten:

Dot-Clock Frequenz: Auf der Platine ist ein 10 MHz Kristall vorgesehen. Für höhere Frequenzen ist ein Anschluss herausgeführt.
Für die graphische Darstellung wird die Dot-Frequenz intern halbiert.

Alphanumerische Darstellung: (Zahlen für 10 MHz Dot-Clock)

Dots/Charakter: Programmierbar (9)

Charakters/Linie: Programmierbar (48)

Linien/Zeile: Programmierbar (15)

Zeilen/Bild: Programmierbar (16)

Mit 4K Video Memory 85 Zeilen = 5 Seiten verfügbar.

Hardware Scrolling und Paging vorhanden,

Hardware Cursor vorhanden mit folgenden Programmierfunktionen: Cursor ein/aus

Cursor Grösse (Vertikal, 1-15 Linien)

Blinkgeschwindigkeit/Nicht blinkend

Voller 7 Bit ASCII Zeichensatz mit Kleinbuchstaben in 7x9 Matrix verfügbar sowie griechische und mathematische Symbole. Inverse Video für jeden einzelnen Buchstaben und für den ganzen Bildschirm.

Der Prozessor hat jederzeit Zugriff zum dargestellten Text.

Graphische Darstellung: (Zahlen für 10 MHz Clock)

Horizontale Auflösung: 224 Punkte (Programmierbar)

Vertikale Auflösung: 118 Punkte (Programmierbar)

Benötigtes Video-Memory: 3304 Byte, es bleibt somit mit 4K Video-Memory Platz für 16 Zeilen Text.

Schnelle Umschaltung alpha-numerisch / graphisch durch Prozessor möglich.

Video-Memory: Auf der Platine 4Kx8 RAM enthalten, kann extern auf maximal 16K ergänzt werden. Das Video Memory ist für den Prozessor wie ein gewöhnliches Memory verfügbar durch die üblichen Memory Schreib- und Leseoperationen. Somit ist das Video-Memory auch für andere Zwecke verwendbar.

Anschlüsse (44 pin Kim-kompatibler Stecker): J1

1 V_{CC} +5 Volt (1,2A)

2 V_{DD} +12 Volt (2 mA)

3 V_{BB} -5 bis -12 Volt (2mA), intern wird -3 Volt benötigt.

4 Clock (Als Input oder Output verwendbar)

KIM	PB2	5	P2	P2-P5: TTL Eingänge, Anzahl dots/char
	PB3	6	P3	
	PB4	7	P4	
	PB5	8	P5	
	PB1	9	P1	Low: Alpha-num. High: Graph.
		10		Jumper-Selectable: Composite Video Out oder Graph.En.
		11	RAM R/W	
		12	Ø2	
		13	8K6	Enable für Video-Memory
		14	Video out	
KIM PB0		15	P0	Low: Normal Video High:Inverse Video
		16		Vertikal Synch out
		17		Horizontal Synch out
1420		18	I70 T ✓	Enable für Video Controller
		19	Video Reset	Reset für Video Controller
		20	LPSTB	Light Pen Input
		21	A 13	Address Bus
		22	Display Enable out	

23 V_{SS} GND
24-31 Data Bus DB 0 - DB 7
32-44 Address Bus AB 0 - AB 12

3. Schaltungsbeschreibung:

1. Prozessor Zyklus:

Der Prozessor Zyklus ist ein Schreib- oder Lesezyklus des Mikroprozessors ins Video Memory.

Er beginnt damit, dass der Prozessor die 8K6 Leitung tief zieht. Dadurch wird dem Video Controller der Zugriff zum internen Address Bus entzogen (IC 18 und IC 20 gehen in den hochomigen Zustand) und der Prozessor Address Bus wird über IC 19 und IC 21 auf den internen Address Bus und somit auf das Memory geleitet. Mit IC 23 werden die höchsten Address-Bits dekodiert und die richtigen Memory Chips angewählt. Mit Beginn des Ø2 Zyklus wird der Datenbuffer IC 22 in der richtigen Richtung geöffnet (Je nach dem Zustand von RAM R/W) Gegen Ende des Ø2 Zyklus findet die Operation statt. Der Prozessor Zyklus endet mit dem hochgehen von 8K6. In IC 9 wird das Enable Signal für den Datenbuffer sowie das Memory R/W Signal aus 8K6, Ø2 und RAM R/W erzeugt.

2. Programmierzyklus:

Der Programmierzyklus ist ein Schreib- oder Lesezyklus des Mikroprozessors in den Video Controller.

Im Gegensatz zum Prozessor Zyklus wird dabei der laufende Display-Zyklus nicht beeinflusst,

Der Programmierzyklus beginnt damit, dass der Prozessor die I/O 1 Leitung tief zieht. Dadurch wird der Datenbuffer IC 12 geöffnet und der Prozessor hat Zugriff zu den beiden Registern des Video-Controllers. Durch Laden des Index Registers sind alle 18 internen Programmierregister verfügbar (Siehe Anleitung zum MC 6845).

3. Display-Zyklus:

Der Display Zyklus ist die Anzeige des Video Memory Inhalts auf dem Bildschirm.

Der Display-Zyklus wird mit der Pipelining Technik ausgeführt, d.h ein Signal braucht effektiv 3 Zyklen, bis es vom Video Memory auf den Bildschirm gebracht ist, aber mit jedem Zyklus wird ein Transfer begonnen.

Zyklus 1: Jeder Zyklus beginnt mit dem Load Signal (Activ low), das mit IC 2 und 5 erzeugt wird (Siehe Timing). Gleichzeitig geht auch das Signal Char Clock low, das als Clock für den Video Controller verwendet wird. Dieser legt als Antwort eine neue Adresse an seine Address-Ausgänge MA 0 - MA 13 an. Über IC 18 und IC 20 gelangt diese Adresse an das Memory, wo nach ca 450 nsec die richtigen Daten anstehen. Diese werden auf den internen Datenbus geleitet.

Zyklus 2: Zu Beginn von Zyklus 2 werden die am internen Datenbus anstehenden Daten im IC 6 gelatcht. Dazu wird das oben erwähnte Signal Load verwendet.

a. Graphischer Mode: Im graphischen Mode werden die Daten direkt aus dem IC 6 im Zyklus 2 herausgeshiftet und auf den Composite Video Generator gegeben, der Zyklus 3 wird dabei nicht vollzogen.

b. Alphanumerischer Mode: Die im IC 6 gespeicherten Daten stehen am Eingang des Charakter Generators IC7. Über das Addierwerk IC17 werden auch die Row Select Signale vom Video Generator auf den Charakter Generator geleitet. Aus diesen beiden Signalen erzeugt der Charakter Generator das richtige Bitmuster. Dazu braucht er ca. 500 nsec. Somit steht am Ende des Zyklus 2 das Bitmuster am Ausgang des Charakter Generators IC7.

Zyklus 3: Mit Hilfe des Load-Signals werden nun die Daten des Charakter Generators in den IC8 übernommen. Dort werden sie mit der Dot-Clock herausgeshiftet und zum Composite Video Generator geleitet.

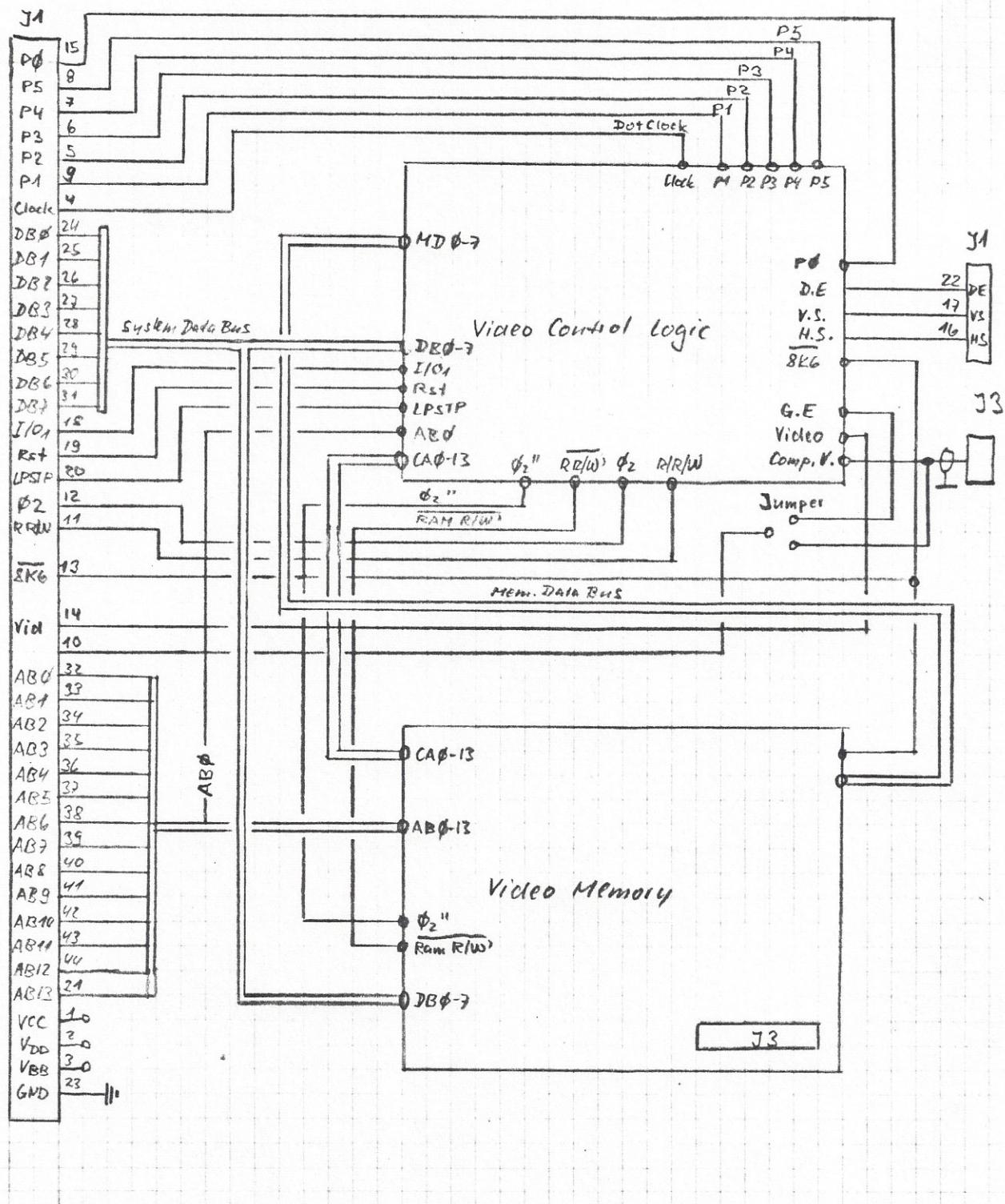
4. Composite Video Generator:

Vom Video Controller werden die Signale Horizontal Synch und Vertikal Synch (Aktiv Low) abgenommen und im IC 16 invertiert. Im IC 1⁷ werden nun diese Signale zu einem Composite Sync zusammengenommen. Ebenfalls im IC 1⁵ werden die ankommenden Daten aus dem Shift-Register und das vom Video Controller erzeugte Display Enable, das in IC 14 um zwei Zyklen verzögert wurde, zusammengefasst. Diese beiden Signale werden nun mit Spannungsteilern auf die richtigen Levels gebracht und mit T1 zusammengefasst und verstärkt. Das Signal Composite Video steht nun auf der Platine an einem 50 Ohm Stecker zur Verfügung. Mit Hilfe eines externen Modulators kann es direkt in die Antennenbuchse eines TV-Empfängers geleitet werden.

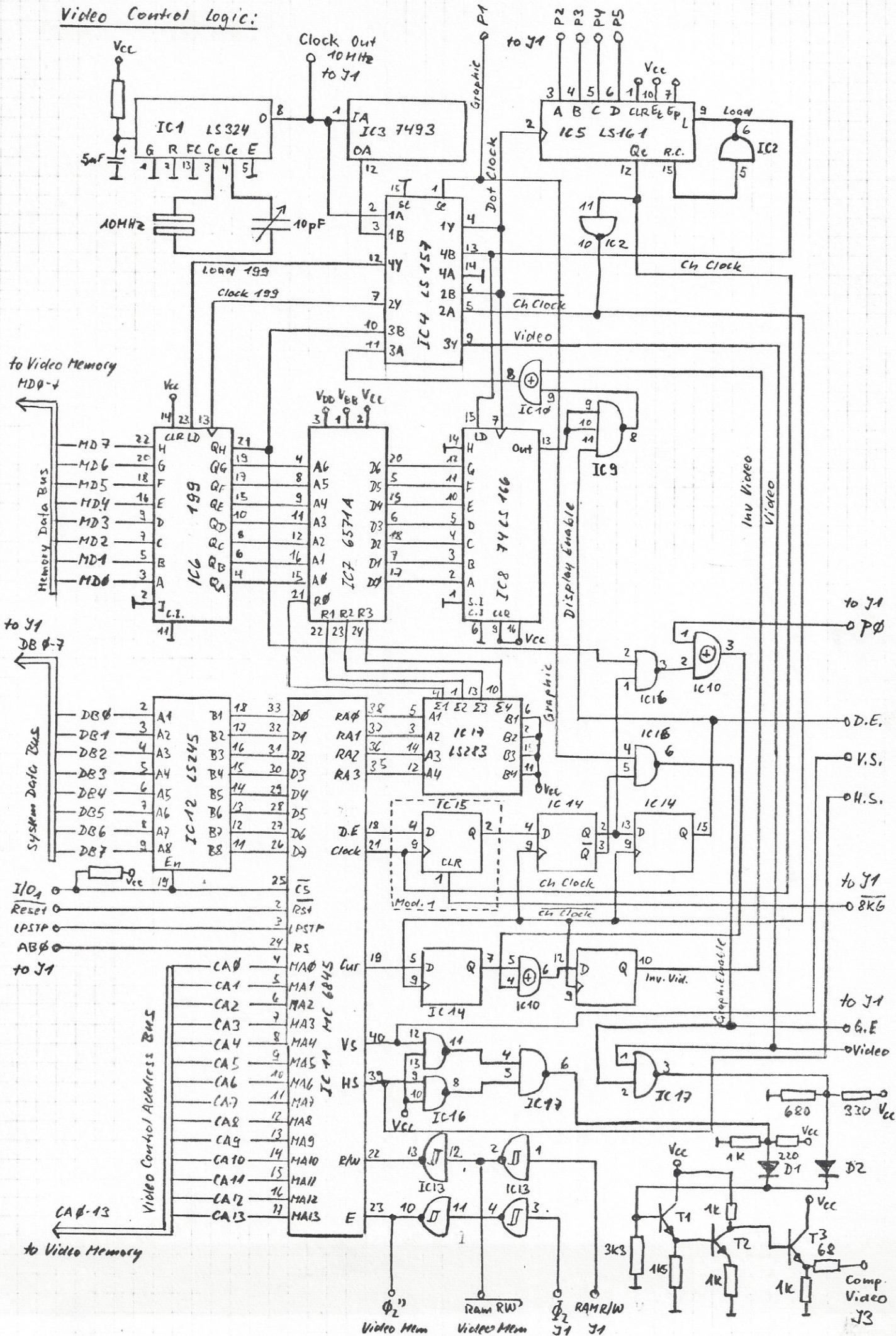
5. Timing:

Die Dot Frequenz wird mit einem Kristalloszillator (IC 1) erzeugt. Im IC 3 wird diese Frequenz für den Graphischen Mode halbiert. Mit IC 4 wird die richtige Dot-Frequenz ausgewählt. IC 5 bildet den programmierbaren Dot-Counter. Über IC 2 wird der Ripple Carry Output des Dot-Counters verwendet, um diese neu mit den programmierbaren Daten P2-P5 zu laden. Deshalb zählt der Dot Counter jeweils vom der programmierten Zahl bis 16 (Anzahl dots/char = 16 - an p2-p5 eingestellte Zahl). Über IC 4 werden die erzeugten Timing Signale je nach Mode auf die beiden Shift Register geführt.

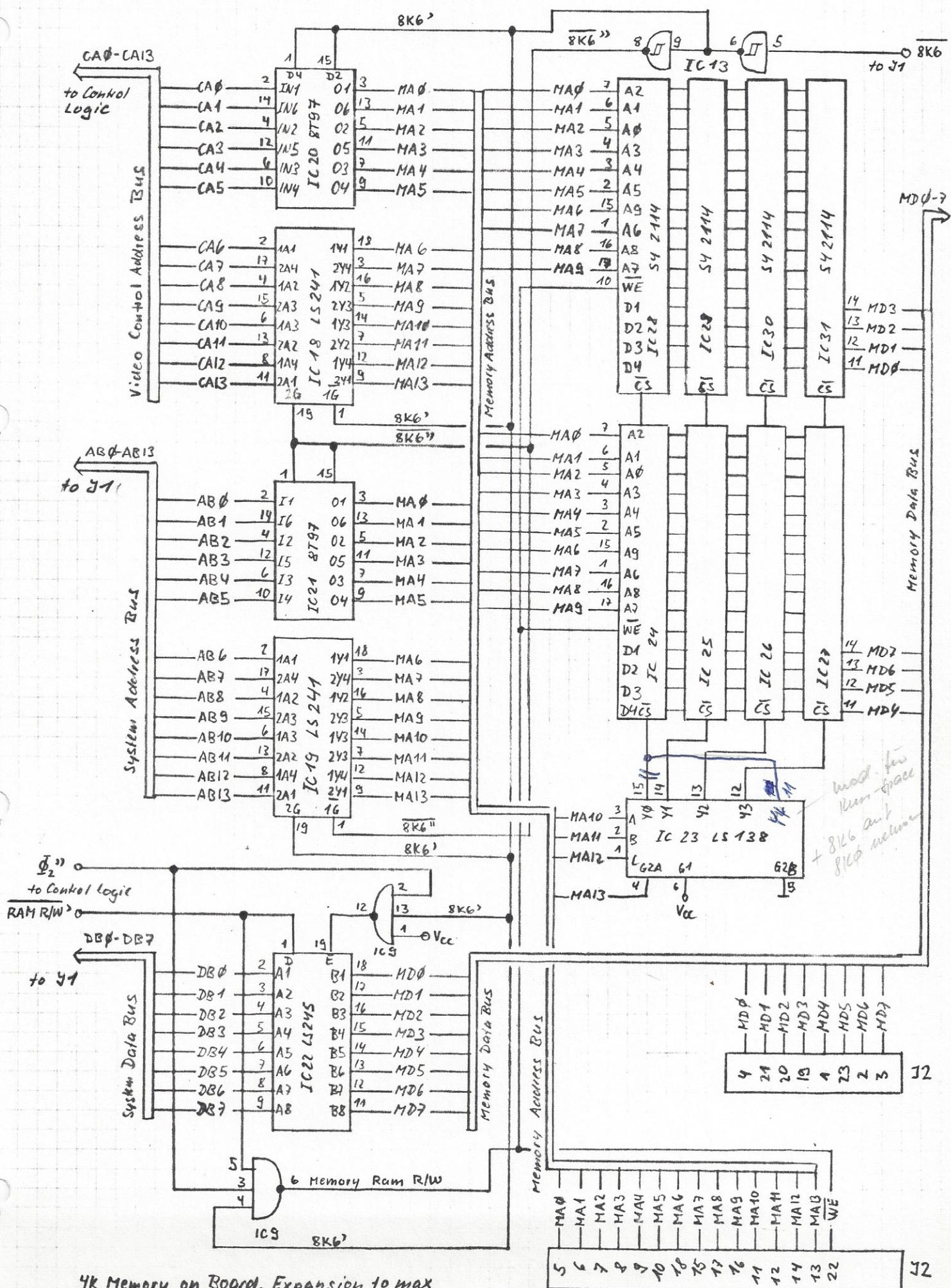
R65 Video Interface



Video Control Logic:



Video Memory:



IC 1 74LS 324
IC 2 74LS 00
IC 3 7493
IC 4 74LS 157
IC 5 74LS 161
IC 6 74199
IC 7 MC 6571 A
IC 8 74 LS 166
IC 9 74 LS 10
IC 10 74 LS 86
IC 11 MC 6845
IC 12 74 LS 245

IC 13 74LS 14
IC 14 74LS 175
(IC 15 74LS 175)
IC 16 74LS 00
IC 17 74LS 03
IC 18 74LS 249
IC 19 74LS 249
IC 20 8799
IC 21 8799
IC 22 74LS 245
IC 23 74LS 138
IC 24-31 542114

Lageplan:

J3

J2

17

28

29

9

16

30

4

8

10

31

2

7

15

24

5

6

17

25

3

22

14

26

1

12

17

27

23

11

20

18

13

21

19

J1