

# ELETRÔNICA DIGITAL - ED



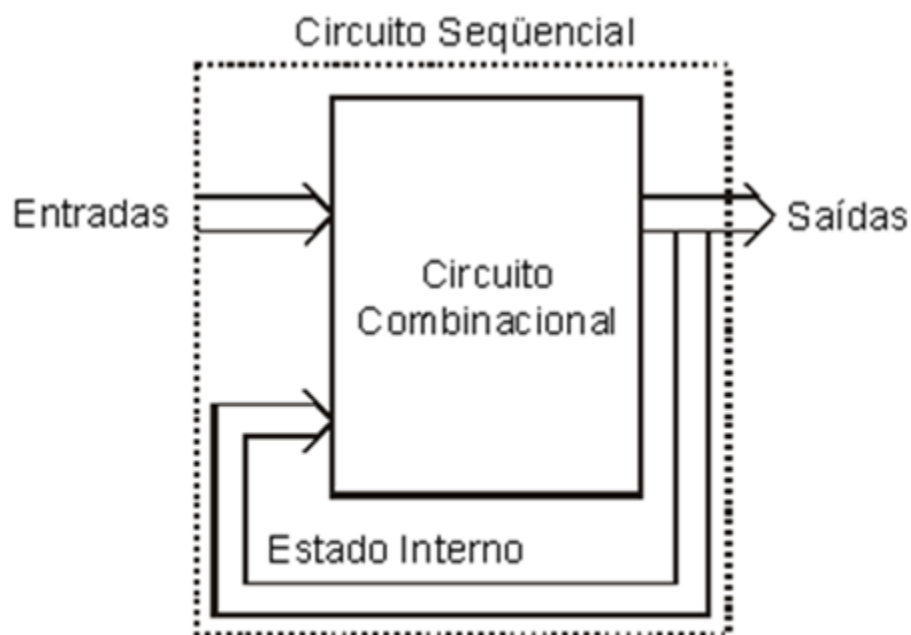
Ciência da Computação - Dourados  
Prof. Dr. Dalton P. de Queiroz

AULA 10

## *Circuitos Seqüenciais*

**Circuito seqüencial** é aquele que possui uma realimentação da saída para a entrada, denominada **estado interno**, fazendo com que as condições **atuais** da entrada e do estado interno determinem a condição **futura** da saída.

Os mais comuns são os **Flip-Flop's**.



*Modelo Genérico do Circuito Seqüencial*

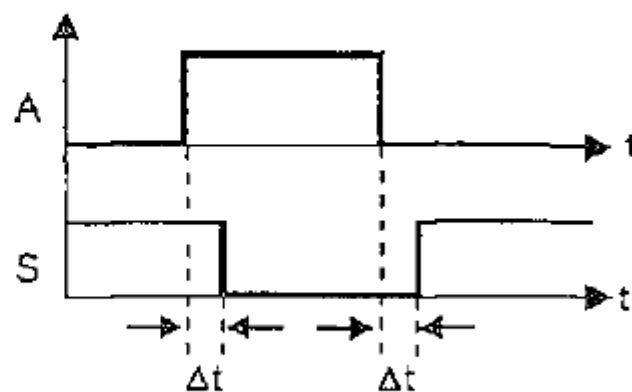
Condição atual e condição futura! Não significa isto uma **relação de tempo**? Mas, que tempo é este?

Como as portas lógicas não são perfeitas (*e nem poderiam sê-las, pois foram criadas pelo homem*), suas saídas não são atualizadas no mesmo instante em que suas entradas são definidas, pois existe um tempo ( $\Delta t$ ) para que os sinais se propaguem denominado **tempo de propagação** ou **tempo de atraso**.

### Exemplo:

A saída de uma porta inversora só é atualizada após o tempo de atraso ( $\Delta t$ ), como mostra a figura

$$A(t) \rightarrow \text{Inversor} \rightarrow S(t+\Delta t) = \bar{A}(t)$$



*Propagação de um Sinal numa Porta Inversora*

# Flip-Flop R-S Assíncrono

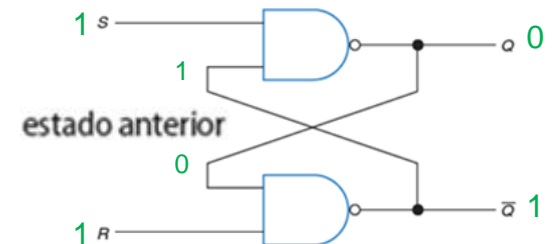
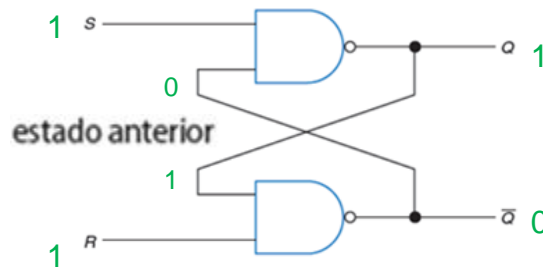
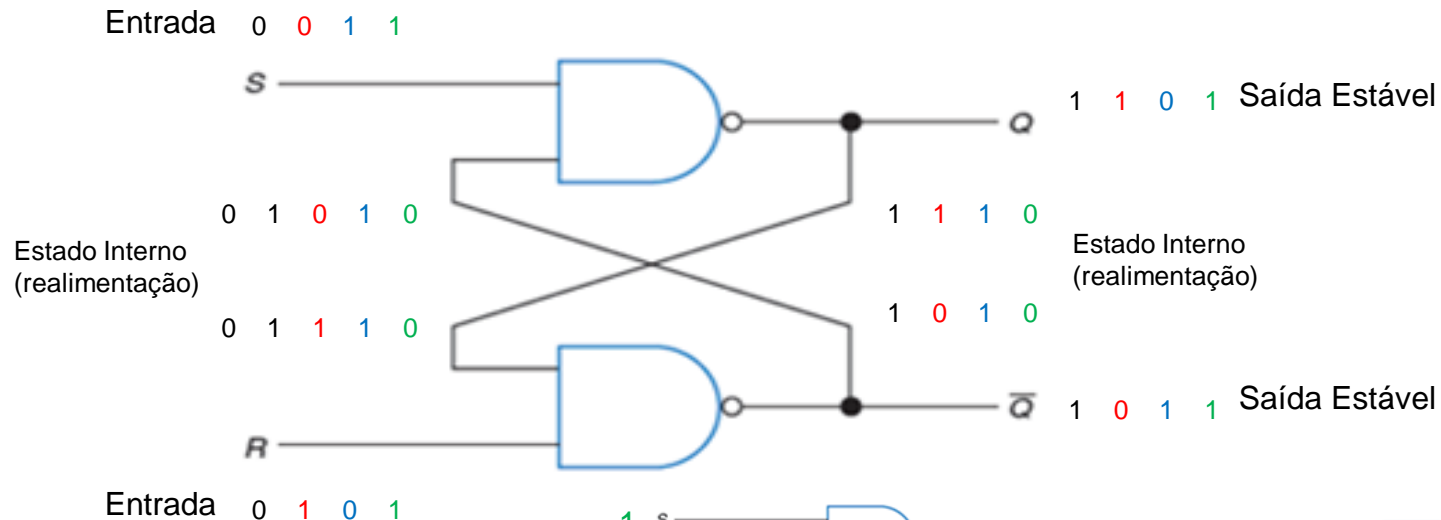


Tabela verdade de um flip-flop R-S

Saída Estável

Entradas		Saídas	
$S$	$R$	$Q$	$\bar{Q}$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	1	1

Proibida – Não deve ser utilizada

$Q$  em 1

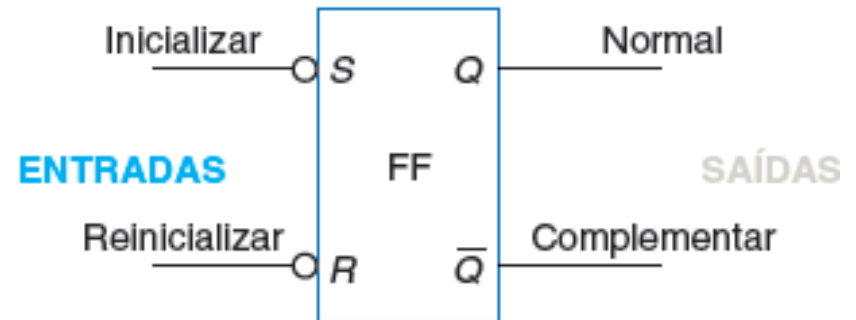
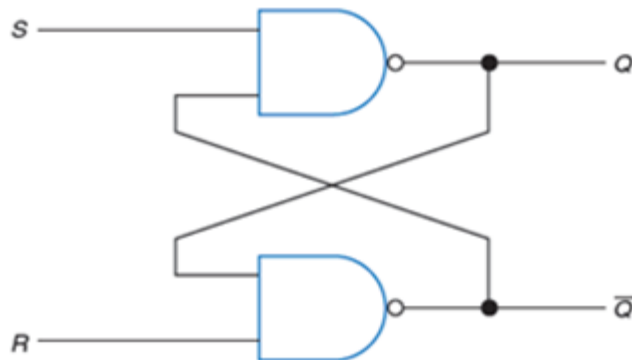
$Q$  para 0

estado anterior

Seja qual for o estado interno (estado anterior), mantendo  $S=R=1$ , a saída será sempre igual a este estado anterior, isto é, atua como uma memória do estado anterior

# Flip-Flop R-S Assíncrono

Símbolos:



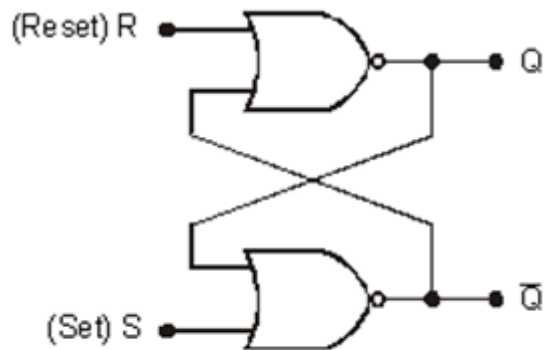
Símbolo lógico de um *flip-flop* R-S.

**Tabela** Tabela verdade de um *flip-flop* R-S

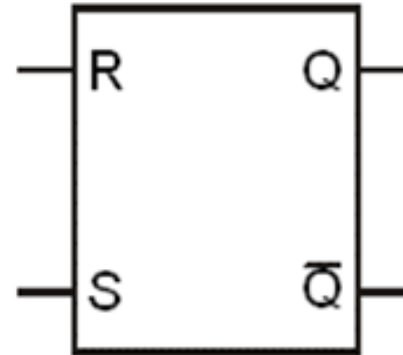
Modo de operação	Entradas		Saídas		Efeito na saída Q
	S	R	Q	$\bar{Q}$	
Proibido	0	0	1	1	Proibida – Não deve ser utilizada
Inicializar	0	1	1	0	Para inicializar Q em 1
Reinicializar	1	0	0	1	Para reinicializar Q para 0
Manutenção	1	1	Q	$\bar{Q}$	Depende do estado anterior

(a) Tabela verdade de um *flip-flop* R-S síncrono. (b) Implementação de um *flip-flop* R-S síncrono utilizando portas NAND.

# Flip-Flop RS Assíncrono com Portas NOR



*Flip-Flop RS Assíncrono*



*Tabela-Verdade e Símbolo Lógico do Flip-Flop RS Assíncrono*

R	S	$Q_f$
0	0	$Q_a$
0	1	1
1	0	0
1	1	*

estado anterior

\* Erro lógico não pode ser utilizada.

**OBS.:** Um dispositivo de armazenamento digital essencial também é chamado de **LATCH**. Um *flip-flop* R-S é um exemplo de *LATCH*

# Flip-flop R-S síncrono

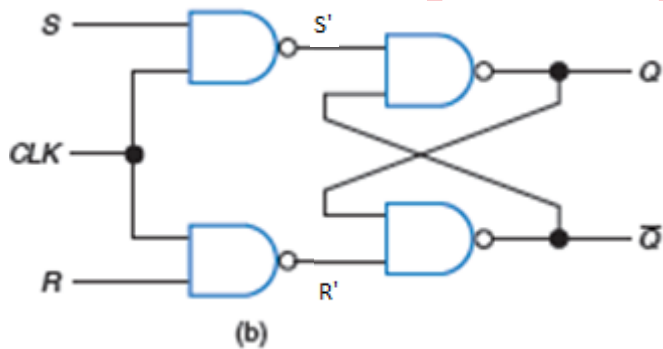


Tabela verdade de um flip-flop R-S

Entradas		Saídas		Efeito na saída Q
S	R	Q	$\bar{Q}$	
0	0	1	1	Proibida – Não deve ser utilizada
0	1	1	0	Para inicializar Q em 1
1	0	0	1	Para reinicializar Q para 0
1	1	Q	$\bar{Q}$	Depende do estado anterior

## Tabela Verdade:

Acrescenta-se ao Flip-flop RS um pulso de Clock (CLK).

CLK=1 (habilitado).

CLK=0 (travado),

Modo de operação	ENTRADAS		
	CLK	S	R
Manutenção		0	0
Reinicialização		0	1
Inicialização		1	0
Proibido		1	1
Travado		Qualquer Valor	



S'	R'
1	1
1	0
0	1
0	0
resulta sempre 1 1	

SAÍDAS		
Q	$\bar{Q}$	Efeito na saída Q
Não há alteração		Não há alteração
0	1	Reinicializado ou limpo para 0
1	0	Inicializado em 1
1	1	Proibido – Não deve ser utilizado
1	1	Não há alteração

(a) Tabela verdade de um flip-flop R-S síncrono. (b) Implementação de um flip-flop R-S síncrono utilizando portas NAND.

# Flip-flop R-S síncrono

Símbolos:

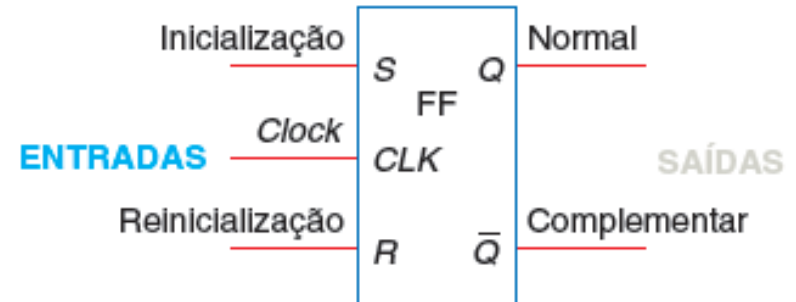
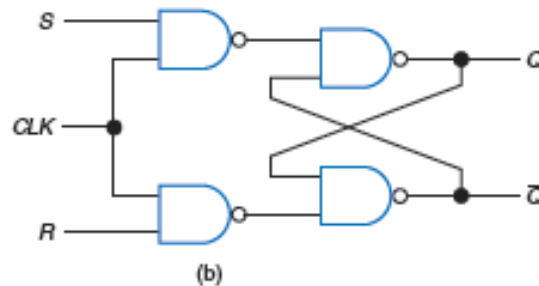


Tabela Verdade:

CLK=0 (travado: guarda sempre o estado anterior independente dos valores de S e R),

Modo de operação	ENTRADAS			SAÍDAS		
	CLK	S	R	Q	$\bar{Q}$	Efeito na saída Q
Manutenção		0	0	Não há alteração		Não há alteração
Reinicialização		0	1	0	1	Reinicializado ou limpo para 0
Inicialização		1	0	1	0	Inicializado em 1
Proibido		1	1	1	1	Proibido – Não deve ser utilizado

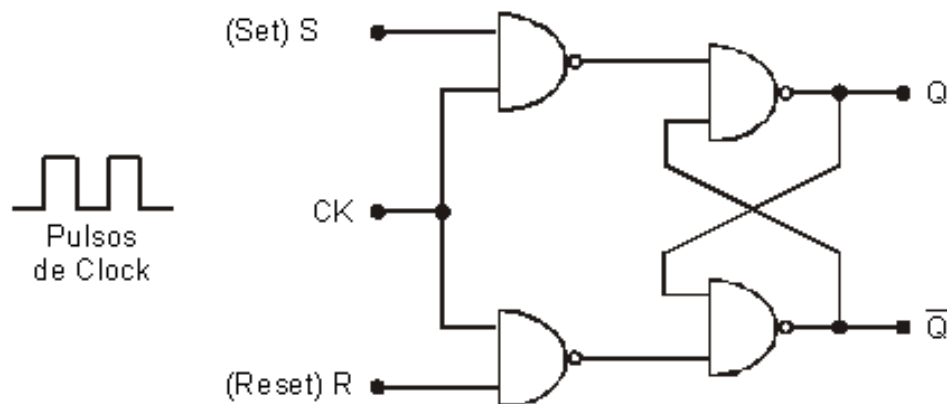
(a)

(a) Tabela verdade de um flip-flop R-S síncrono. (b) Implementação de um flip-flop R-S síncrono utilizando portas NAND.



## Flip-Flop RS Síncrono (descrevendo o funcionamento)

Este flip-flop apresenta, além das entradas reset (R) e set (S), uma terceira entrada denominada CK que, através de um sinal externo chamado pulso de clock (relógio), determina o instante de atualização das saídas Q e  $\bar{Q}$ , sendo, por isso, chamado de **flip-flop RS síncrono**, como mostra a figura a seguir.



*Flip-Flop RS Síncrono*

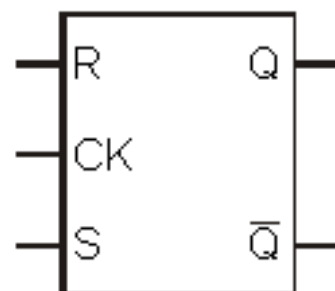
Neste circuito, quando a entrada CK (clock) está em nível lógico 0, as saídas Q e  $\bar{Q}$  permanecem inalteradas independente das variações das entradas R e S. Neste caso, a entrada CK inibe as entradas R e S.

Por outro lado, quando CK está em nível lógico 1, as entradas R e S podem, juntamente com as saídas atuais Q e  $\bar{Q}$ , definir estas saídas no instante futuro.

Embora este circuito tenha sido construído com portas NAND ao invés de NOR, a função das entradas R e S permanece inalterada para CK igual a 1, como mostra a figura:

CK	R	S	$Q_f$
0	X	X	$Q_a$
1	0	0	$Q_a$
	0	1	1
	1	0	0
	1	1	*

\* Erro Lógico



*Tabela-Verdade e Símbolo Lógico do Flip-Flop RS Síncrono*

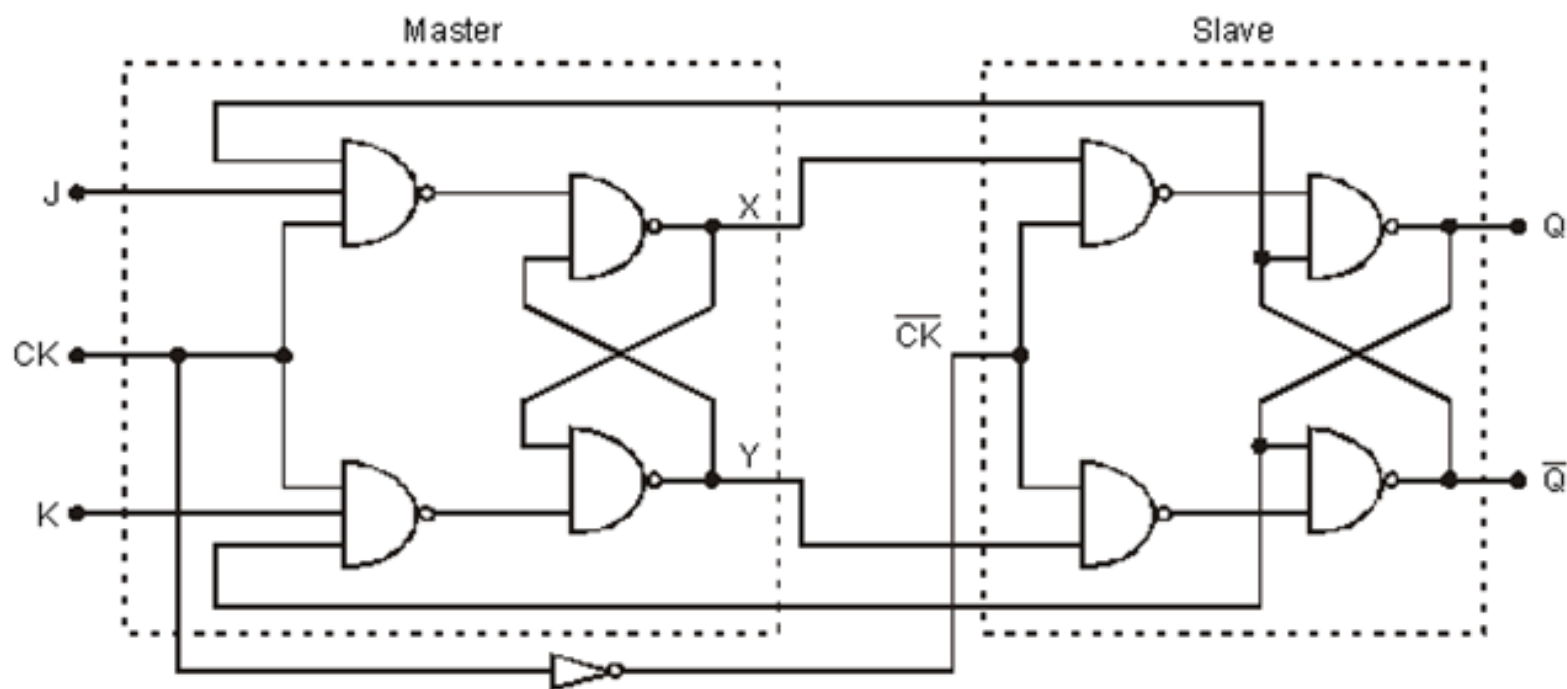
Portanto, quem determina o instante em que as entradas R e S podem atuar é o pulso de clock, sincronizando a atualização das saídas.

É importante ressaltar que os tempos dos níveis 0 e 1 do pulso de clock devem ser maiores que o tempo de atraso das portas lógicas do circuito, para que as saídas se atualizem sem problemas.

Mas, ainda assim, vê-se que o problema do erro lógico ( $Q = \bar{Q} = 1$ , neste caso) não foi resolvido para  $R=1$  e  $S=1$ .

## *Flip-Flop JK Master-Slave (Mestre-Escravo)*

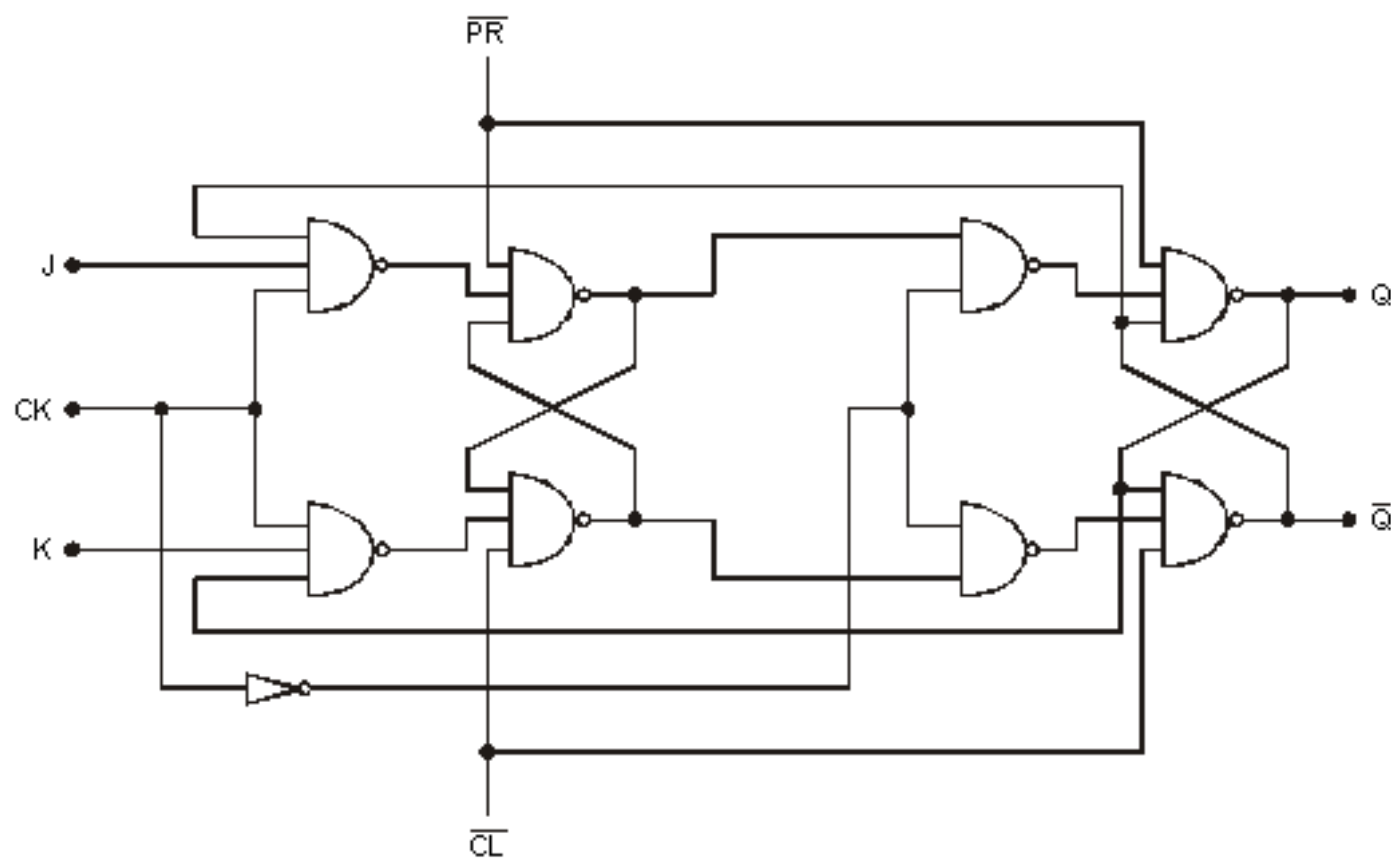
O circuito da figura abaixo representa um flip-flop denominado **JK master-slave** (**mestre-escravo**) formado por dois flip-flops RS síncronos ligados em cascata com um inversor entre a entrada de clock do primeiro (master ou mestre) e a entrada de clock do segundo (slave ou escravo), além de uma outra realimentação que vem das saídas Q e  $\bar{Q}$  às portas lógicas de entrada.



Flip-Flop JK Master-Slave

## Flip-Flop JK Master-Slave com Preset e Clear

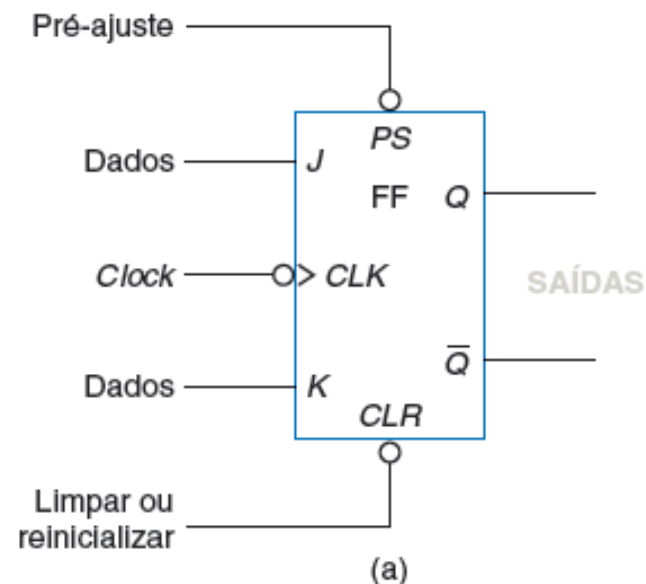
O flip-flop JK master-slave pode ser melhorado introduzindo-se duas outras entradas muito úteis, a saber, preset (**PR**) e clear (**CL**). Estas entradas atuam diretamente nas saídas **Q** e  $\bar{Q}$  independente do pulso de clock e do nível lógico das entradas **J** e **K**, sendo, por isso, chamadas de **assíncronas**, como mostra a figura a seguir.



# Flip-Flop J-K





Símbolo:

ENTRADAS



(a) Símbolo lógico de um *flip-flop* J-K comercial.

Tabela verdade:

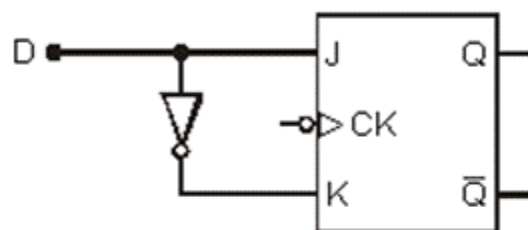
Modo de operação	ENTRADAS					SAÍDAS	
	Assíncrona		Síncrona				
	<i>PS</i>	<i>CLR</i>	<i>CLK</i>	<i>J</i>	<i>K</i>	<i>Q</i>	$\overline{Q}$
Inicialização assíncrona	0	1	X	X	X	1	0
Reinicialização assíncrona	1	0	X	X	X	0	1
Proibido	0	0	X	X	X	1	1
Manutenção	1	1		0	0	Não há alteração	
Reinicialização	1	1		0	1	0	1
Inicialização	1	1		1	0	1	0
Mudança de estado	1	1		1	1	Muda para o estado o oposto	

0 = BAIXO  
 1 = ALTO  
 X = Irrelevante  
 = Pulso de *clock* positivo

(b) Tabela verdade do *flip-flop* J-K 7476.

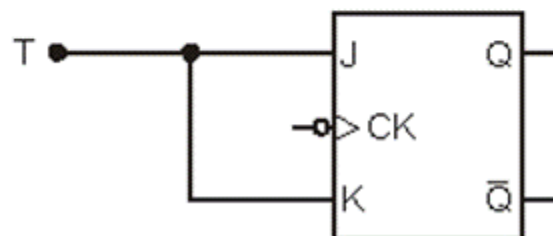
## Flip-Flop D

A figura a seguir representa um flip-flop JK master-slave com um inversor entre suas entradas, formando um **flip-flop D**.



## Flip-flop T

A figura a seguir representa um flip-flop JK master-slave com as entradas curto-circuitadas, formando um **flip-flop T**.



*Flip-Flop T*

# Flip-Flop D

Símbolo: (com PS - pré-ajuste – e CLR - Limpar ou reinicializar - assíncronos)

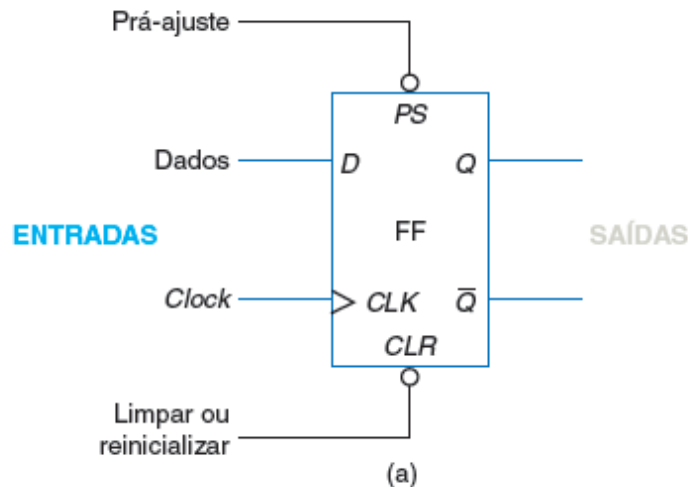


Tabela verdade:

Modo de operação	ENTRADAS				SAÍDAS	
	Assíncrona		Síncrona			
	<i>PS</i>	<i>CLR</i>	<i>CLK</i>	<i>D</i>	<i>Q</i>	$\overline{Q}$
Inicialização assíncrona	0	1	X	X	1	0
Reinicialização assíncrona	1	0	X	X	0	1
Proibido	0	0	X	X	1	1
Inicialização	1	1	↑	1	1	0
Reinicialização	1	1	↑	0	0	1

0 = BAIXO

1 = ALTO

X = Irrelevante

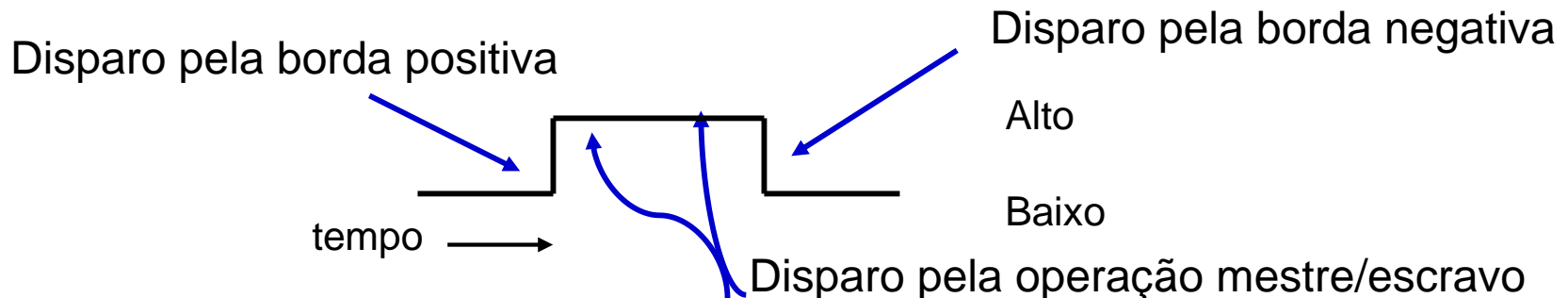
↑ = transição de pulso de *clock* do nível BAIXO para ALTO

(b)

(a) Símbolo lógico de um *flip-flop* D comercial. (b) Tabela verdade do *flip-flop* D 7474.

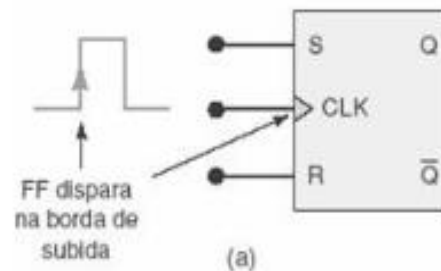
# Disparo de *flip-flops*

- Refere-se ao momento em que há transferência de dados em um flip-flop.
- Disparo pela borda é a transferência de dados da entrada para saída de um *flip-flop* pela borda ascendente (nível baixo para alto) ou pela borda descendente (nível alto para baixo) do pulso do *clock*. O disparo pela borda pode ser pela borda positiva (nível baixo para alto) ou pela borda negativa (nível alto para baixo).
- Disparo pela operação mestre/escravo é a transferência de dados da entrada para a saída de um *flip-flop* sempre que pulso do *clock* está ALTO. O disparo pela operação mestre/escravo é uma técnica mais antiga que utiliza todo o pulso do *clock*, mas considere o flip-flop mestre/escravo como tendo um disparo pela borda negativa.





**Exemplo:** Para os sinais S e R da figura, determinar o sinal em Q ( $Q_i=0$ ).



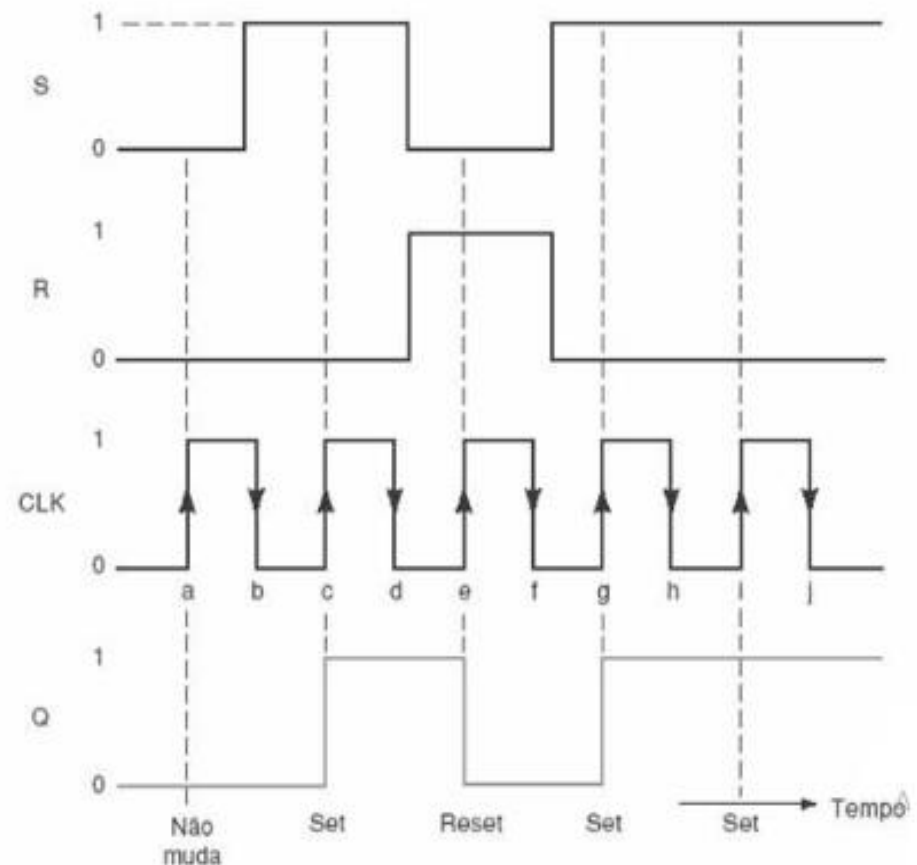
Entradas			Saída
S	R	CLK	Q
0	0	↑	$Q_0$ (Não muda)
1	0	↑	1
0	1	↑	0
1	1	↑	Ambíguo

$Q_0$  é o nível de saída anterior a ↑ de CLK.  
↓ de CLK não produz mudança em Q.

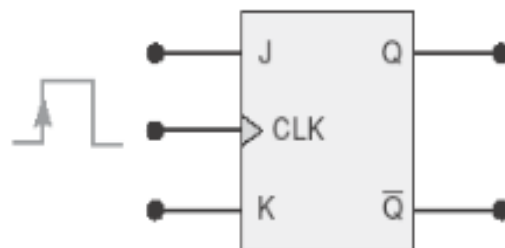
(b)

Observe que o FF não é afetado pelas bordas de subida do clock.

Os sinais S e R só têm efeito na ocorrência da borda de subida (são chamadas de entrada de controle síncrona).

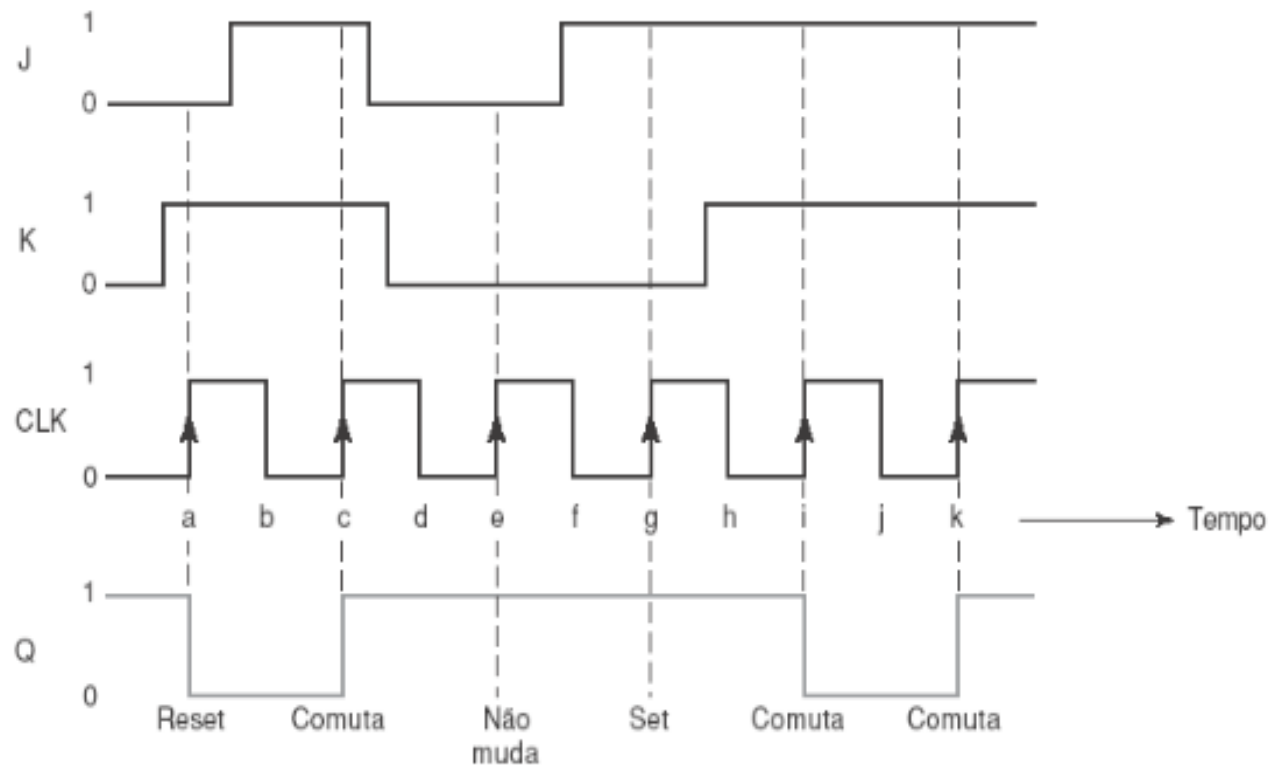


**Exemplo:** Dadas as entradas J, K e CLK, determine a saída Q (assumir  $Q_i=1$ )

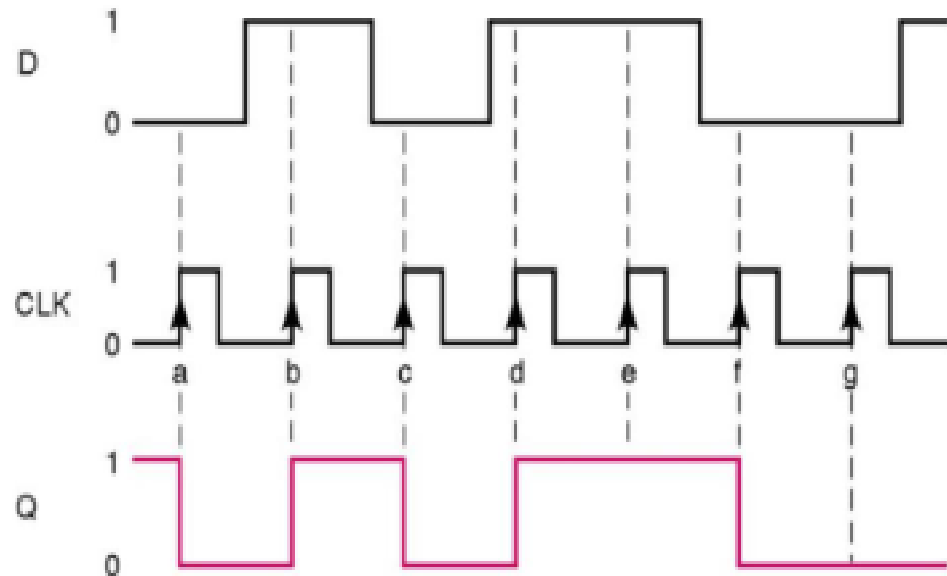
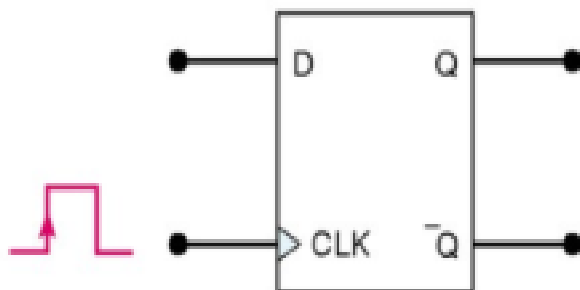


J	K	CLK	Q
0	0	↑	$Q_0$ (não muda)
1	0	↑	1
0	1	↑	0
1	1	↑	$\overline{Q_0}$ (comuta)

(a)



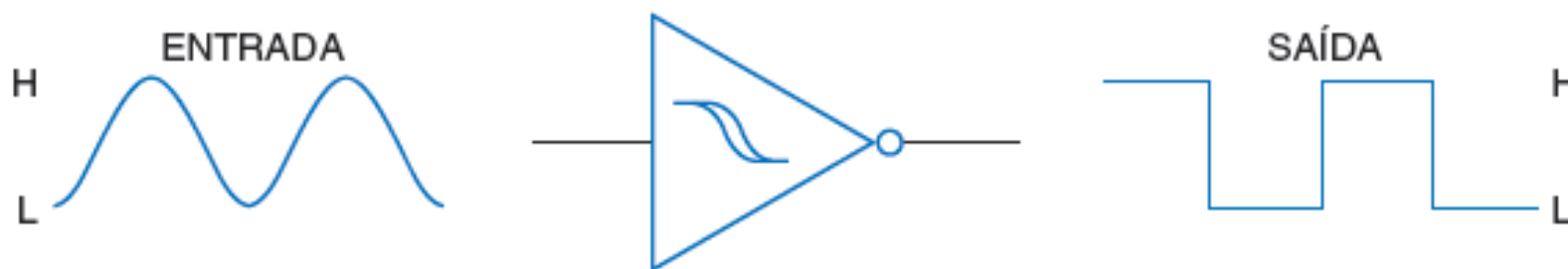
**Exemplo:** Dadas as entradas D e CLK, determine a saída Q ( $Q_i = 1$ ).



# Operação Schmitt *trigger*

Limite de chaveamento  
(aumento da tensão)

Limite de chaveamento  
(redução da tensão)



Schmitt-*trigger* utilizado na obtenção de uma forma de onda quadrada.

O dispositivo Schmitt *trigger* gera uma forma de onda quadrada

# EXEMPLOS DE CIS DE FLIP-FLOPS COMERCIAIS:



CD54HC73, CD74HC73, CD74HCT73  
SCHS134F – FEBRUARY 1998 – REVISED JANUARY 2022

## CDx4HC73 CD74HCT73 Dual J-K Flip-Flop with Reset Negative-Edge Trigger

### 1 Features

- Hysteresis on clock inputs for improved noise immunity and increased input rise and fall times
- Asynchronous reset
- Complementary outputs
- Buffered inputs
- Typical  $f_{MAX} = 60$  MHz at  $V_{CC} = 5$  V,  $C_L = 15$  pF,  $T_A = 25^\circ\text{C}$
- Fanout (over temperature range)
  - Standard outputs: 10 LSTTL loads
  - Bus driver outputs: 15 LSTTL loads
- Wide operating temperature range:  $-55^\circ\text{C}$  to  $125^\circ\text{C}$
- Balanced propagation delay and transition times
- Significant power reduction compared to LSTTL Logic ICs
- HC types
  - 2 V to 6 V operation
  - High noise immunity:  $N_{IL} = 30\%$ ,  $N_{IH} = 30\%$  of  $V_{CC}$  at  $V_{CC} = 5$  V
- HCT types
  - 4.5 V to 5.5 V operation
  - Direct LSTTL input logic compatibility,  $V_{IL} = 0.8$  V (max),  $V_{IH} = 2$  V (min)
  - CMOS input compatibility,  $I_i \leq 1$   $\mu\text{A}$  at  $V_{OL}$ ,  $V_{OH}$

### 2 Description

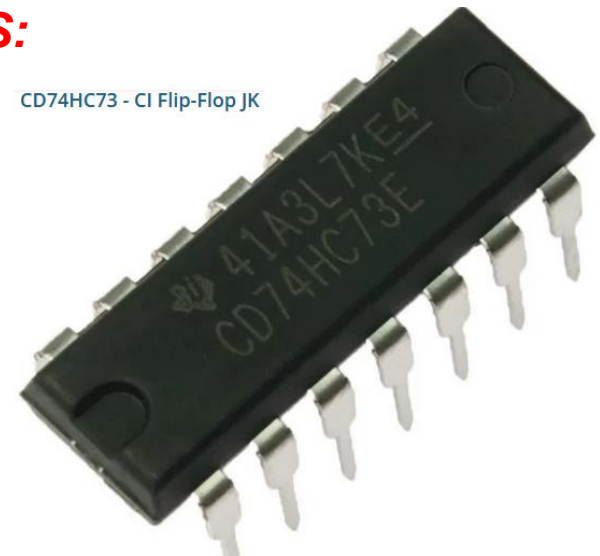
The 'HC73 and CD74HCT73 utilize silicon gate CMOS technology to achieve operating speeds equivalent to LSTTL parts. They exhibit the low power consumption of standard CMOS integrated circuits, together with the ability to drive 10 LSTTL loads.

#### Device Information

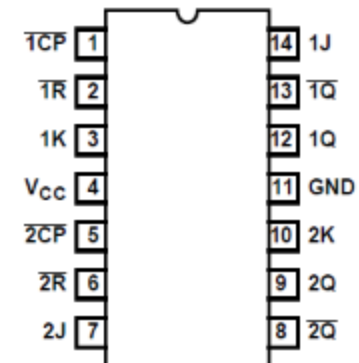
PART NUMBER	PACKAGE <sup>(1)</sup>	BODY SIZE (NOM)
CD74HC73M	SOIC (14)	8.65 mm $\times$ 3.90 mm
CD74HCT73M	SOIC (14)	8.65 mm $\times$ 3.90 mm
CD74HC73E	PDIP (14)	19.31 mm $\times$ 6.35 mm
CD74HCT73E	PDIP (14)	19.31 mm $\times$ 6.35 mm
CD54HC73F	CDIP (14)	19.55 mm $\times$ 6.71 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.

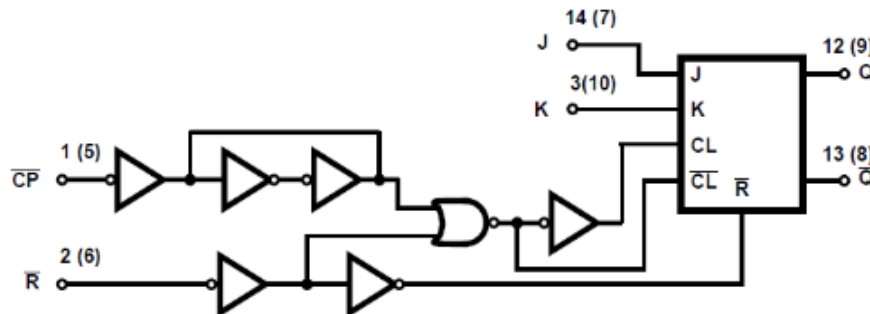
CD74HC73 - CI Flip-Flop JK



### 4 Pin Configuration and Functions



J, N, or D package  
14-Pin CDIP, PDIP, or SOIC  
Top View



Functional Block Diagram

## 74HC174 - CI Flip-Flop D



### 74HC/HCT174

Hex D-type flip-flop with reset;  
positive-edge trigger

Product specification  
Supersedes data of September 1993  
File under Integrated Circuits, IC06

1998 Jul 08

Philips  
Semiconductors



**PHILIPS**

Hex D-type flip-flop with reset; positive-edge trigger

74HC/HCT174

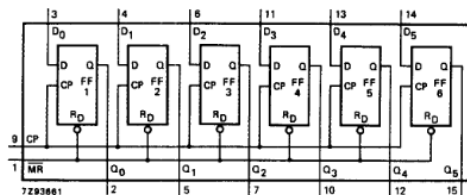


Fig.4 Functional diagram.

OPERATING MODES	INPUTS			OUTPUTS
	MR	CP	D <sub>n</sub>	Q <sub>n</sub>
reset (clear)	L	X	X	L
load "1"	H	↑	h	H
load "0"	H	↑	l	L

#### Note

1. H = HIGH voltage level  
h = HIGH voltage level one set-up time prior to the LOW-to-HIGH CP transition  
L = LOW voltage level  
l = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition  
X = don't care  
↑ = LOW-to-HIGH CP transition