

UNIVERSIDADE FEDERAL DA BAHIA - UFBA
ESCOLA POLITÉCNICA / DEPARTAMENTO DE ENGENHARIA ELÉTRICA
2018.1 – ENGG57 – LABORATÓRIO INTEGRADO IV-A – PROF. WAGNER L. A. DE OLIVEIRA

Este Laboratório Integrado será formado por um conjunto de problemas, cada qual gerador de uma nota, sendo a nota final na disciplina a média aritmética simples das notas obtidas nos problemas apresentados (exceto nos casos de prova final).

A nota de cada problema será formada por 3 componentes, com ponderação ajustável de acordo com o problema:

- Nota Produto (NP);
- Nota Relatório (NR);
- Nota Participação Individual (NI).

Para cada problema, o não cumprimento do prazo acarretará na penalização da perda de 2,0 pontos por semana de atraso. Caso o produto obtido não seja satisfatório (Nota Produto inferior a 5,0), os temas tratados no respectivo problema serão objeto de uma prova final, feita ao término do semestre, a qual conterà assuntos de todos os problemas não satisfatórios. Da mesma forma, caso o(a) aluno(a) fique com NI inferior a 5,0 em algum dos problemas, deverá fazer uma prova final, nos mesmos moldes da realizada para problemas não satisfatórios. A nota NI poderá ser aferida através de avaliações esporádicas, sem data determinada. No caso de realização de prova final, esta será a média na disciplina.

Calendário Previsto (poderá ser alterado)

Semana	Data	Atividade
1	12/04	Problema 1: Processador Pipeline
2	19/04	Sessão PBL / Implementação
3	26/04	Sessão PBL / Implementação
4	03/05	Sessão PBL / Implementação
5	10/05	Sessão PBL / Implementação
6	17/05	Problema 2: Módulo de Exibição
7	23/05	Entrega do Problema 1
	24/05	Sessão PBL / Implementação
8	31/05	Sessão PBL / Implementação
9	07/06	Sessão PBL / Implementação
10	14/06	Sessão PBL / Implementação
11	21/06	Sessão PBL / Implementação
12	28/06	Problema 3: Módulo de Interfaceamento
13	04/07	Entrega do Problema 2
	05/07	Sessão PBL / Implementação
14	12/07	Sessão PBL / Implementação
15	19/07	Entrega do Problema 3
16	26/07	Prova Final (Problemas não satisfatórios)

Problema 1: Processador Pipeline

Tema

Noções básicas de operacionalização das partes internas de um processador de propósito geral, otimizado com pipeline de instruções.

Problema

Dispositivos do tipo FPGA (*Field-Programmable Gate Array*) são chips de lógica reconfigurável após o encapsulamento, cujo uso tem apresentado significativa ascensão nos últimos anos. Atualmente, é possível sintetizar um processador RISC em um chip FPGA por apenas US\$ 2.00. Outros exemplos de aplicação desse tipo de chip podem ser encontrados em áreas diversas:

- telecomunicações: circuitos de roteamento de estações rádio base de telefonia celular / satélites;
- controles industriais: circuitos de controle integrados ou como lógica "glue", no interfaceamento de microcontroladores;
- sistemas de processamento digital de sinais: sistemas de reconhecimento de padrões (computação gráfica / análise facial / análise de íris / reconhecimento de placas de automóveis), decodificadores MPEG4 e HEVC;
- mod chips: dispositivos que "modificam" a função original de um sistema (desbloqueios de videogames);
- arquiteturas reconfiguráveis;
- dispositivos acionados por computador: implementação de interfaces com barramentos padrão de PCs (PCI, PCI-Express, SCSI, dentre outros), possibilitando, inclusive, a síntese da própria aplicação de hardware desejada (*back-end* do dispositivo); e
- HPC (*High-Performance Computing*): coprocessadores para aceleração de partes de algoritmos em substituição/colaboração com GPUs (exemplo: Bing da Microsoft);

Neste contexto, buscando a inserção no mercado relativamente novo de *IP cores* no Brasil (tanto *hard-* quanto *soft-cores*), a empresa para a qual você trabalha - **PANE Technologies** - solicita à sua equipe de desenvolvimento a elaboração do *soft-core* de um processador para uso em FPGAs de baixo custo, que possa ter desempenho otimizado, através do uso de paralelismo em nível de instrução.

Especificação do Processador

O processador otimizado com pipeline deverá ter as seguintes características:

- Arquitetura de 5 estágios funcionais de execução paralela.
- Possibilidade de lidar com 3 hazards RAW consecutivos, sem paralisar a propagação de instruções entre os estágios funcionais.
- Instruções de 16/32 bits e operações internas em 16 bits.
- Mínimo de 32 registradores de propósito geral: R0 – R31 (R0 e R1 auxiliares).

- Memória segmentada, com acesso definido a cada segmento de acordo com a instrução utilizada:
 - **Segmento de Programa:** tamanho mínimo de 1k x 16.
 - **Segmento de Dados:** tamanho mínimo de 1k x 16, para armazenamento de dados em geral, registradores de comunicação de E/S e máscaras de interrupção.
- Modos de endereçamento:
 - imediato
 - base-deslocamento
 - a registrador
- Comunicação via mecanismo de interrupção:
 - **Vetor de interrupções** para atender até 4 ISRs (*Interrupt Service Routines*), no **Segmento de Programa**.
 - **E/S baseada em memória compartilhada**, com **controlador próprio**, capaz de atender pelo menos 4 dispositivos de controle externos, com registradores de controle/dados mapeados em endereços do **Segmento de Dados**.
 - **PIC (Programmable Interrupt Controller)** externo ao processador, com controle de mascaramento de interrupções por memória compartilhada, no **Segmento de Dados**.
- Conjunto de instruções: vide tabela 1.

Tabela 1. Conjunto básico de instruções para o processador proposto.

Tipo	Instrução	Operandos	Descrição
Transferência De Dados	LW	$R_D, I_{16}(R_B)$	$R_D \leftarrow [I_{16}+R_B] \mid R_D \leftarrow [R_B] \mid R_D \leftarrow I_{16}$
	SW	$R_S, I_{16}(R_B)$	$[I_{16}+R_B] \leftarrow R_S \mid [R_B] \leftarrow R_S$
Aritmética	ADD	R_D, R_F	$R_D \leftarrow R_D + R_F$
	SUB	R_D, R_F	$R_D \leftarrow R_D - R_F$
	MUL	R_D, R_F	$R_D \leftarrow R_D * R_F$
	DIV	R_D, R_F	$R_D \leftarrow R_D / R_F$
Lógica	AND	R_D, R_F	$R_D \leftarrow R_D \text{ AND } R_F$
	OR	R_D, R_F	$R_D \leftarrow R_D \text{ OR } R_F$
	CMP	R_D, R_F	compara R_D e R_F , configurando RFlags
	NOT	R_D	$R_D \leftarrow \text{NOT } R_D$
Transferência de Controle	JR	R	desvio incondicional para o endereço $[R]$
	JPC	I_{16}	desvio incondicional relativo a PC atualizado
	BRFL	R, i, Const	desvio para o endereço $[R]$ se $R\text{Flags}[i] = \text{Const}$
	CALL	R	chamada de subrotina no endereço $[R]$
	RET	Nenhum	retorno de subrotina
	NOP	Nenhum	nenhuma operação

Obs.: $R\text{Flags}[4:0] = [\text{overflow}; \text{above}; \text{equal}; \text{below}; \text{error}]$

Produtos

Sua equipe deverá entregar 2 produtos:

1. O protótipo FPGA do **Processador Pipeline**, juntamente com um programa teste, rodando na plataforma DE2-115 da Altera, escrito em Verilog; e
2. Um relatório técnico.

O relatório técnico, em formato de artigo IEEE, deverá ter no máximo 15 páginas, contendo a descrição do protótipo (descrição geral, partes constituintes e sua correlação, estudos realizados e detalhes relevantes para a compreensão), conclusões (problemas encontrados, abrangência da implementação, possíveis melhorias, participação individual e aprendizado adquirido por cada membro) e referências bibliográficas. Os produtos (relatório técnico e pasta de projeto Quartus Prime) deverão ser encaminhados para o e-mail oliveira.wagner@ufba.br, na data limite indicada no calendário.

Obs.: Entregas parciais e/ou alterações de especificação poderão ser solicitadas.

Avaliação

- 50% (Processador), 40% Participação Individual, 10% (Relatório)

A **PANE Technologies** deseja-lhes um bom projeto, ciente do árduo trabalho que a equipe de desenvolvimento terá nas próximas semanas, o qual certamente isolará seus membros de qualquer tipo de vida social / familiar / esportiva / televisiva / introspectiva – enfim, de qualquer tipo de vida.