

แนะนำการใช้ซอฟต์แวร์ Quartus Prime Lite สำหรับบอร์ด Altera Cyclone IV FPGA

เขียนโดย เรวัต ศิริโกศาภิรมย์

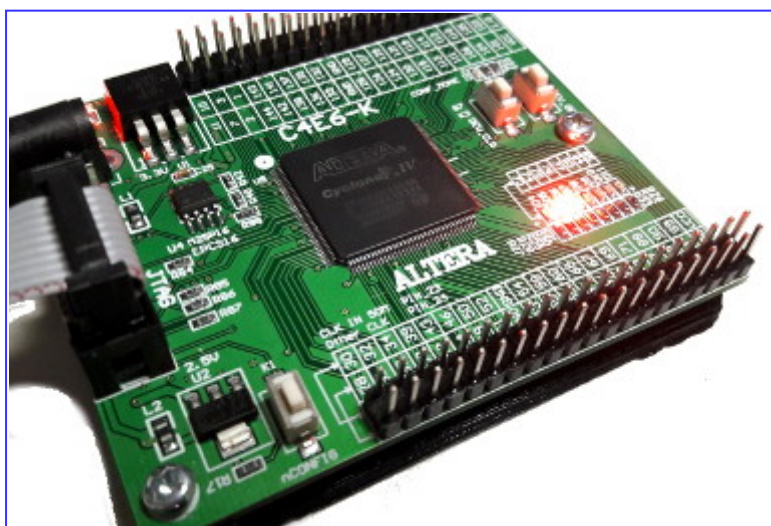
ภาควิชาวิศวกรรมไฟฟ้าและคอมพิวเตอร์ คณะวิศวกรรมศาสตร์
ม.เทคโนโลยีพระจอมเกล้าพระนครเหนือ (KMUTNB)

ปรับปรุงแก้ไข: วันที่ 26 กันยายน พ.ศ. 2563

คำสำคัญ / Keywords: Cyclone IV FPGA, Quartus Prime Lite, VHDL Coding, Low-Cost FPGA Board for Hobby / Education

วัตถุประสงค์การเรียนรู้

- เรียนรู้การออกแบบวงจรดิจิทัลพื้นฐานด้วยบอร์ด FPGA ("เอฟ-พี-จี-เอ")
- เรียนรู้การใช้งานเบื้องต้นสำหรับบอร์ด FPGA (*Field-Programmable Gate Array*) ที่ใช้ชิปตระกูล Cyclone IV E รุ่น EP4CE6E22C8N และเป็นบอร์ดราคาถูกจากประเทศจีน (ราคาต่ำกว่า 1,000 บาท)
- ติดตั้งและใช้งานซอฟต์แวร์ Quartus Prime Lite (Free Edition) เพื่อเขียนโค้ดภาษา VHDL และแปลงให้เป็นวงจรดิจิทัลสำหรับชิป FPGA ตามที่ได้เลือกใช้งาน



รูปภาพ: บอร์ด Altera Cyclone IV FPGA ที่นำมาใช้งาน

ข้อมูลเชิงเทคนิคเกี่ยวกับบอร์ด FPGA

- **FPGA:** Altera Cyclone IV (EP4CE6E22C8N-QFP144)
 - LEs (Number of Logice Elements): 6,272
 - PLLs: 2
 - on-chip RAM: 276,480 bits
- **Flash Memory:**
 - 16Mbit SPI serial (SPI) Flash memory (M25P16/EPCS16)
- **JTAG:** for device programming
 - programmable with Altera USB Blaster
- **Clock Input:**
 - PIN_23 (with 50MHz crystal osc.)
 - PIN_24 (without crystal osc.)
- **2x Pushbuttons:** (K2, K3), active-low
 - PIN_86, PIN_87
- **1x Pushbutton (K1)**
 - for reconfiguring the FPGA chip (connected to nCONFIG pin)
- **8x LEDs, active-low**
 - Pins: PIN_73, PIN_74, PIN_75, PIN_76, PIN_77, PIN_83, PIN_84, PIN_85
- **73 I/O pins (3.3V logic level)**
 - 2.54mm spacing, male pin headers (2x20 pins)
- **Onboard Voltage Regulators**
 - 3.3V voltage regulator (AMS1085CM-3.3V)
 - 2.5V voltage regulator (AMS1117-2.5V)
 - 1.2V voltage regulator (AMS1117-1.2V)
- **Power Supply: DC jack**
 - DC input: 5V..12V (15V max.), center-positive

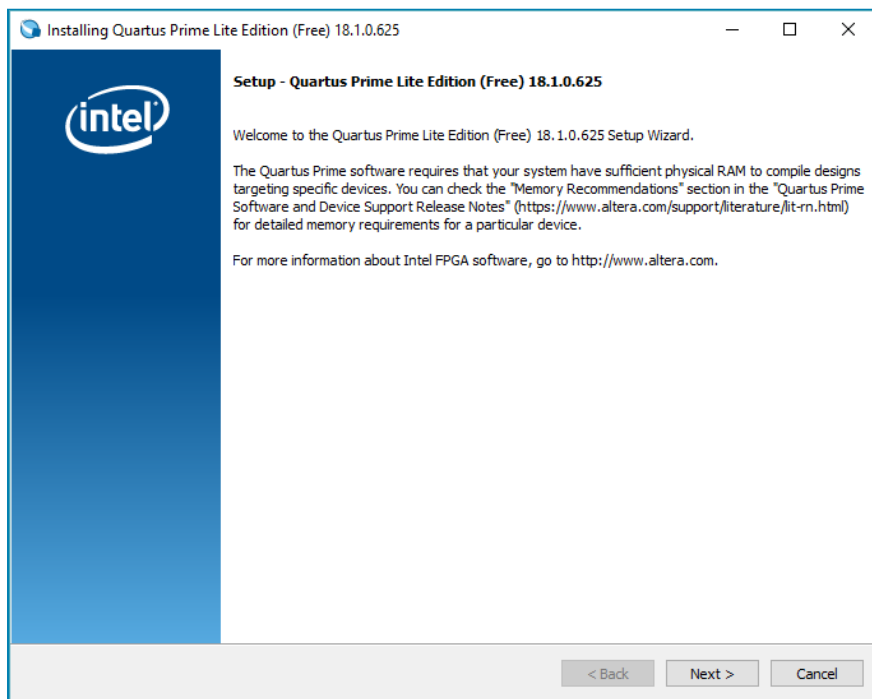
บอร์ด FPGA ที่ได้เลือกมาใช้งานนี้ มีวงจรสร้างสัญญาณ Clock สำหรับความถี่ 50MHz สำหรับการออกแบบวงจรตามแบบ Synchronous Design มีวงจรปุ่มกด K2 และ K3 ที่ทำงานแบบ Active-Low สามารถใช้เป็น User Inputs ได้ นอกจากนั้น ยังมีวงจร LED จำนวน 8 ชุด เป็น User Outputs และจะให้แสงสว่างเมื่อเอาต์พุตเป็นลอจิก Low

ขา I/O ถูกกำหนดไว้ให้ทำงานที่ระดับแรงดัน 3.3V และถ้าวัดแรงดันที่ขา VCC เทียบกับ GND จะได้ 3.3V ขา I/O สามารถนำไปต่อใช้งานกับอุปกรณ์อื่นได้ผ่านคอนเนกเตอร์ (Connectors) แบบ Pin Headers (สองแถว-ตัวผู้) และมีหมายเลขขา (Pin Numbers) ของชิป FPGA เขียนกำกับไว้บนบอร์ดด้วย

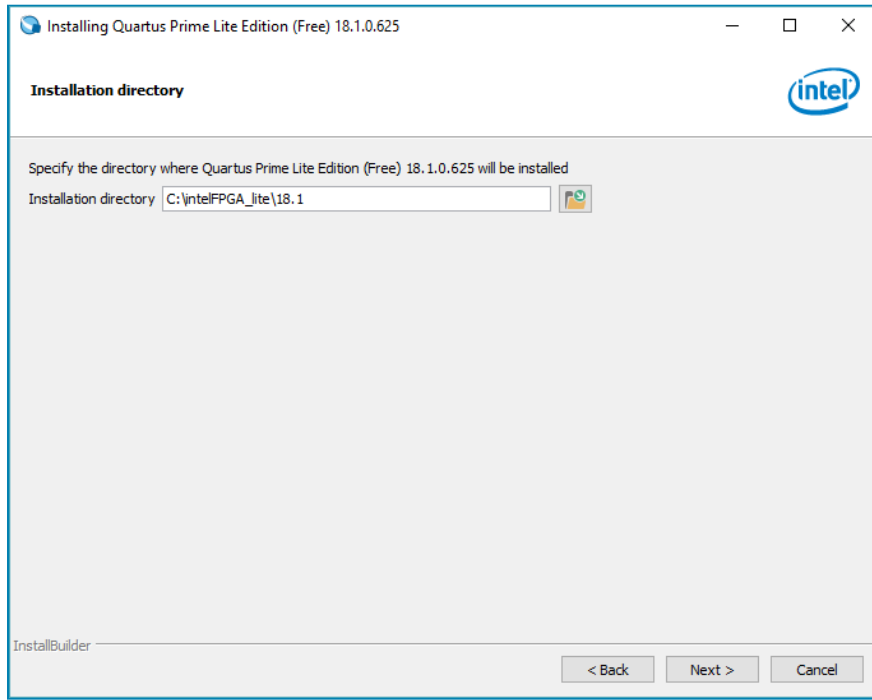
ขั้นตอนการติดตั้งซอฟต์แวร์ Quartus Prime Lite Edition

ผู้ใช้สามารถดาวน์โหลดซอฟต์แวร์ได้ฟรีจากเว็บไซต์ <http://fpgasoftware.intel.com/?edition=lite> แต่ต้องทำขั้นตอนการลงทะเบียนสร้างบัญชีผู้ใช้ก่อน จากนั้นให้เลือกดาวน์โหลดเป็นไฟล์รวม (Combined Files)

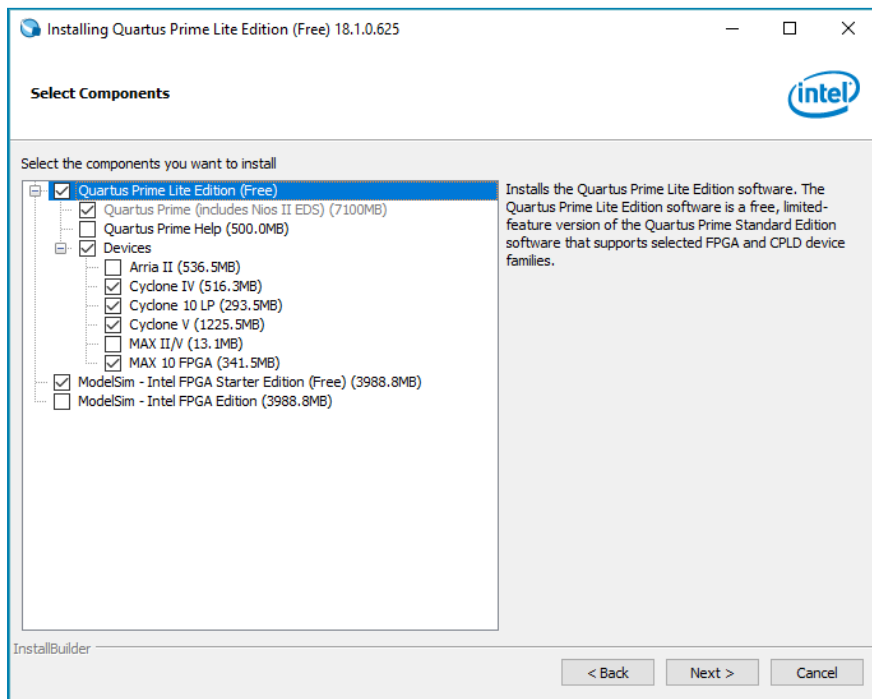
กดปุ่ม Download Selected Files ซึ่งจะได้ไฟล์นามสกุล .tar เช่น Quartus-lite-18.1.0.625-windows.tar (5.8 GB) เมื่อได้ไฟล์มาแล้วให้แตกไฟล์ออก (เช่น ใช้โปรแกรม 7-zip) จะได้ไดเรกทอรีใหม่ ให้ทำคำสั่ง setup.bat ที่อยู่ภายในไดเรกทอรี ก็จะเริ่มขั้นตอนการติดตั้งโปรแกรม



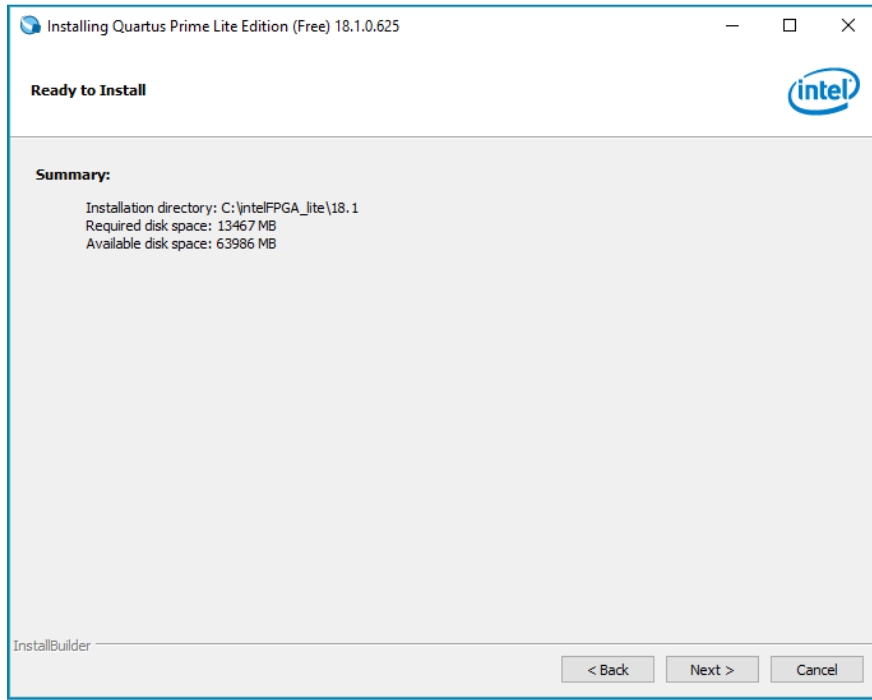
เริ่มขั้นตอนการติดตั้งซอฟต์แวร์ตามลำดับ



เลือกไดเรกทอรีสำหรับติดตั้งซอฟต์แวร์



เลือกองค์ประกอบของซอฟต์แวร์ที่จะใช้งาน



พร้อมทำการติดตั้งโปรแกรมต่าง ๆ ให้สมบูรณ์ โดยกดปุ่ม Next
(สังเกต: ความจุหรือพื้นที่ของฮาร์ดดิสก์ที่ต้องใช้)

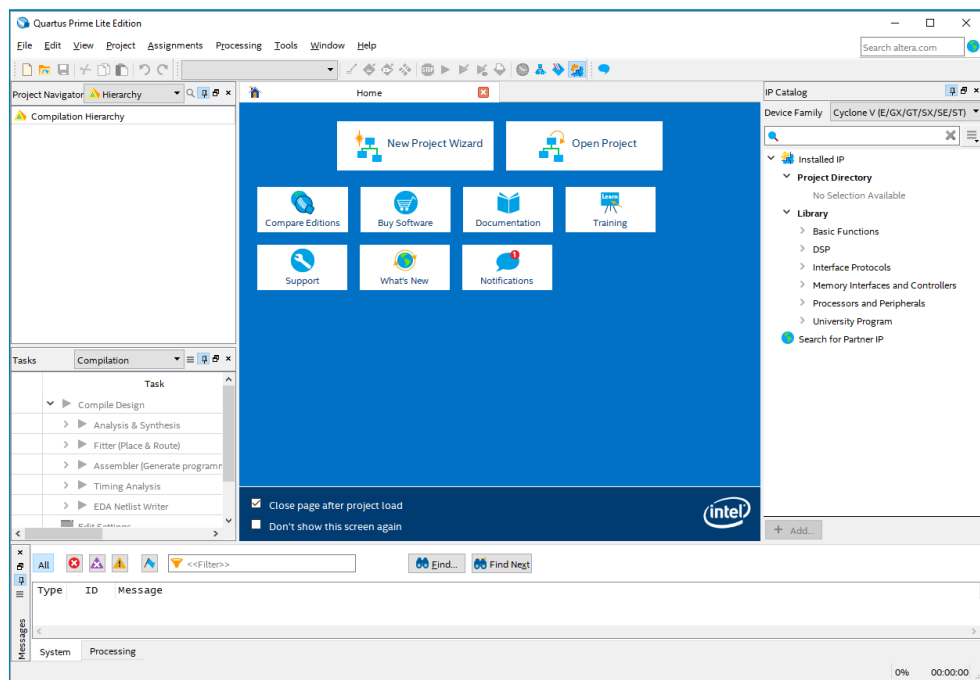
ขั้นตอนการใช้งาน Quartus Prime Lite Edition (version 18.1)

ขั้นตอนการสร้างวงจรสำหรับทดลองใช้กับบอร์ด FPGA โดยทั่วไป มีดังนี้

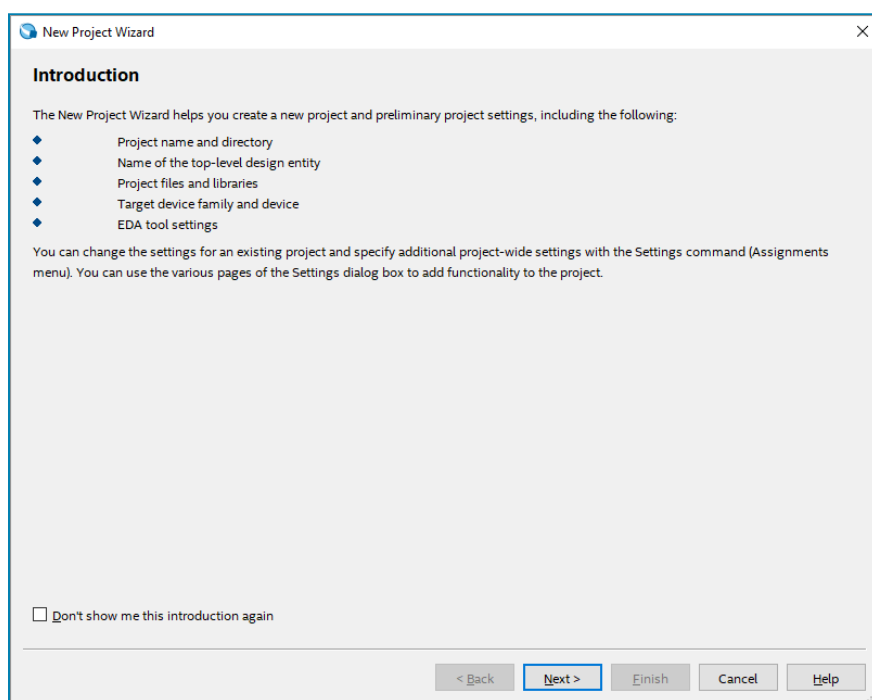
- เปิดโปรแกรม Quartus Prime Lite เพื่อใช้งาน
- สร้างโปรเจกต์ใหม่ (Create New Project)
- เลือกชิปเป้าหมาย (Select Target FPGA Device) ที่ตรงกับชิปบนบอร์ดทดลอง
- สร้างไฟล์และแก้ไขโค้ด VHDL (Create New / Edit VHDL File) และเพิ่มลงในโปรเจกต์
- คอมไพล์โค้ดในโปรเจกต์และสังเคราะห์วงจร (Compile Sourcecode & Synthesize Logic)
- กำหนดหมายเลขขาของชิปสำหรับสัญญาณ I/O ของวงจร (Assign I/O Pin Numbers) - แล แปลงให้เป็นวงจรสำหรับชิปเป้าหมายและสร้างไฟล์ "บิตสตรีม" (Generate Bitstream)
- ดาวน์โหลดไฟล์บิตสตรีมลงในชิปเป้าหมายบนบอร์ดทดลอง (Program the Device) ผ่าน JTAG interface โดยใช้อุปกรณ์ Altera USB Blaster

ข้อสังเกต:

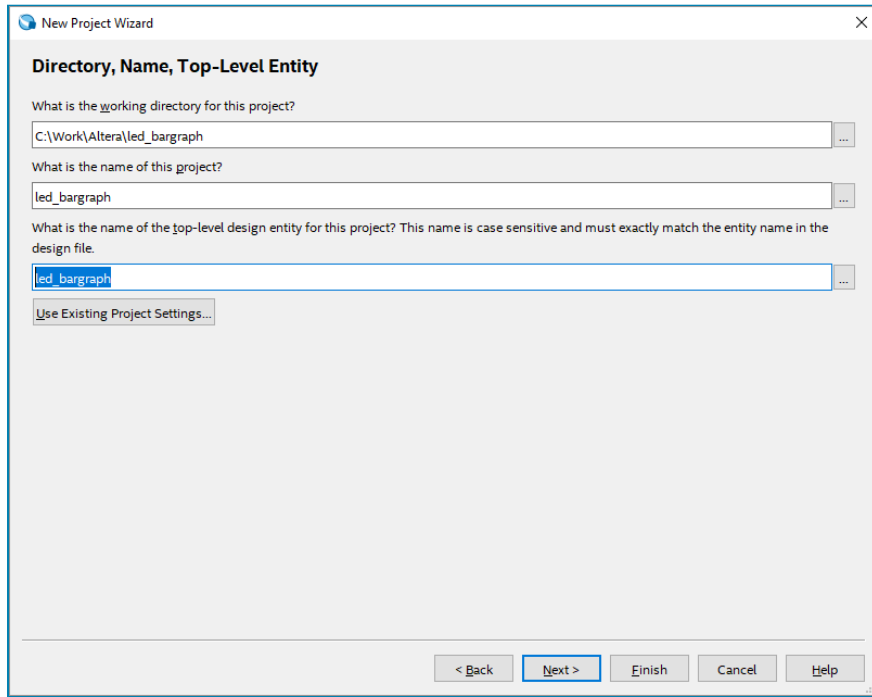
- ในบทความนี้ ยังไม่เน้นเรื่องการวิเคราะห์การทำงานเชิงเวลาของวงจรดิจิทัล (Timing Analysis of Digital Circuits) และยังไม่กล่าวถึงการจำลองการทำงานของโค้ด VHDL และการเขียนโค้ด VHDL Testbench เพื่อตรวจสอบการทำงาน โดยใช้โปรแกรมอย่างเช่น ModelSim-Altera Starter



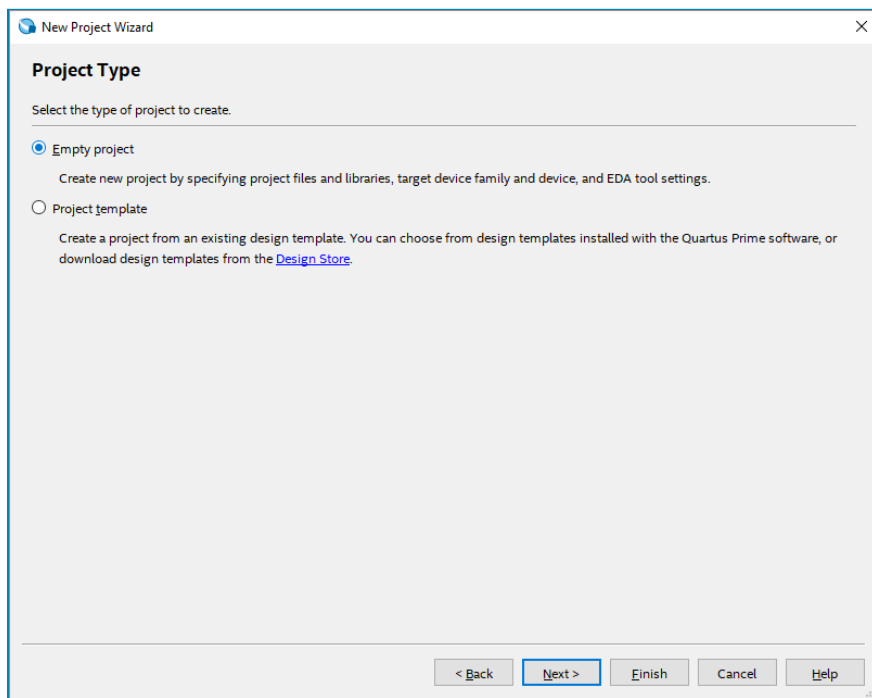
หน้าต่างหลักของโปรแกรม Quartus Prime Lite



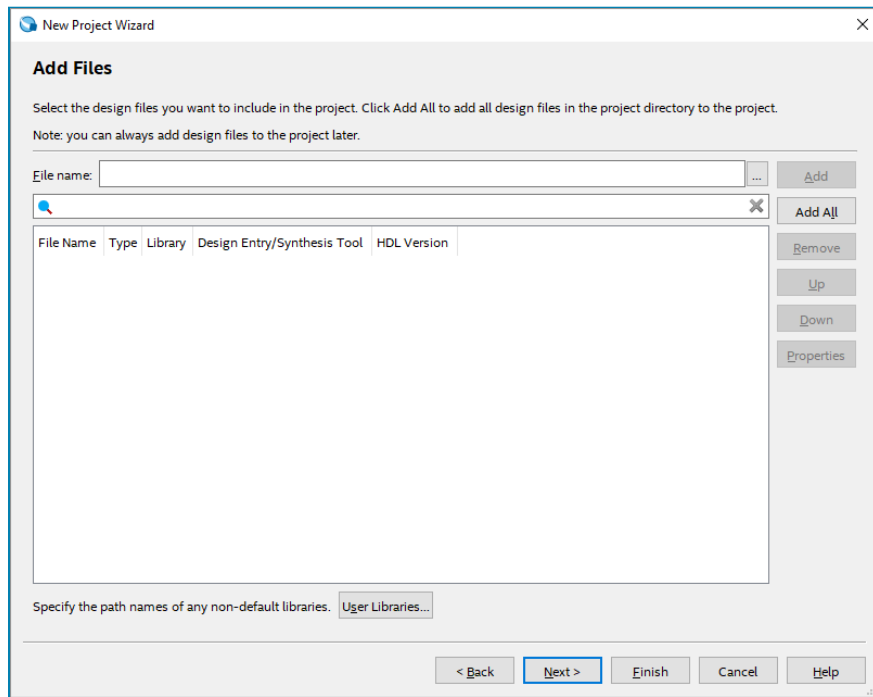
เริ่มทำคำสั่ง File > New Project Wizard



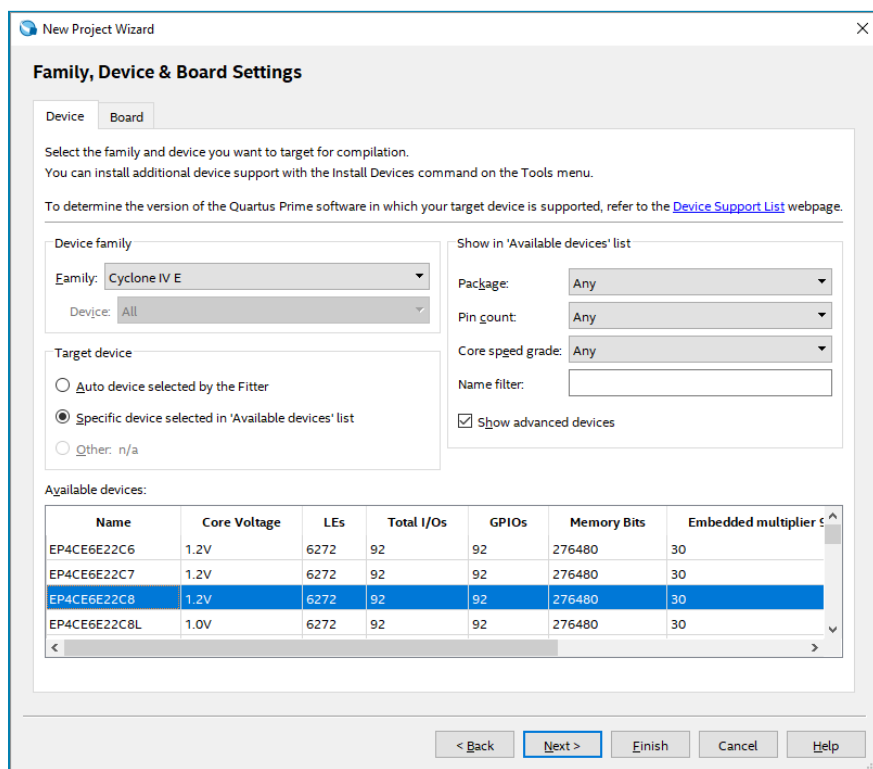
ตั้งชื่อโปรเจกต์ใหม่ และไดเรกทอรีสำหรับโปรเจกต์ (ตัวอย่างนี้ชื่อ led_bargraph)



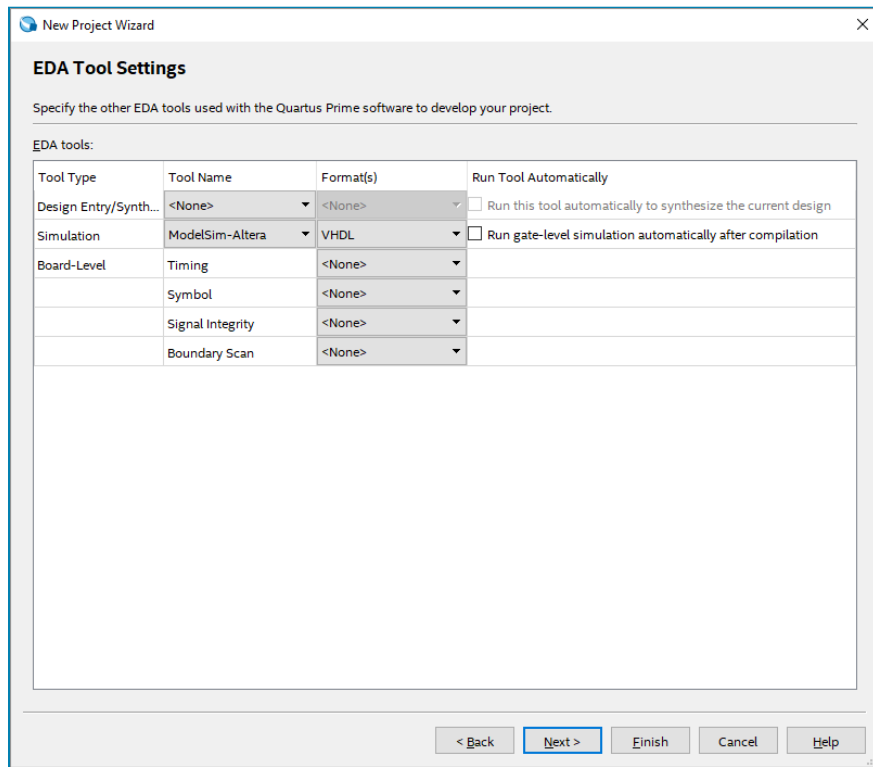
เลือกสร้างโปรเจกต์แบบว่างเปล่า (Empty Project) ไม่ได้เลือกจากเทมเพลต (Template)



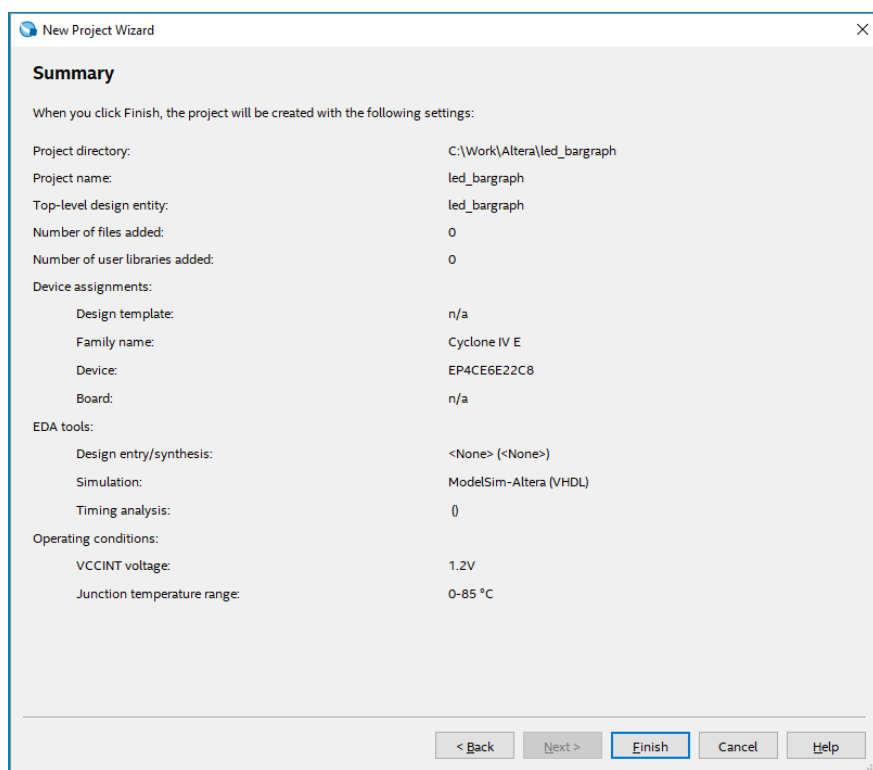
เพิ่มไฟล์ sourcecode เช่น VHDL ในโปรเจกต์ (ในกรณีนี้ยังไม่มี ให้กดปุ่ม Next)



เลือกชิปเป้าหมาย (Target Device) ในตัวอย่างนี้คือ Cyclone IV E EP4CE6E22C8

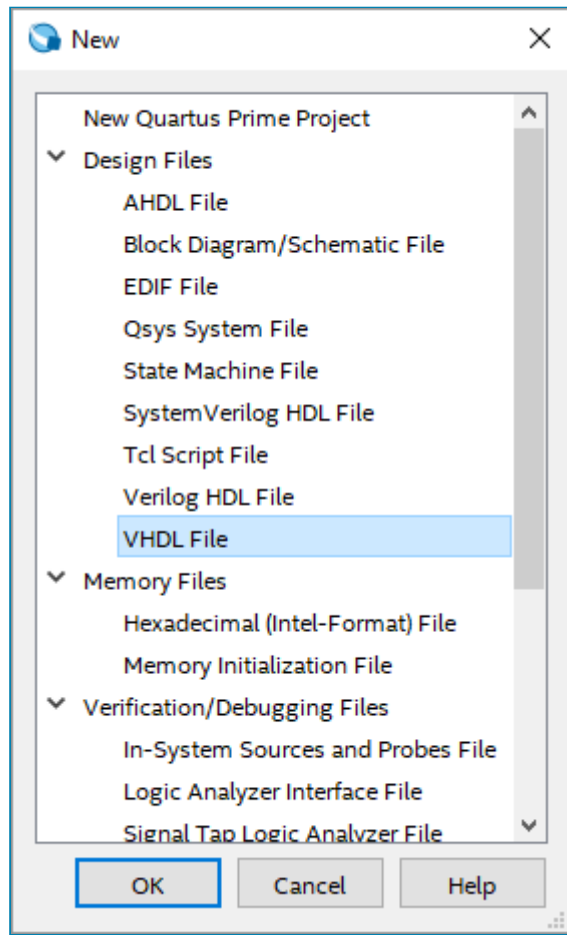


เลือกใช้ ModelSim-Altera Starter สำหรับจำลองการทำงานด้วยภาษา VHDL

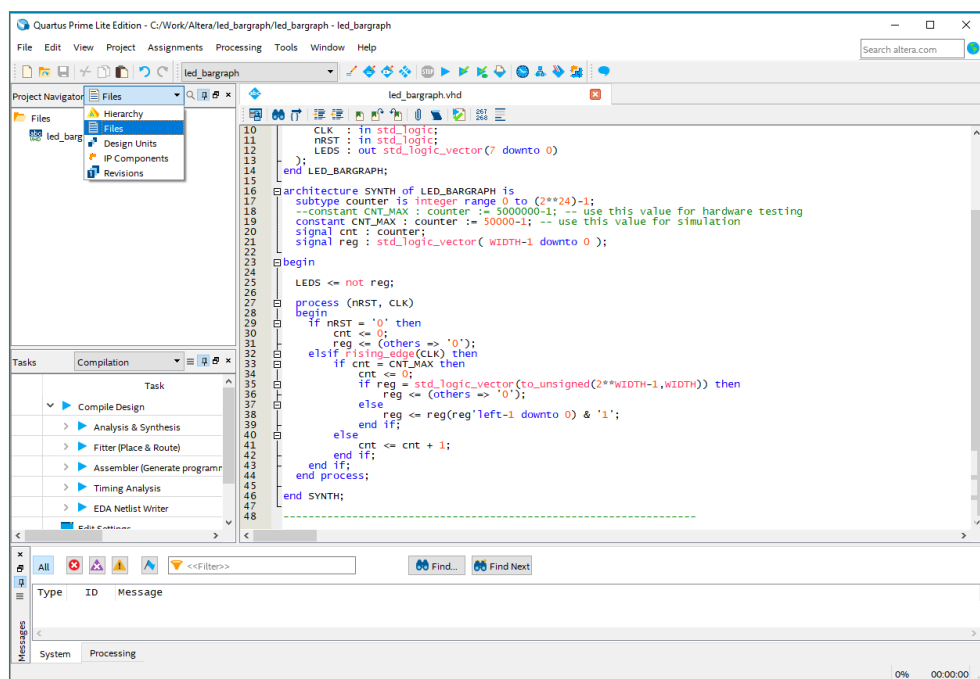


สรุปข้อมูลเกี่ยวกับโปรเจกต์ใหม่ก่อนทำขั้นตอนถัดไป

เมื่อสร้างโปรเจกต์ใหม่แล้ว แต่ยังเป็นโปรเจกต์ว่างเปล่า ยังไม่มีไฟล์ใด ๆ ถัดไป ให้สร้างไฟล์ใหม่ (New File) จากเมนูคำสั่ง แล้วเลือกชนิดของไฟล์ VHDL เพื่อทดลองเขียนโค้ดตามตัวอย่าง (LED Bargraph) เพื่อแสดงสถานะด้วย LED จำนวน 8 ดวง (8 ระดับ)



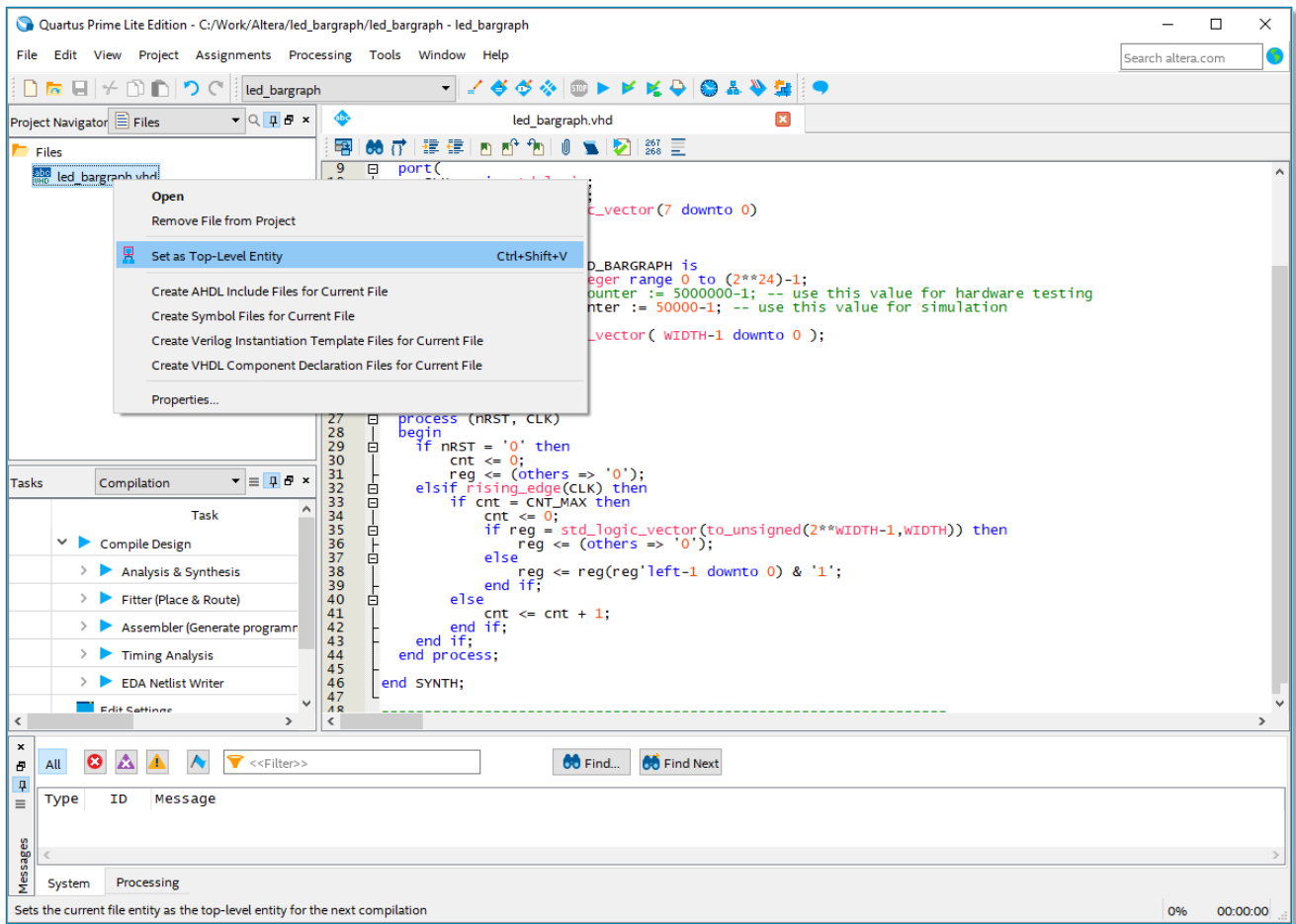
เลือกชนิดของไฟล์ใหม่เป็น VHDL File แล้วใส่เป็นส่วนหนึ่งของโปรเจกต์



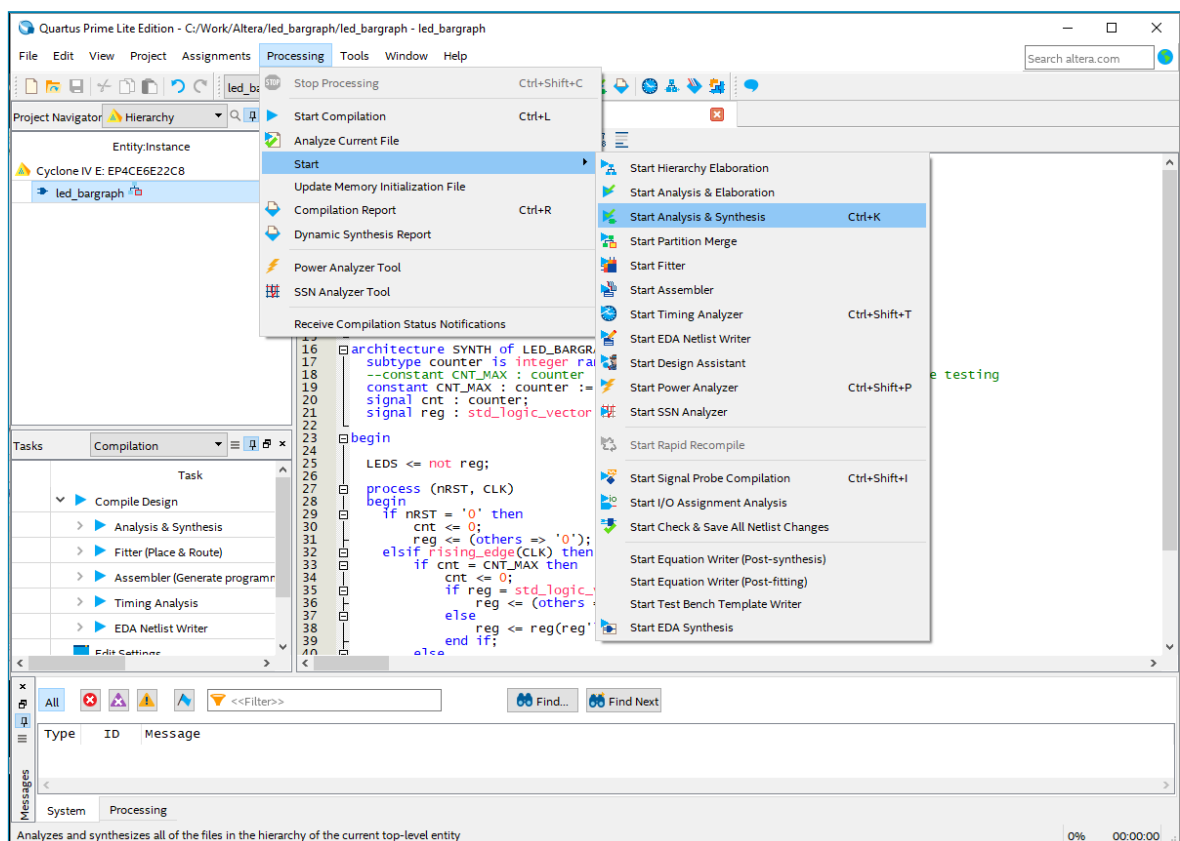
ใส่โค้ดตัวอย่างลงในไฟล์ .vhd บันทึกไฟล์เป็น led_bargraph.vhd

ตัวอย่างโค้ด

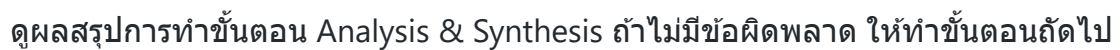
```
-----  
library ieee;  
use ieee.std_logic_1164.all;  
use ieee.numeric_std.all;  
-----  
  
entity LED_BARGRAPH is  
    generic ( WIDTH : natural := 8 );  
    port( CLK : in std_logic;  
          nRST : in std_logic;  
          LEDS : out std_logic_vector(7 downto 0) );  
end LED_BARGRAPH;  
  
architecture SYNTH of LED_BARGRAPH is  
    subtype counter is integer range 0 to (2**24)-1;  
    constant CNT_MAX : counter := 5000000-1; -- used for hardware testing  
    --constant CNT_MAX : counter := 50000-1; -- used for simulation  
    signal cnt : counter;  
    signal reg : std_logic_vector( WIDTH-1 downto 0 );  
begin  
  
    LEDS <= not reg; -- update the LED output (inverted)  
  
    process (nRST, CLK)  
    begin  
        if nRST = '0' then  
            cnt <= 0;  
            reg <= (others => '0');  
        elsif rising_edge(CLK) then  
            if cnt = CNT_MAX then -- the counter reaches the max. value  
                cnt <= 0;  
                if reg = std_logic_vector( to_unsigned(2**WIDTH-1,WIDTH) ) then  
                    reg <= (others => '0'); -- clear register (reset to 0's)  
                else  
                    reg <= reg(reg'left-1 downto 0) & '1'; -- shift left, insert 1  
                end if;  
            else  
                cnt <= cnt + 1; -- increment counter by 1  
            end if;  
        end if;  
    end process;  
end SYNTH;  
-----
```



ในกรณีที่มียไฟล์ VHDL หลายไฟล์ในโปรเจกต์ สามารถเลือกได้ว่า จะให้ไฟล์ใดเป็น Top-level Entity

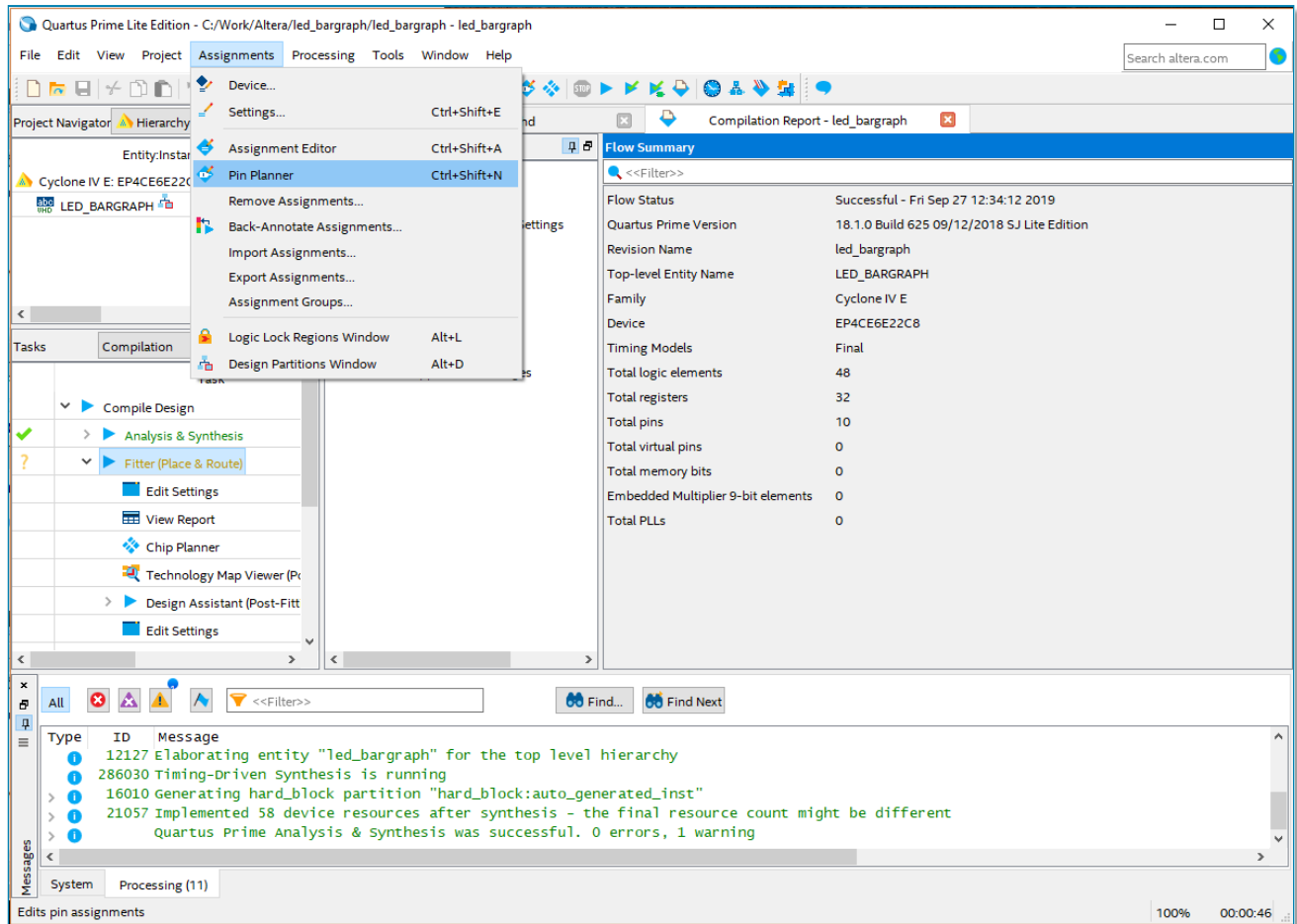


ทำขั้นตอน Analysis & Synthesis เพื่อคอมไพล์และแปลงโค้ดให้เป็นวงจรดิจิทัล



เมื่อได้ทำขั้นตอนแปลงโค้ด VHDL ให้เป็นวงจรดิจิทัลโดยอัตโนมัติ (Sythesis) ถัดไป จะต้องกำหนด

และเลือกใช้ขาของชิป FPGA ว่า ขาใดจะใช้เป็นขาสัญญาณอินพุต-เอาต์พุตของวงจรบ้าง เช่น ขาใดจะเป็นขาอินพุตสำหรับสัญญาณ Clock ของวงจร เป็นต้น



เลือกใช้ Pin Planner เพื่อกำหนดเลือกขาของชิป FPGA สำหรับขา I/O ของวงจร

ข้อสังเกต: การเลือกใช้ขา I/O ของชิป FPGA โดยทั่วไปแล้ว ก็ขึ้นอยู่กับบอร์ด FPGA ที่นำมาทดลองใช้งาน ตัวอย่างเช่น ถ้าต้องการใช้สัญญาณ Clock จากวงจร Oscillator บนบอร์ดทดลอง ก็จะต้องเลือกขาอินพุตสำหรับสัญญาณ Clock ดังกล่าว ถ้าเลือกหมายเลขขาไม่ถูกต้อง จะทำให้เกิดความผิดพลาดในการทำงาน (วงจรไม่ทำงาน) ดังนั้นแนะนำให้ตรวจสอบจากเอกสารไฟล์ Schematic หรือคู่มือการใช้งานของบอร์ด (ถ้ามี)

Pin Planner - C:/Work/Altera/led_bargraph/led_bargraph - led_bargraph

File Edit View Processing Tools Window Help

Search altera.com

Report

Report not available

Groups Report

Tasks

- Early Pin Planning
 - Early Pin Planning...
 - Run I/O Assignment Analysis
 - Export Pin Assignments...
- Highlight Pins
 - I/O Banks

Top View

Wire Bond, with Exposed Pad

Cyclone IV E

EP4CE6E22C8

Pin Legend

Symbol	Pin Type
	User I/O
	User assigned I...
	Fitter assigned I...
	Unbonded pad
	Reserved pin
	Other configura...
	DEV_OE
	DEV_CLR
	DIFF_n
	DIFF_p
	DQ
	DQS
	CLK_n
	CLK_p

Named: * Edit

Filter: Pins: all

Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Current Strength
in CLK	Input				2.5 V (default)		8mA (default)
out LEDS[7]	Output				2.5 V (default)		8mA (default)
out LEDS[6]	Output				2.5 V (default)		8mA (default)
out LEDS[5]	Output				2.5 V (default)		8mA (default)
out LEDS[4]	Output				2.5 V (default)		8mA (default)
out LEDS[3]	Output				2.5 V (default)		8mA (default)
out LEDS[2]	Output				2.5 V (default)		8mA (default)
out LEDS[1]	Output				2.5 V (default)		8mA (default)
out LEDS[0]	Output				2.5 V (default)		8mA (default)

0% 00:00:00

หน้าต่างสำหรับ Pin Planner เมื่อเรียกใช้งาน

Pin Planner - C:/Work/Altera/led_bargraph/led_bargraph - led_bargraph

File Edit View Processing Tools Window Help

Search altera.com

Report: Report not available

Groups Report

Tasks

- Early Pin Planning
 - Early Pin Planning...
 - Run I/O Assignment Analysis...
 - Export Pin Assignments...
- Highlight Pins
 - I/O Banks
 - VREF Groups

Top View

Wire Bond, with Exposed Pad

Cyclone IV E

EP4CE6E22C8

Pin Legend

Symbol	Pin Type
○	User I/O
●	User assigned I/O
●	Fitter assigned I/O
○	Unbonded pad
●	Reserved pin
○	Other configura...
○	DEV_OE
○	DEV_CLR
○	DIFF_n
○	DIFF_p
○	DQ
○	DQS
○	CLK_n
○	CLK_p
○	Other PLL
○	Other dual purp...

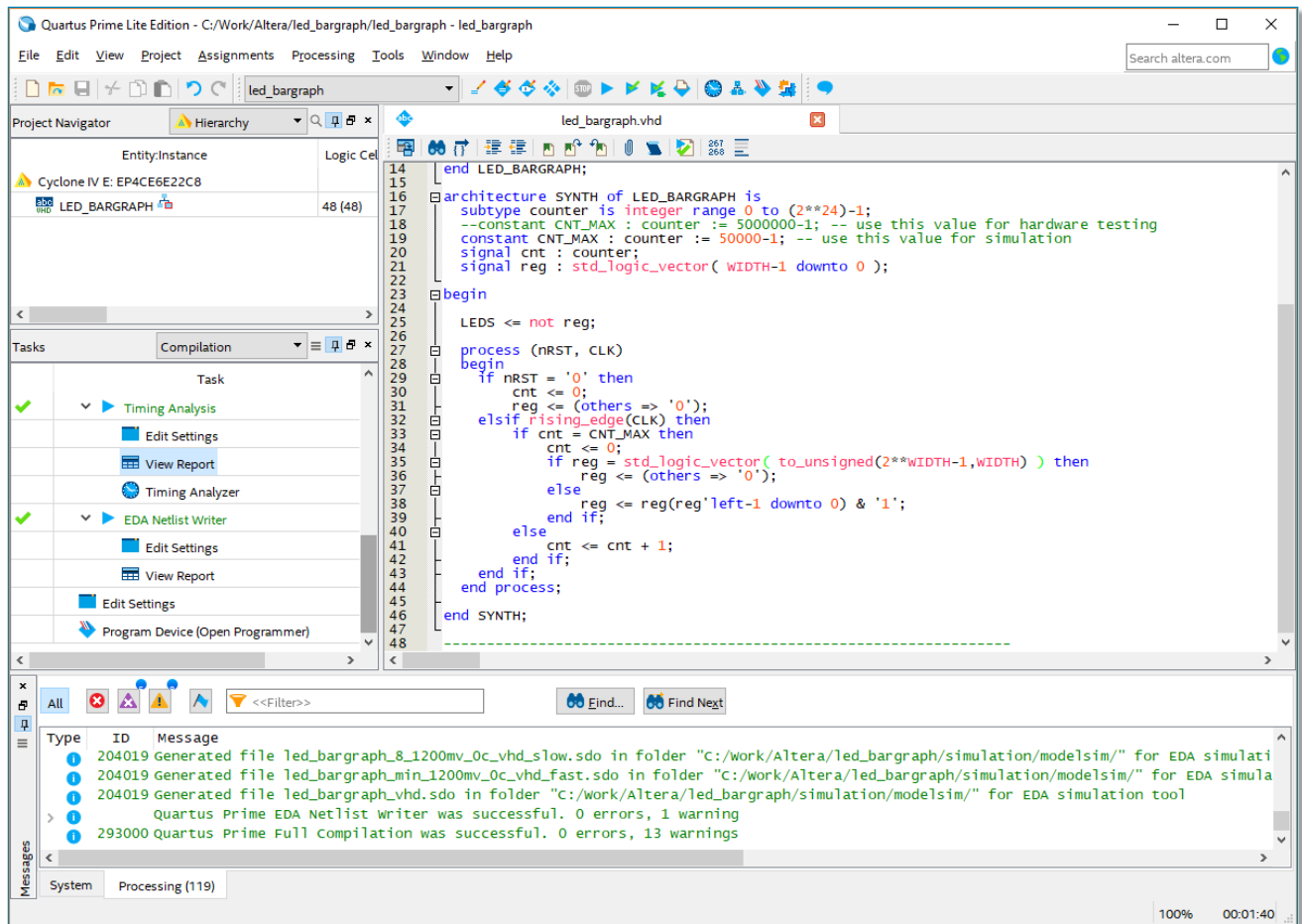
Named: * Edit: PIN_86 Filter: Pins: assigned

Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Current Strength	Slew
in CLK	Input	PIN_23	1	B1_N0	3.3-V LVCMOS	Reserved	2mA (default)	
out LEDS[7]	Output	PIN_85	5	B5_N0	3.3-V LVCMOS		2mA (default)	2 (defau
out LEDS[6]	Output	PIN_84	5	B5_N0	3.3-V LVCMOS		2mA (default)	2 (defau
out LEDS[5]	Output	PIN_83	5	B5_N0	3.3-V LVCMOS		2mA (default)	2 (defau
out LEDS[4]	Output	PIN_77	5	B5_N0	3.3-V LVCMOS		2mA (default)	2 (defau
out LEDS[3]	Output	PIN_76	5	B5_N0	3.3-V LVCMOS		2mA (default)	2 (defau
out LEDS[2]	Output	PIN_75	5	B5_N0	3.3-V LVCMOS		2mA (default)	2 (defau
out LEDS[1]	Output	PIN_74	5	B5_N0	3.3-V LVCMOS		2mA (default)	2 (defau
out LEDS[0]	Output	PIN_73	5	B5_N0	3.3-V LVCMOS		2mA (default)	2 (defau
in nRST	Input	PIN_86	5	B5_N0	3.3-V LVCMOS		2mA (default)	
<<new node>>								

0% 00:00:00

เลือกหมายเลขขาของชิป FPGA สำหรับสัญญาณต่าง ๆ ของวงจรตามตัวอย่าง และใช้ระดับแรงดัน 3.3V LVCMOS เมื่อกำหนดค่าต่าง ๆ แล้ว ให้เปิดหน้าต่าง Pin Planner

โปรดสังเกตรายการของขา I/O ของดีไซน์ที่ปรากฏ เช่น ขา CLK และ LEDS เป็นต้น ในตัวอย่างนี้ เราจะใช้สัญญาณ CLK จากบอร์ดทดลอง และใช้วงจร LEDS ที่มีอยู่บนบอร์ดทดลอง รวมถึงปุ่มกดสำหรับใช้เป็นปุ่มรีเซตวงจร โดยทั่วไปแล้ว เราจะเลือก I/O Standard เป็น LVCMOS-3.3V หรือ LVTTTL-3.3V (และวงจรภายนอกที่เชื่อมต่อกับชิป FPGA ต้องทำงานที่ระดับแรงดันไฟฟ้า 3.3V เช่นกัน)

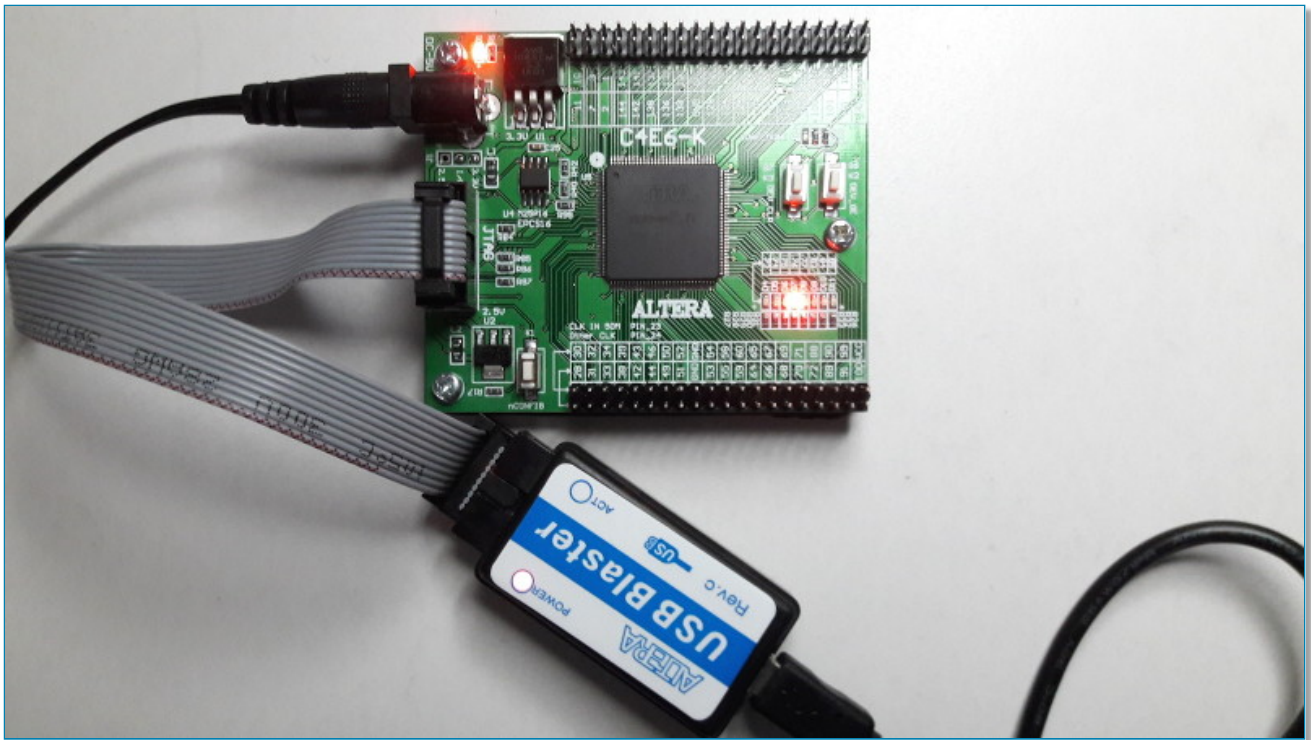


ทำขั้นตอน Start Compilation เพื่อให้ได้ไฟล์ Bitstream (.sof)

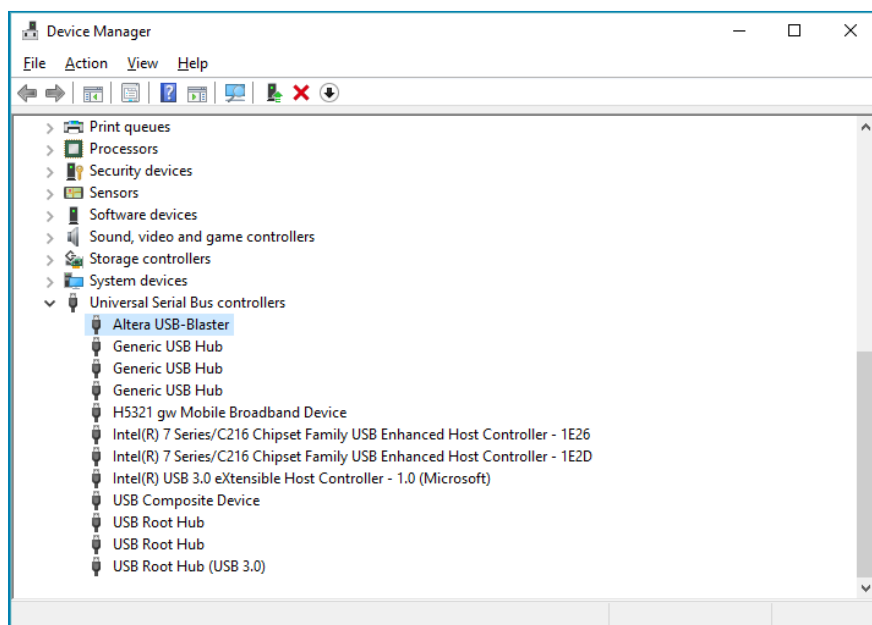
ขั้นตอนการดาวน์โหลดไฟล์บิตสตรีมไปยังบอร์ด FPGA

ขั้นตอนถัดไปคือ การเชื่อมต่ออุปกรณ์ Altera USB Blaster กับคอมพิวเตอร์ผ่านพอร์ต USB และติดตั้งไดรเวอร์ (Driver) สำหรับ Windows ซึ่งมีอยู่ในไดเรกทอรีที่ได้ติดตั้งโปรแกรม Quartus

เมื่อตรวจสอบแล้วว่า อุปกรณ์พร้อมใช้งาน ให้เสียบสาย JTAG เข้ากับบอร์ด FPGA และพร้อมจ่ายไฟเลี้ยง (DC Voltage Supply) ให้บอร์ด FPGA ตามที่ได้เลือกมาใช้ในบทความนี้ แนะนำให้ระดับแรงดันไฟเลี้ยงจากแหล่งจ่ายภายนอกในช่วง 5V..9V ต่อเข้ากับ DC Plug (คำเตือน: ถ้าใช้บอร์ด FPGA ที่แตกต่างกันไป จะต้องศึกษาและเลือกใช้แรงดันไฟเลี้ยงที่เหมาะสม)

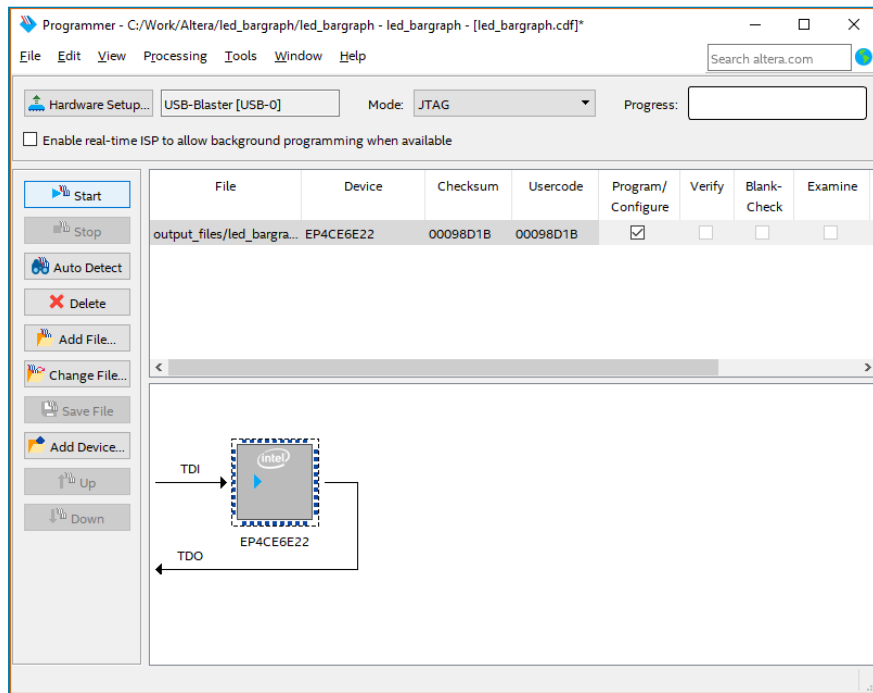


บอร์ด Altera Cyclone IV FPGA และอุปกรณ์ Altera USB Blaster (Clone)

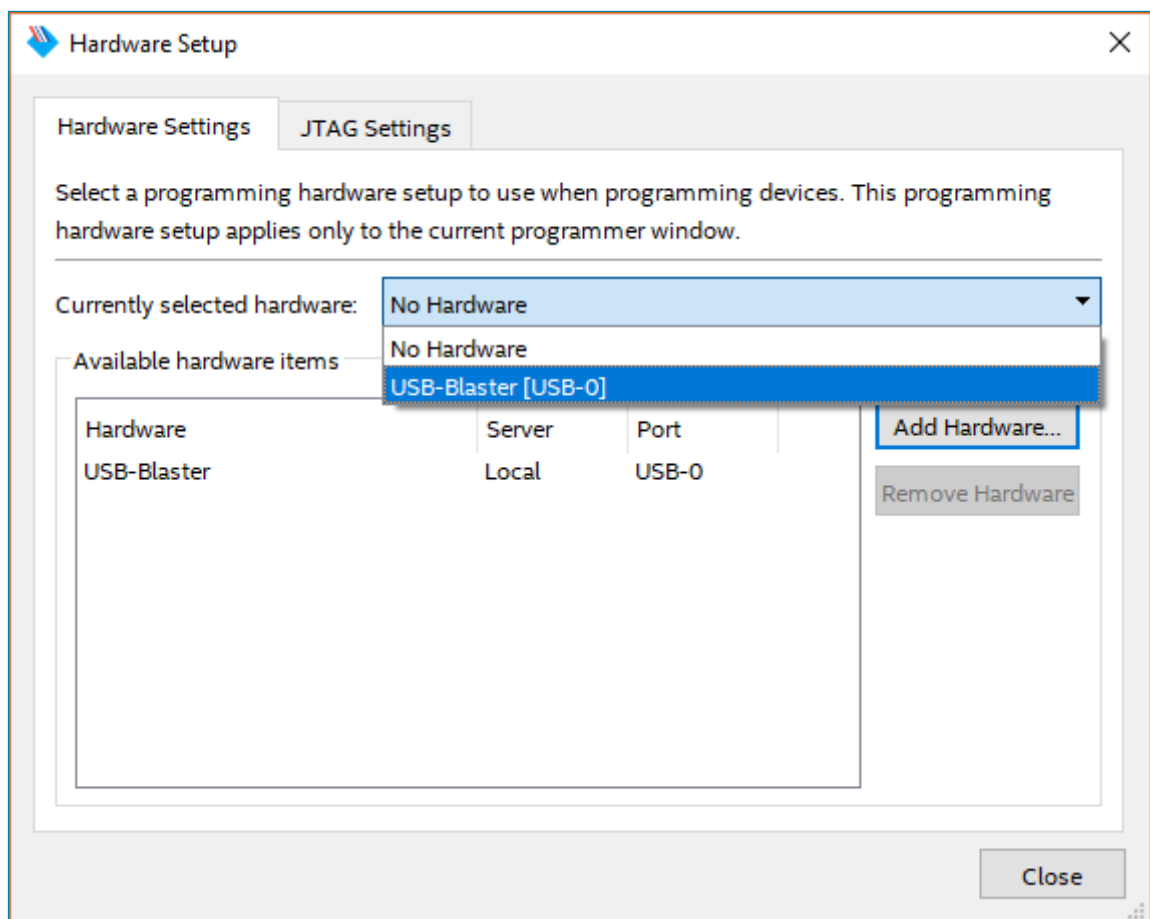


ใน Device Manager ของ Windows สามารถมองเห็นรายชื่ออุปกรณ์ Altera USB-Blaster

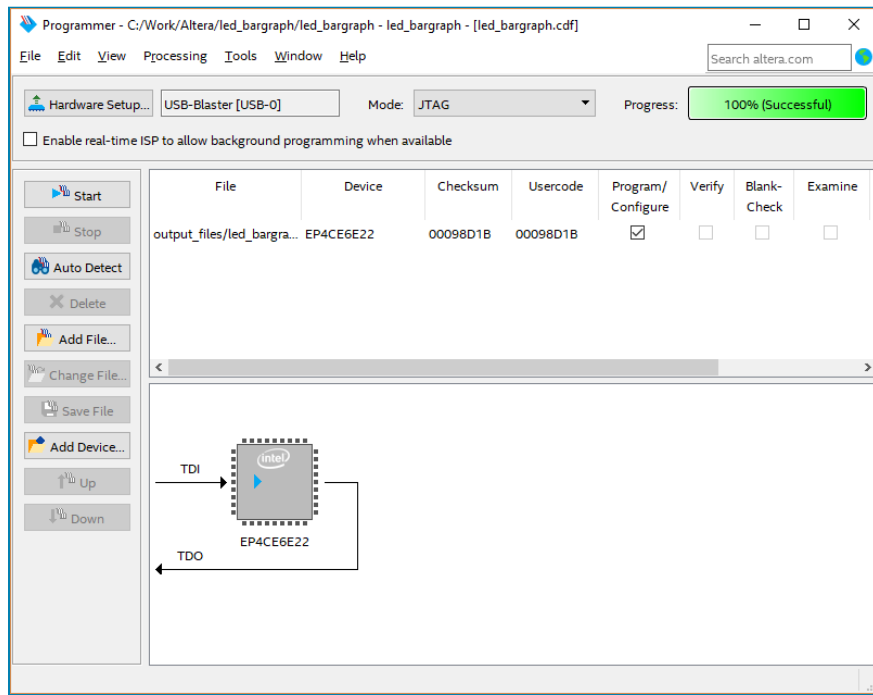
ทำคำสั่งในขั้นตอน Program Device (Open Programmer) ภายใน Quartus Prime Lite



ในหน้าต่าง Device Programmer ให้กดปุ่ม Hardware Setup



ในส่วนของ Hardware Setup เลือกอุปกรณ์ USB-Blaster ที่ปรากฏ และต้องไม่ใช่ No Hardware



ในหน้าต่างของ Programmer จะมองเห็นชิป FPGA และให้กดปุ่ม Start เพื่อดาวน์โหลดไฟล์บิตสตรีมไปยังชิป FPGA

เมื่อทำมาถึงขั้นตอนสุดท้ายแล้ว ให้สังเกตการทำงานของ LED จำนวน 8 ดวง บนบอร์ดทดลอง

ข้อสังเกต: อุปกรณ์ Altera USB Blaster (clone) มีอยู่หลายแบบในตลาด ถ้าเป็นอุปกรณ์ที่ใช้ชิป PIC18F14K50 จะใช้งานร่วมกับ Windows 10 และ USB Driver ของ Altera ได้ แต่ถ้าเป็นชิป STM32F1xx จะมีปัญหา (จะเกิดอาการ "จอฟ้า" หรือ "blue screen of death")

สรุปผลการเรียนรู้ที่คาดหวัง

- ได้เรียนรู้ขั้นตอนการติดตั้งและใช้งานซอฟต์แวร์ Quartus Prime Lite (v18.1) สำหรับระบบปฏิบัติการ Windows 10
- ได้ทดลองโค้ดของวงจรตัวอย่างที่เขียนด้วยภาษา VHDL แล้วแปลงให้เป็นวงจรดิจิทัลสำหรับชิป FPGA และทดสอบการทำงานกับบอร์ดทดลองจริง

เผยแพร่ภายใต้ลิขสิทธิ์ / This work is licensed under: Attribution-NonCommercial 4.0 International (CC BY-NC-SA 4.0)

