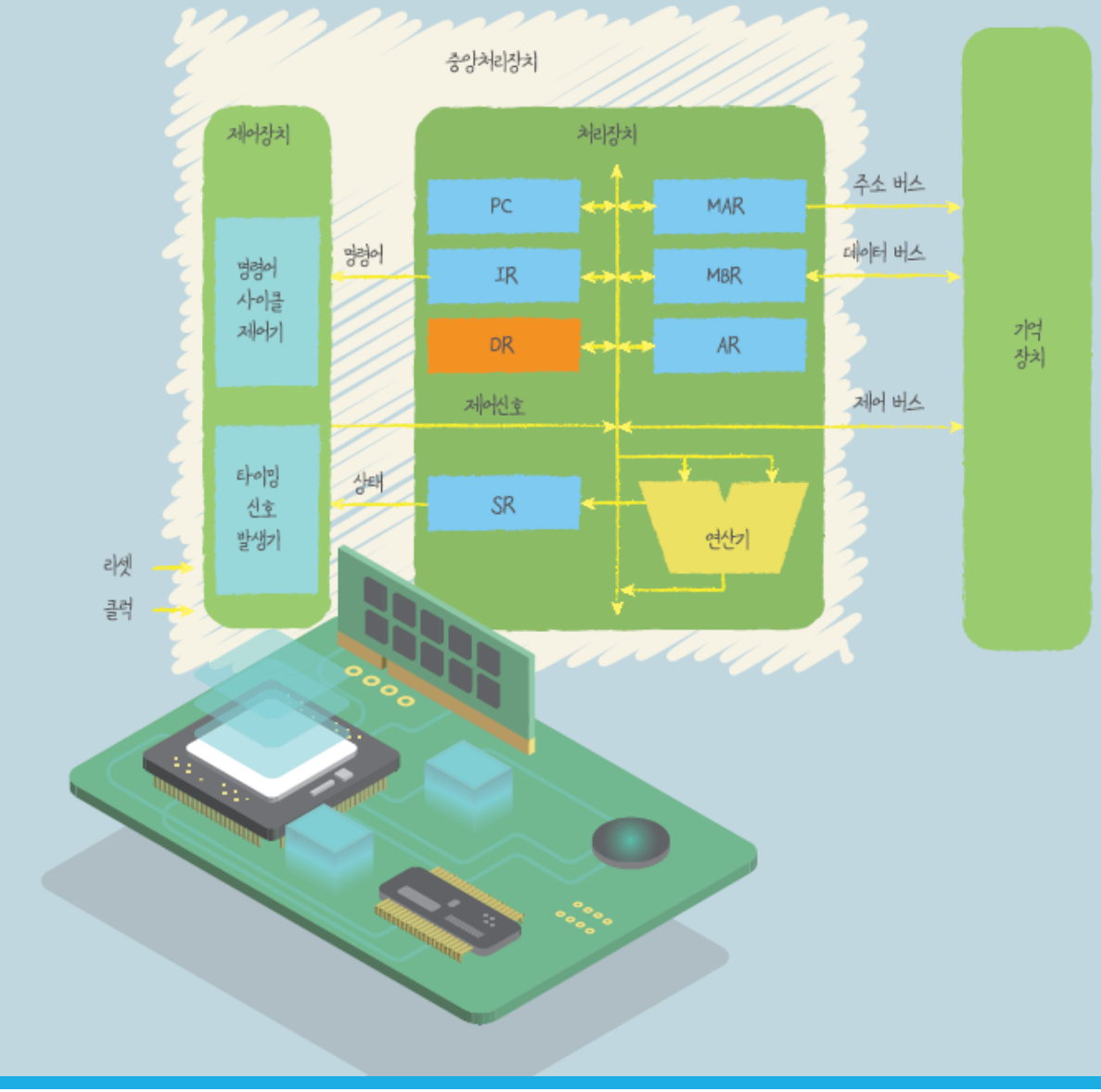


Logic Design Basics

From Prof. Joongnam Jeon's lecture slides

3.1 Logics

Logics: a math of truth values

Logic Value

Logic Value	거짓(false)	참(true)
Binary	0	1
Switch	닫힘(off)	열림(on)
Signal	끊김(Low)	흐름(High)

Constants = {false, true} = {0, 1}

Propositional variables. Ex) x, y, z, a1, a2, alarm, bell

- Input variables
- Output variables

A logic formula defines the relation of input and output variables

Logic Representations

Three Representations: Truth Table, Logic Formula, Logic Circuit

Truth table

Input variables	Output variables
Combinations of input values	Expected outputs for each input case

Ex. Even or Not

x	y	z	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Primitive Logic Operations

AND Z = X·Y = XY = X AND Y = X ∧ Y		
X	Y	Z
0	0	0
0	1	0
1	0	0
1	1	1

OR Z = X+Y = X OR Y = X ∨ Y		
X	Y	Z
0	0	0
0	1	1
1	0	1
1	1	1

NOT $Z = \overline{X}$= X'=¬X	
X	Z
0	1
1	0

3.2.1 Boolean Algebra

Algebra

- Axioms
- Set
- Operations
- Equations

Operations

- Binary operator
  - With Real numbers: +, –, ×, ÷
  - With Boolean numbers: AND, OR
- Unary operator
  - With real number: negation, square root, log
  - With Boolean number: NOT

Boolean Algebra

Named after George Boole, 1815-1864

Boolean algebra

- Elements = {0, 1}
- Operators = {AND(·), OR(+), NOT(‘)}

The result of every Boolean operation is a Boolean value

Dual equation

- $x \wedge x = x$
- $x \wedge 0 = 0$
- $\neg(\neg x)=x$
- $x \vee x = x$
- $x \vee 1 = 1$

Properties of Boolean Algebra

- Associative Law
  - (x \/ y) \/ z = x \/ (y \/ z)
  - (x /\ y) /\ z = x /\ (y /\ z)
- Commutative Law
  - x \/ y = y \/ x
  - x /\ y = y /\ x
- Distributive Law
  - x \/ (y /\ z) = (x \/ y) /\ (x \/ z)
  - x /\ (y \/ z) = (x /\ y) \/ (x /\ z)

Identity and Complement

- Identity elements
  - x \/ 1 = 1
  - x /\ 0 = 0

- Complements
  - x \/ x = x
  - x /\ ¬x = 0

Proof of Boolean Statement

Using Truth Table

$$x \bullet (y + z) = (x \bullet y) + (x \bullet z)$$

x /\ (y \/ z) = (x /\ y) \/ (x /\ z)

Atomic Propositions			Left-hand side		Right-hand sides		
X	y	z	y\/z	x/\(y\/z)	(x/\y)	(x/\z)	(x/\y)\/(x/\z)
0	0	0					
0	0	1					
0	1	0					
0	1	1					
1	0	0					
1	0	1					
1	1	0					
1	1	1					

De Morgan's law

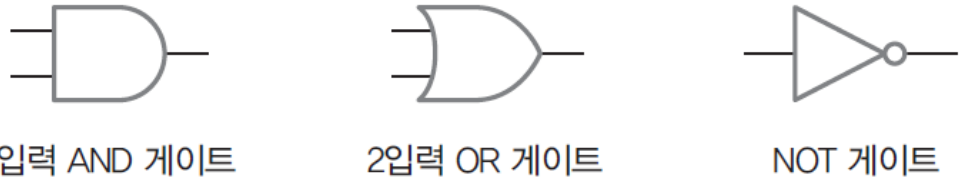
$$\neg(x \vee y) = \neg x \wedge \neg y$$

$$\neg(x \wedge y) = \neg x \vee \neg y$$

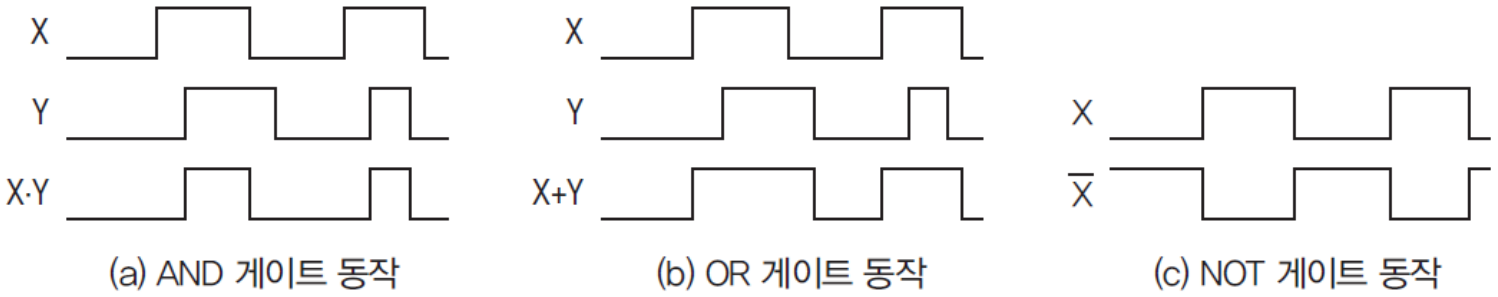
Atomic Propositions		Left-hand sides		Right-hand side		
x	y	x\/y	¬(x\/y)	¬x	¬y	¬x/\¬y
0	0					
0	1					
1	0					
1	1					

3.3.1 Basic Logic Gates

Electrical Components for Boolean Logic Operations



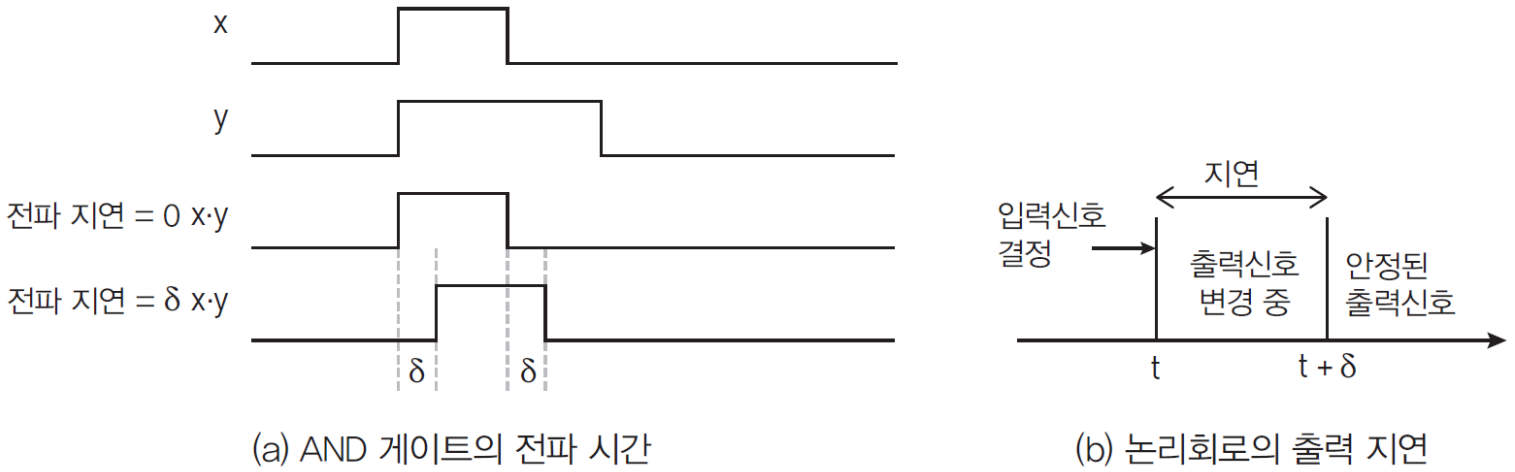
[그림 3-1] 논리게이트 기호



[그림 3-2] 기본 게이트의 출력에 대한 타이밍 다이어그램

Propagation Delay

- Time duration between an input signal change and the output signal change
  - mostly, in few nanoseconds
- Delay gets cumulated as a signal passes through multiple logic gates

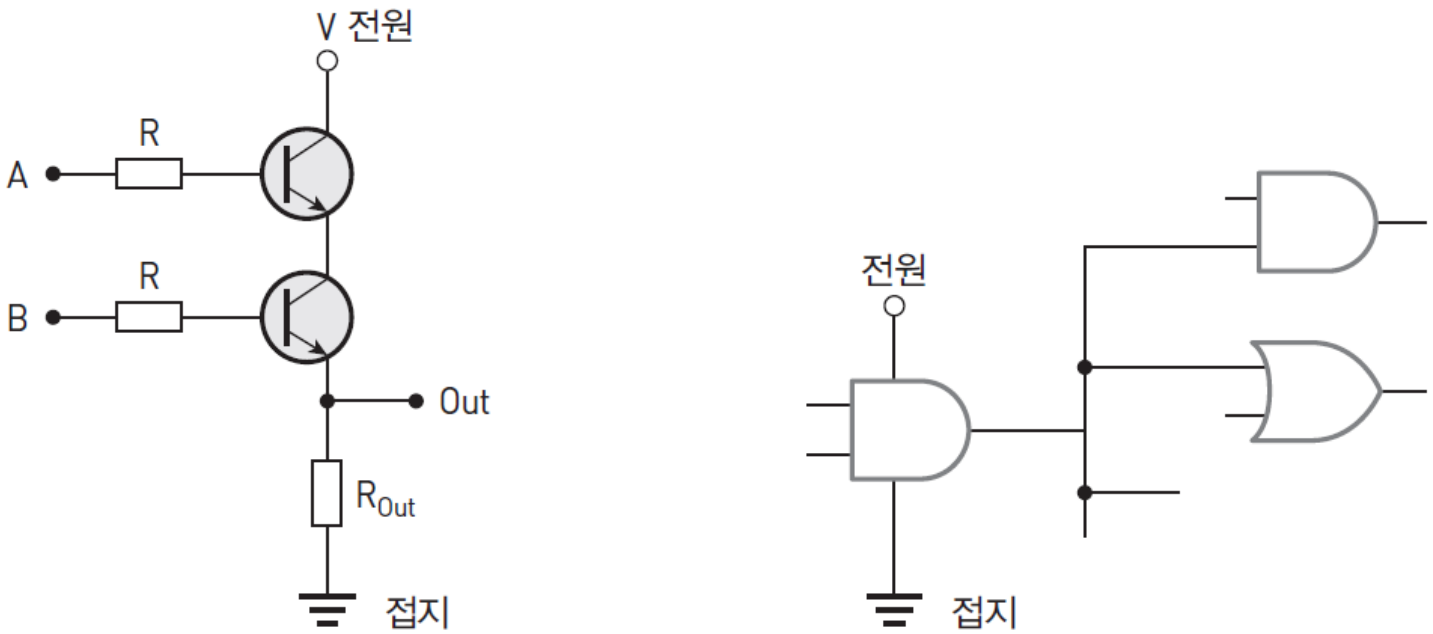


(a) AND 게이트의 전파 시간

(b) 논리회로의 출력 지연

[그림 3-3] 전파 지연

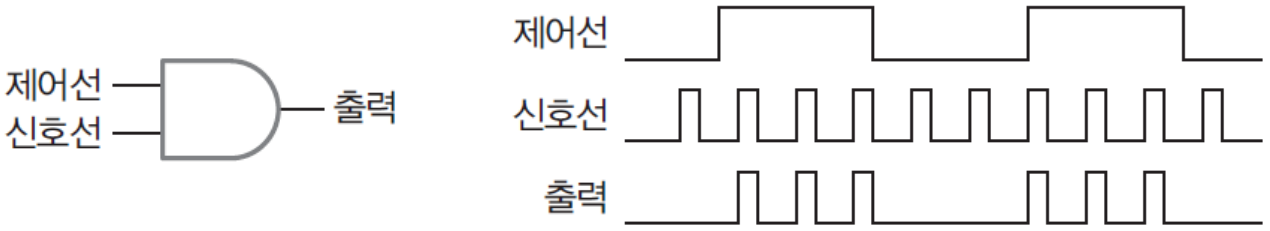
Power Supply and Fan-out



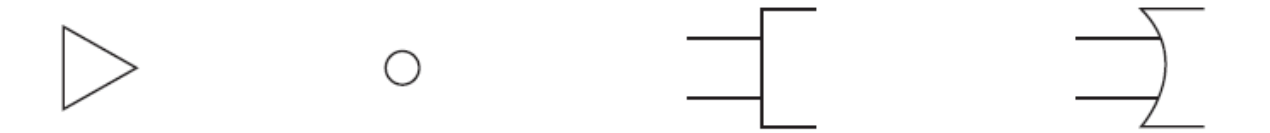
(a) 트랜지스터 AND 게이트 (b) 팬아웃(fan-out)

[그림 3-4] 전원 공급과 팬아웃

3.3.3 Logic Gate Notation



[그림 3-6] 제어선과 신호선



(a) 삼각형 (b) 작은 원 (c) 직선형 입력 (d) 곡선형 입력

[그림 3-7] 논리게이트 표현 기호

신호 전달

신호 부정(NOT)
입력/출력에 추가

AND 연산
입력선 2개 이상

OR 연산
입력선 2개 이상

3.3.4 AND and NAND

〈표 3-7〉 2-입력 AND 게이트

입력		출력	AND 게이트 기호	
X	y	F = x · y	입력 정논리 - 출력 정논리	입력 부논리 - 출력 부논리
0	0	0		
0	1	0		
1	0	0		
1	1	1		

〈표 3-8〉 2-입력 NAND 게이트

입력		출력	NAND 게이트 기호	
X	y	F = (x · y)′	입력 정논리 - 출력 부논리	입력 부논리 - 출력 정논리
0	0	1		
0	1	1		
1	0	1		
1	1	0		

OR and NOR

〈표 3-9〉 2-입력 OR 게이트

입력		출력	OR 게이트 기호	
X	y	F = x+y	입력 정논리 - 출력 정논리	입력 부논리 - 출력 부논리
0	0	0		
0	1	1		
1	0	1		
1	1	1		

〈표 3-10〉 2-입력 NOR 게이트

입력		출력	NOR 게이트 기호	
x	y	F = (x+y)′	입력 정논리 - 출력 부논리	입력 부논리 - 출력 정논리
0	0	1		
0	1	0		
1	0	0		
1	1	0		

XOR and XNOR

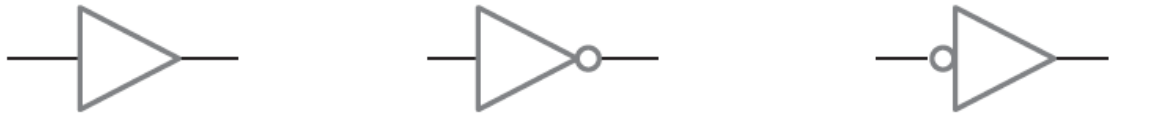
〈표 3-11〉 2-입력 XOR 게이트

입력		출력	XOR 게이트 기호
X	y	F=x⊕y	
0	0	0	
0	1	1	
1	0	1	
1	1	0	

〈표 3-12〉 2-입력 XNOR 게이트

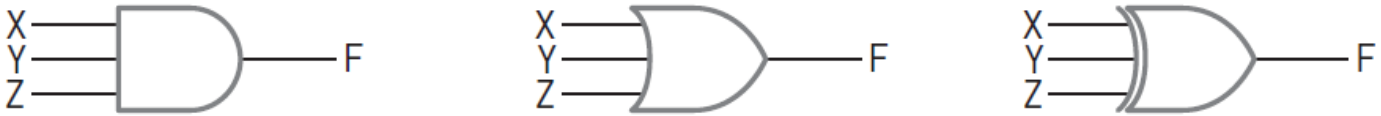
입력		출력	XNOR 게이트 기호
x	y	F=(x⊕y)′	
0	0	1	
0	1	0	
1	0	0	
1	1	1	

Buffer, Not, 3-in Gates

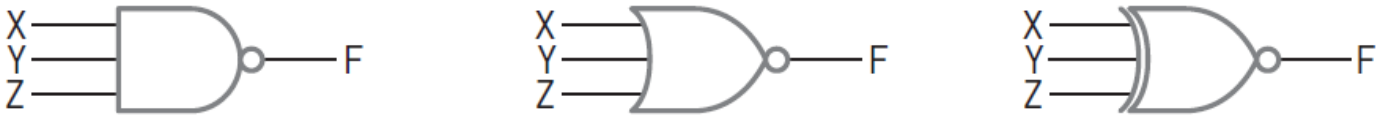


(a) 버퍼 (b) 정논리 NOT 게이트 (c) 부논리 NOT 게이트

[그림 3-8] 버퍼와 NOT 게이트



(a) F = X · Y · Z (b) F = X+Y+Z (c) F = X⊕Y⊕Z



(d) F = (X · Y · Z)′ (e) F = (X+Y+Z)′ (f) F = (X⊕Y⊕Z)′

[그림 3-9] 3-입력 게이트