

COGNOMS:

GRUP:

NOM:

EXAMEN DE PROBLEMES D'EC (Tema 8. Excepcions i interrupcions)

Pregunta 1 (Curs 12/13 Q1, 0,5 punts)

	Afirmació	V	F
1.-	La rutina RSE de tractament d'excepcions del MIPS segueix les regles de l'ABI estudiades al Tema 3, és a dir que pot modificar lliurement els registres \$t, \$a i \$v, però ha de preservar el valor original dels registres \$s i \$ra.		X
2.-	La rutina RSE coneix la causa (codificada) de l'excepció perquè aquesta se li passa com a paràmetre en \$a0 (paràmetre ExcCode).		X
3.-	En el MIPS, una mateixa instrucció pot causar durant la seva execució 2 fallades de pàgina.	X	
4.-	La MMU del MIPS detecta que un accés a memòria causa una fallada de pàgina consultant el bit V en el TLB.	X	
5.-	La rutina TLBmiss del processador MIPS estudiada al Tema 8 copia tots els camps de la TP al TLB excepte el bit de presència, que es posa sempre a 1.		X
6.-	El TLB és com una cache de la TP, les etiquetes de la qual consisteixen en el número de pàgina virtual (VPN).	X	
7.-	Un cop finalitzada la rutina RSE en ocasió d'una fallada de pàgina, es retorna al programa interromput executant la instrucció següent a la que ha causat el fallo.		X
8.-	Una interrupció no pot ser atesa fins que la instrucció en curs hagi finalitzat.	X	
9.-	Quan el processador es disposa a servir una excepció, posa el bit EXL=1, i copia l'adreça de retorn en el registre \$ra.		X
10.-	Suposant que la rutina RSE no modifica el bit EXL, les peticions d'interrupció s'ignoren durant tota l'execució de la rutina.	X	

Pregunta 2 (Curs 11/12 Q2, 0,6 punts)

- La RSE estudiada al tema 8 per al processador MIPS s'executa ...
 - com a tractament de totes les excepcions
 - quan un programa realitza una crida al sistema**
 - quan la CPU detecta una interrupció estant el bit EXL=1
 - Totes les anteriors són correctes
- Una interrupció ...
 - és un event que es produeix com a resultat de l'execució d'una instrucció
 - serveix per sincronitzar mitjançant enquesta un dispositiu d'entrada/sortida i la CPU
 - impedeix que finalitzi l'execució de la instrucció en curs
 - pot ser ignorada fent ús del bit corresponent del camp Interrupt Mask**
- La rutina TLBmiss estudiada al tema 8...
 - s'executa quan hi ha una fallada de pàgina
 - està optimitzada de manera que no li cal accedir a la TP
 - utilitza un algorisme de reemplaçament LRU per les entrades del TLB
 - retorna sempre a la instrucció que ha provocat l'excepció**

4. El camí de dades del processador MIPS unicicle estudiat al tema 8 ...
 - a) conté una única ALU per sumar els operands de les instruccions i actualitzar el contingut del registre PC
 - b) presenta una memòria unificada de dades i instruccions
 - c) **inclou un camí que connecta la sortida del registre PC amb l'entrada del registre EPC**
 - d) inclou un camí que connecta la sortida del sumador de PC+4 a l'entrada del registre EPC
5. L'excepció per accés no alineat a memòria ...
 - a) no es pot produir en l'execució d'una instrucció sb
 - b) és tractada de forma que s'avorta l'execució del programa
 - c) no pot ser inhibida a través del camp Interrupt Mask
 - d) **Totes les anteriors són correctes**
6. El bit D del TLB en el processador MIPS estudiat al tema 8 ...
 - a) **és sempre coherent amb el bit D de la TP**
 - b) es copia a la TP quan es reemplaça l'entrada que el conté
 - c) indica la presència de la pàgina a memòria física
 - d) Cap de les anteriors és correcta

Pregunta 3 (Curs 11/12 Q1, 0,75 punts)

7. En un computador amb memòria virtual paginada com l'estudiat, el nombre d'entrades de la Taula de Pàgines depèn de:
 - a) El nombre de bits de l'adreça física
 - b) El nombre de bits de l'adreça física i la llargada de pàgina
 - c) El nombre de bits de l'adreça lògica
 - d) **El nombre de bits de l'adreça lògica i la llargada de pàgina**
8. En el processador MIPS estudiat, l'accés a memòria de dades per part d'un load o un store pot produir:
 - a) **Una fallada de TLB si cap entrada del TLB coincideix amb la VPN de l'adreça**
 - b) Només una excepció durant la traducció de l'adreça
 - c) Una fallada de pàgina si una entrada del TLB coincideix amb la VPN de l'adreça i el bit V=1
 - d) Cap de les anteriors
9. En un processador MIPS com l'estudiat, si el bit EXL del Status Register val 1, vol dir que:
 - a) Cal donar prioritat a les interrupcions per sobre de les excepcions
 - b) Al final de la RSE cal retornar a l'adreça EPC+4 en lloc de retornar a l'adreça EPC.
 - c) **Cal ignorar totes les interrupcions**
 - d) Cal ignorar totes les excepcions i interrupcions
10. Dels 32 registres bàsics del processador MIPS, la rutina RSE n'ha de preservar obligatòriament:
 - a) Tots
 - b) Tots menys \$t0-\$t9, \$a0-\$a3 i \$v0-\$v1
 - c) **Tots menys \$k0-\$k1**
 - d) Tots menys \$t0-\$t9, \$a0-\$a3 i \$v0-\$v1, \$k0-\$k1
11. En el processador MIPS estudiat, les crides al sistema
 - a) S'invoquen escrivint un 1 al bit EXL amb una instrucció `mtc0` i saltant a la rutina corresponent amb la instrucció `jal`
 - b) S'invoquen amb qualsevol excepció, i la rutina corresponent se selecciona amb el camp `ExcCode` del registre `Cause`
 - c) **S'invoquen amb una instrucció especial que causa una excepció, i la rutina corresponent se selecciona escrivint un número en el registre \$v0.**
 - d) No s'invoquen amb cap instrucció, sinó com a conseqüència d'algun event produït per una instrucció (excepció) o per un dispositiu extern (interrupció).