



乐鑫信息科技
Espressif Systems

ESP8266EX Application Design Guide

By Li Lele
Aug. 20, 2014

- ✓ ESP8266EX Features
- ✓ ESP8266EX Schematic
- ✓ ESP8266EX Layout
- ✓ Test Board
- ✓ 附录

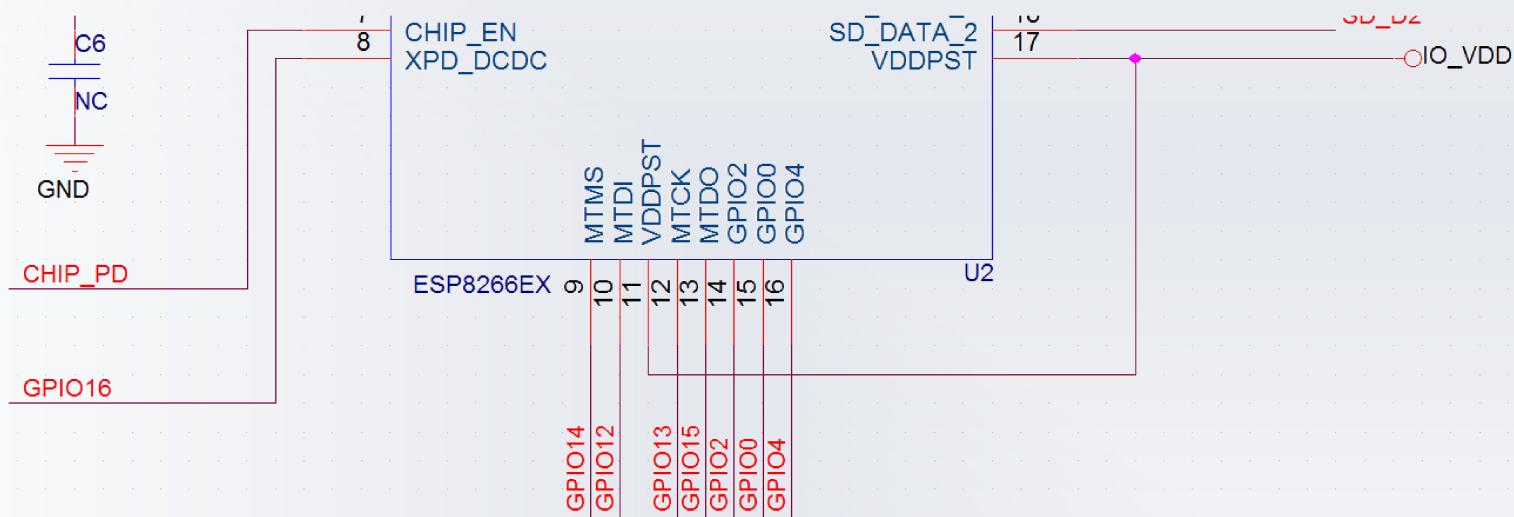
Outline

✓ ESP8266EX特点简介：

- ✓ ESP8266EX 模组的器件只需要 7 个电阻电容电感、 1 个无源晶振及 1 个 flash 组成。
- ✓ 射频部分实现全内部集成，并且内部带有自动校准功能。
- ✓ 量产无需专用的仪器来测试。

✓ 电路的 Power On

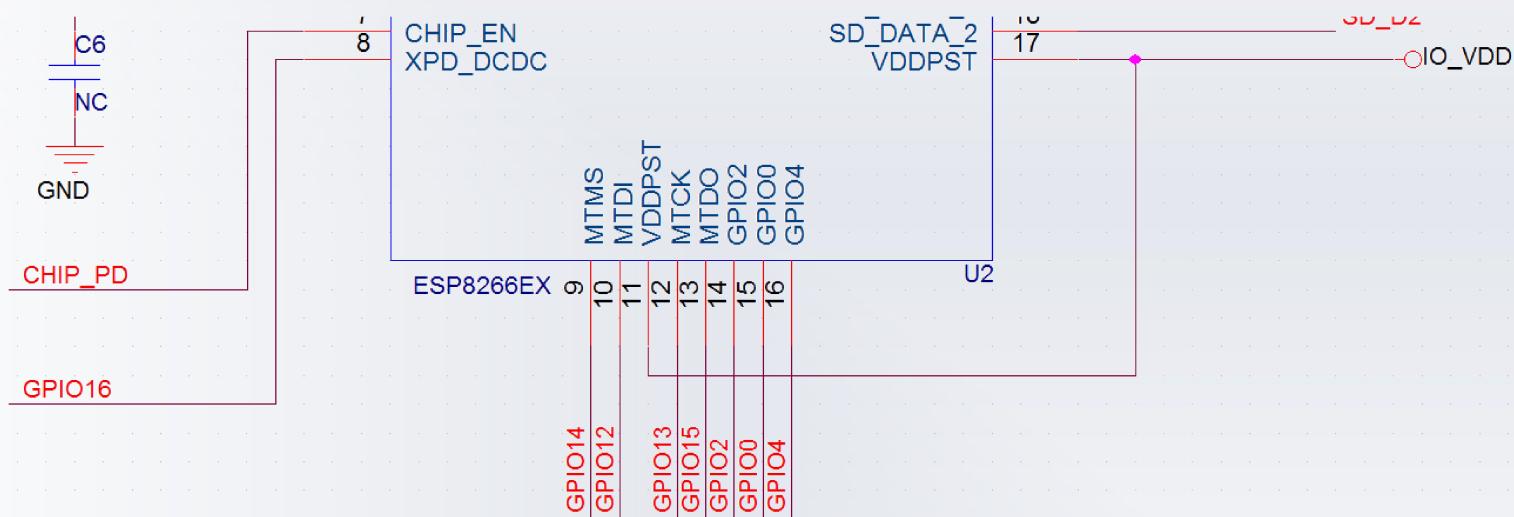
- ✓ 首先是 VDDPST (pin 11, pin 17) 的 Power On,
然后是 CHIP_EN (pin 7) 的 Power On;
- ✓ 或者 VDDPST 和 CHIP_EN 同时 Power On.



Reference schematic

✓ 数字与 IO 电源

- ✓ Pin 11, Pin 17 - VDDPST
 - ✓ Voltage: 1.8V ~ 3.3V



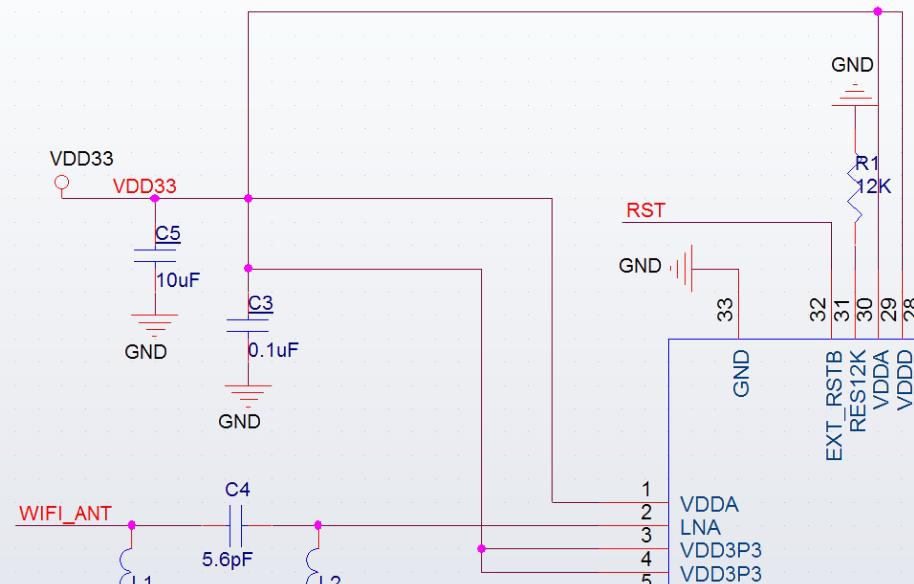
Reference schematic

✓ 模拟电源

- ✓ Pin 1, Pin 3, Pin 4, Pin 29, Pin 30
- ✓ Voltage: 3.0V~3.6V

注意事项:

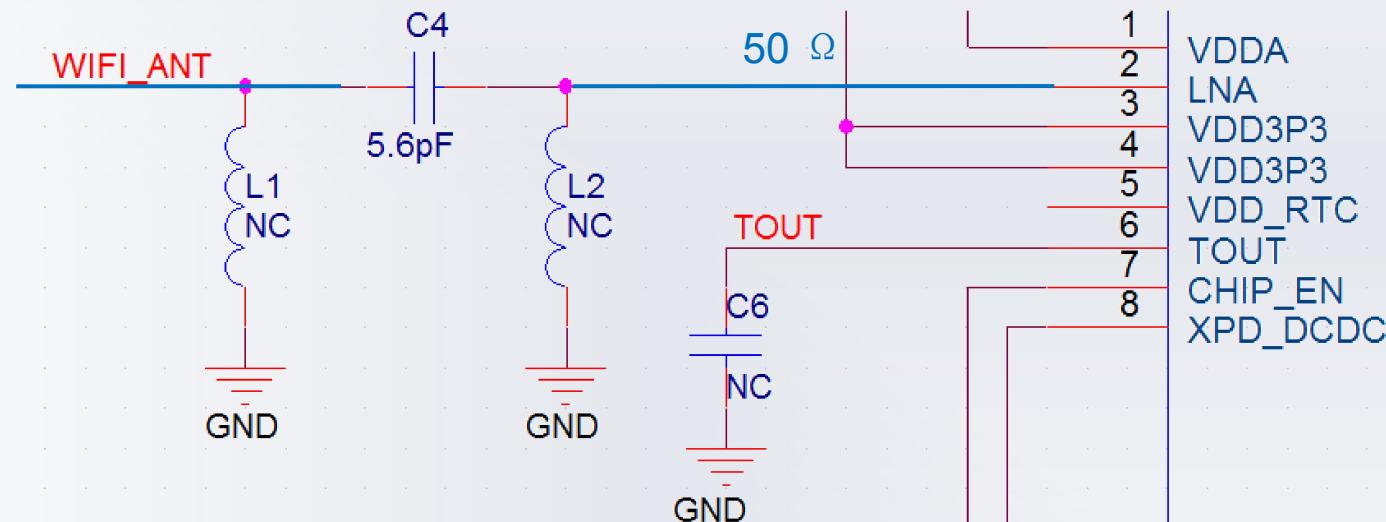
- 1、建议数字模拟部分两边一直供电，可采用一路 GPIO 连接到 ESP8266EX 的 CHIP_EN 控制上下电；
- 2、如果考虑将 CHIP_EN 连接 VCC3V3 来控制芯片，需加上 RC ($R=5k\Omega$, $C=1nF$) 电路。
注意 CHIP_EN 不可悬空，否则其电平是不定的。
- 3、数字电源 VDDPST 和模拟电源 VDDA 也可连接在一起。需在电源处需加 10uF 到地的去耦电容。
- 4、请勿在连接到 ESP8266EX 的电源上添加磁珠 (FB)。



Reference schematic

✓ 射频天线接口

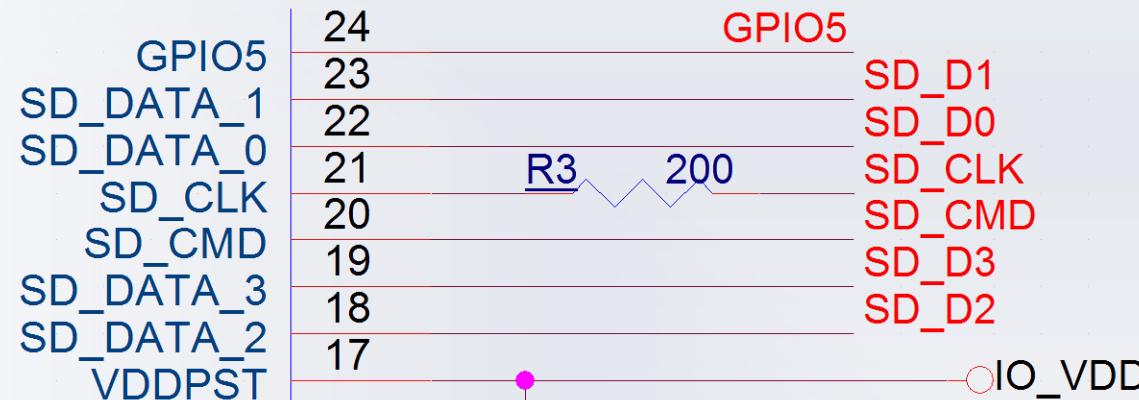
- ✓ 芯片输出阻抗为 50Ω ，无需对芯片进行匹配，但建议保留 π 型匹配网络对天线进行匹配。



Reference schematic

✓ SDIO

- ✓ SDIO 建议加上 200Ω 电阻以降低噪声，如果 ESP8266EX 距离 CPU 较远，需用较小阻值电阻。若空间允许，请在 SDIO 线上都串上匹配电阻。
SDIO 线上不需要外加上拉电阻。
- ✓ 版图布局上，应使电阻尽量靠近 ESP8266EX 芯片。



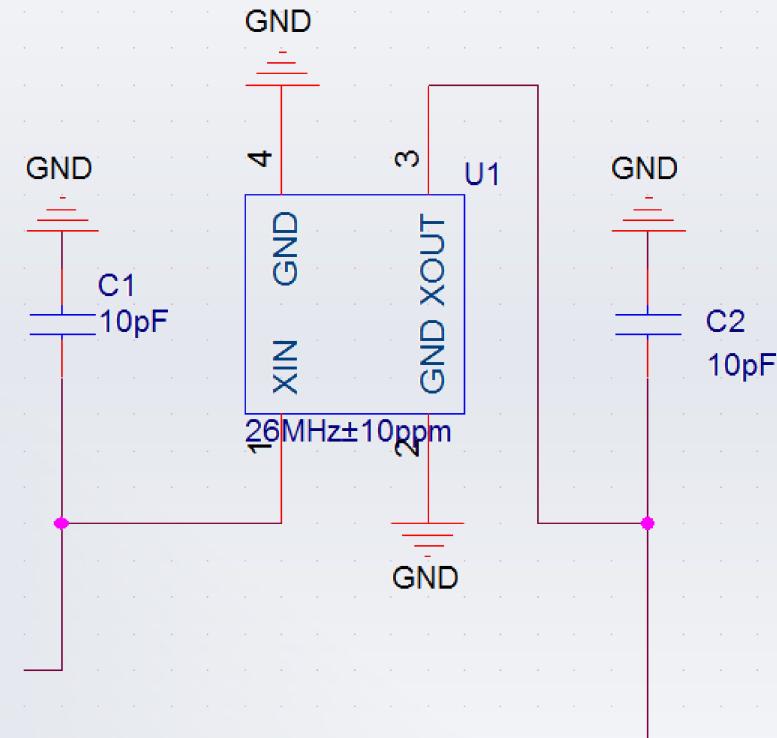
Reference schematic

✓ CRYSTAL

- ✓ 要求晶振自身的精度需在 $\pm 10\text{PPM}$ 以内。
- ✓ 晶体两边的对地调节电容 C_1 、 C_2 可不设为固定值，该值范围一般在 $8.2\text{pF} \sim 12\text{pF}$ ，具体值需要通过调节确定。

注1：晶体的精度十分重要！
晶体的频偏超出范围将直接导致 iperf 测试性能不佳，连到的 AP 变少。

注2：测试频率最好不要用探针直接测量晶体的管脚，这会引入频偏。



Reference schematic

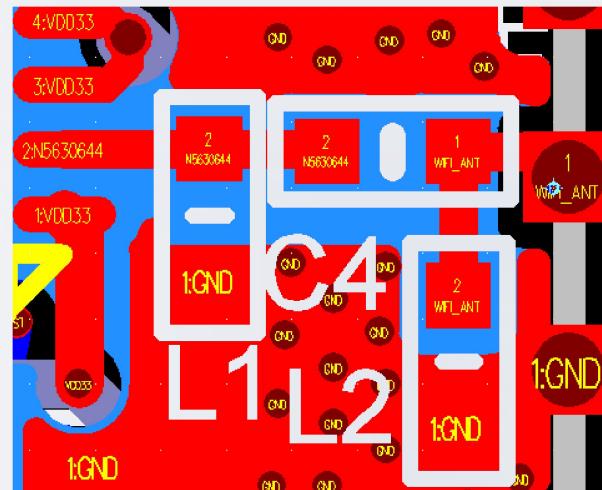
✓ GENERAL GUIDE LINES

- ✓ 建议采用四层板。
- ✓ 板子第一层走信号，第二层一定为地层。
- ✓ 电源的去耦电容 C5 须尽可能靠近芯片电源管脚放置。
- ✓ 电源走线从 VDD33 到 pin3, 4 的那段宽度至少 15mil。
- ✓ 晶振下方或附近不能有高速数据走线（SDIO），该时钟走线也需远离电源走线。同时 26MHz 时钟走线须用地良好屏蔽，晶振位置尽量靠近芯片的 XTAL pins（走线不要太长）。

Reference layout design

✓ RF

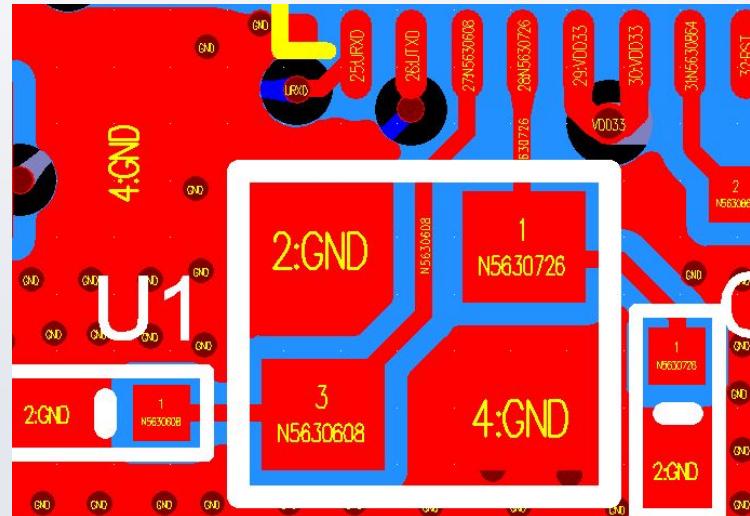
- ✓ RF 走线须控制 50Ω ，保证次表层完整地平面，周围地孔屏蔽，走线长度尽量短。
- ✓ 芯片到天线的 RF 走线不能有过孔。



Reference layout design

✓ 晶体

- ✓ 必须靠近芯片布局，保证到芯片走线尽量短。
- ✓ 必须远离其他信号走线，尤其是 SDIO 信号线。同时也许远离电源走线。周围密集地孔屏蔽隔离。



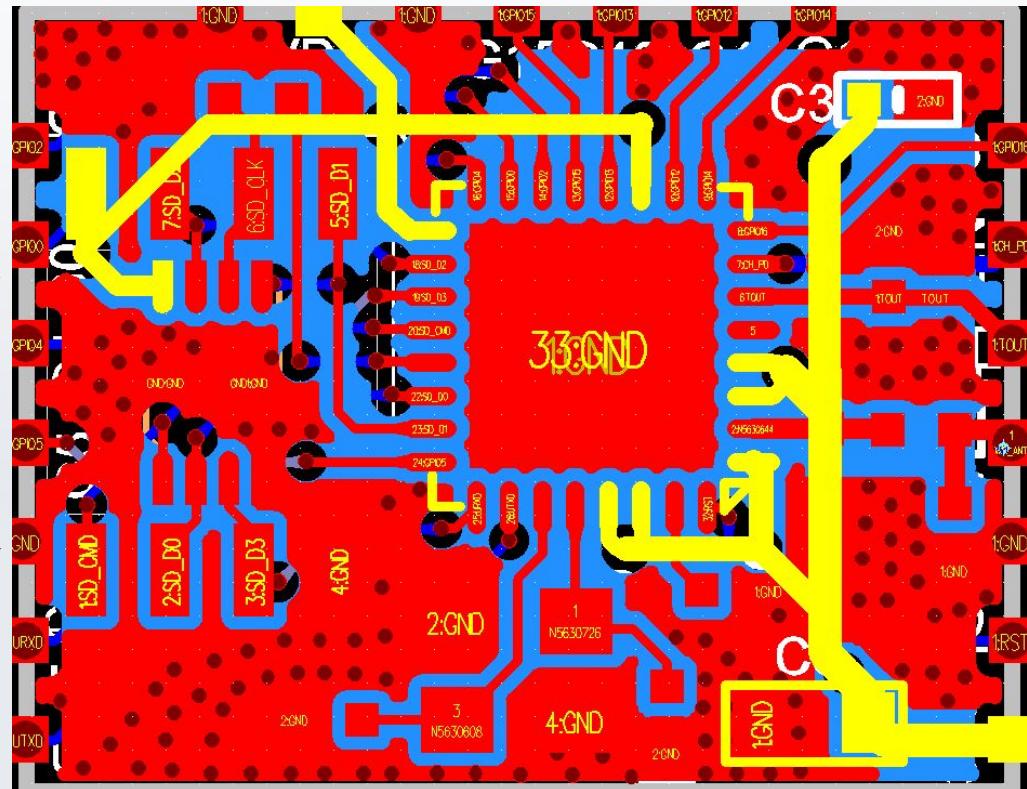
Reference layout design

- ## ✓ 电源走线

- ✓ 尽量粗，如果需要换层打孔，需在换层处就近打上过孔，滤波电容须靠近芯片管脚放置。

- ## ✓ 功放电源

✓ (pin 3, 4) 峰值电流较大，可达 300mA。请注意线本身的阻抗。

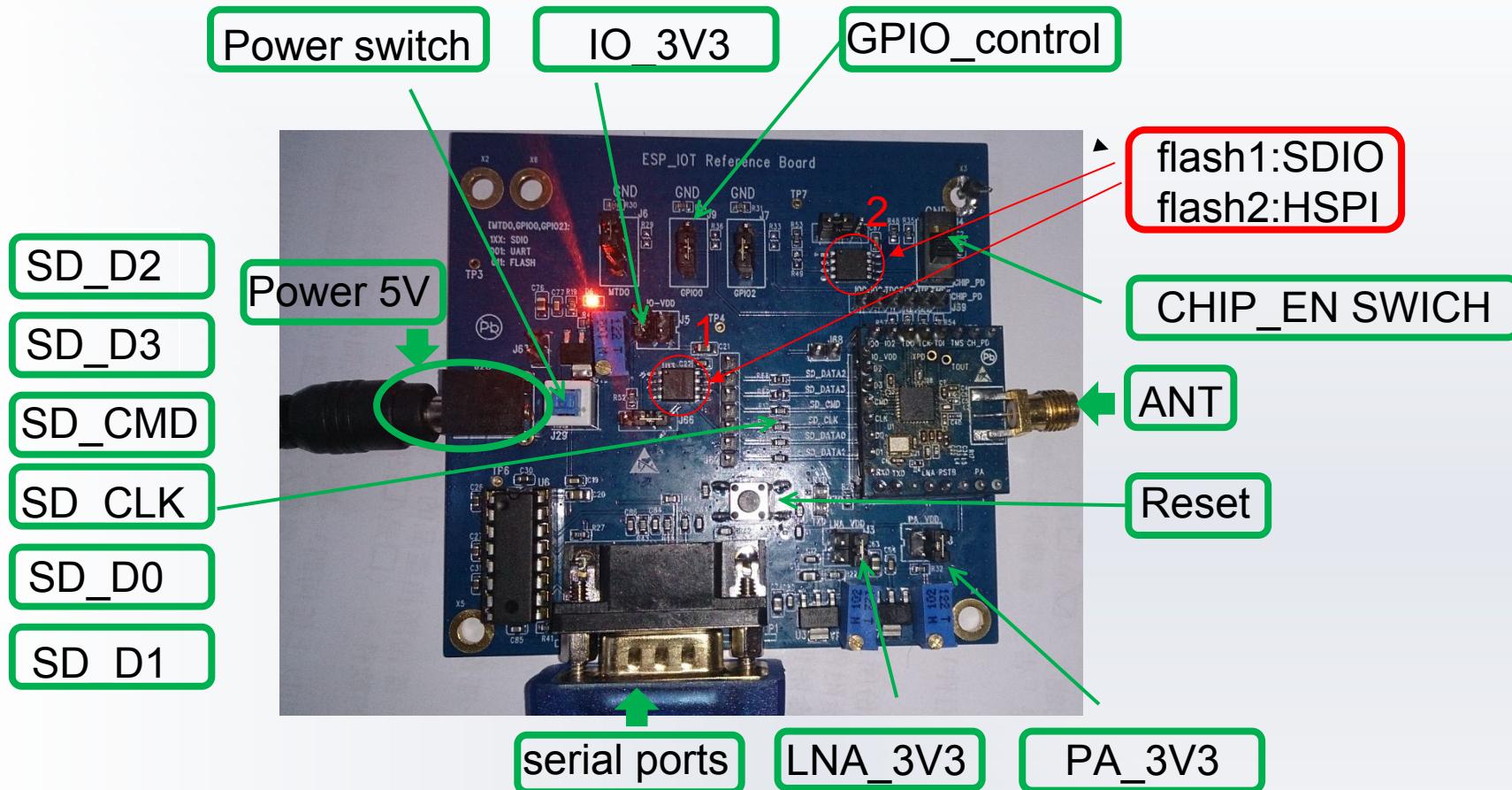


Reference layout design

✓ 其他

- ✓ PCB 元器件层的次表层必须为完整地平面，不允许将电源、信号走线直接走在芯片及外围电路次表层
- ✓ Wi-Fi 模块电路周围需要用地孔包围屏蔽，与其他电路模块隔离
- ✓ Wi-Fi 芯片或者天线要尽量远离触摸屏芯片：Wi-Fi 芯片或者天线太靠近触摸屏芯片会导致自身灵敏度受损。

Reference layout design



开发板的接口情况

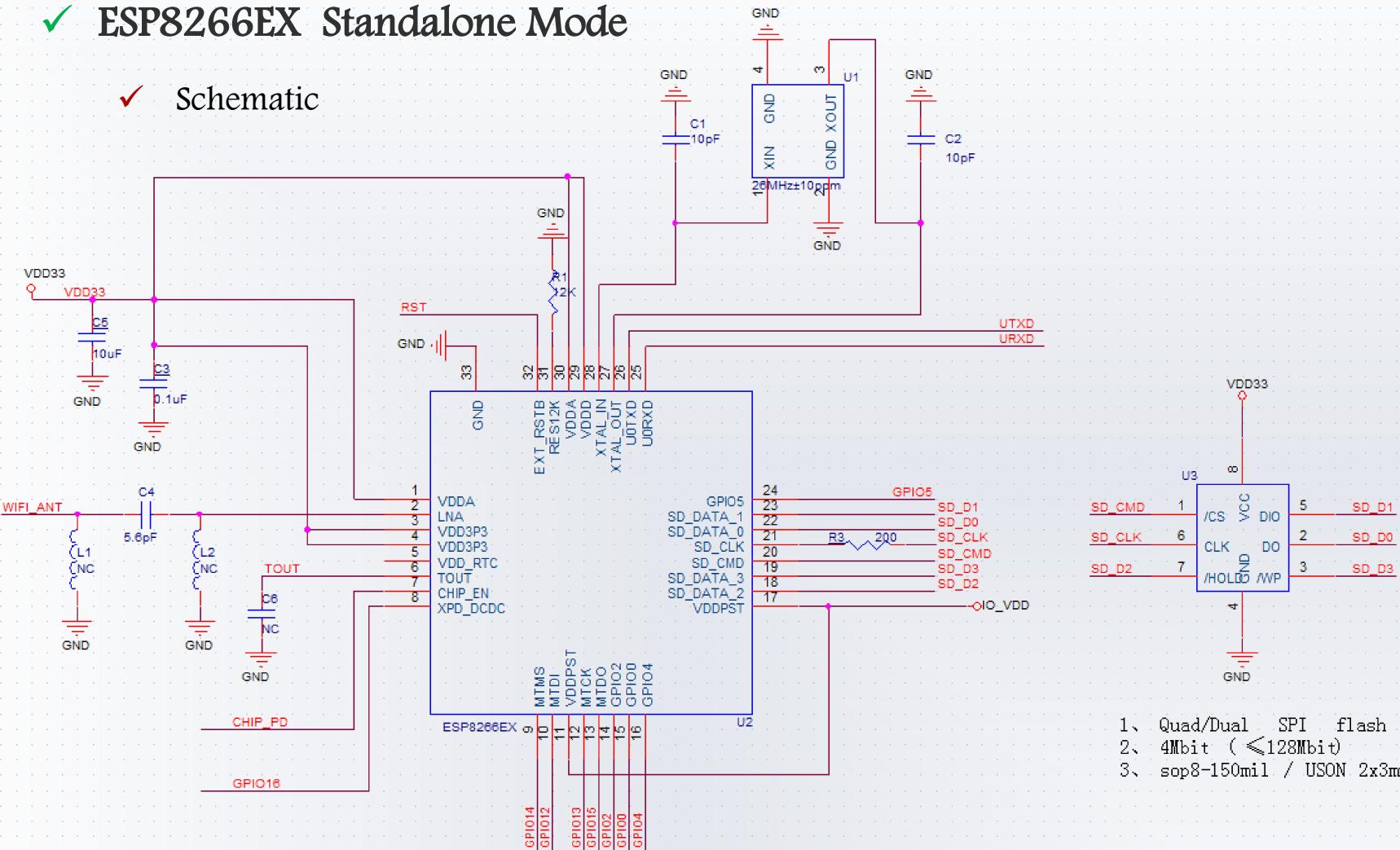
Demo board

MTDO	GPIO0	GPIO2	
1	X	X	SDIO / SPI
0	0	1	Uart Download
0	1	1	Flash Boot

GPIO_control

✓ ESP8266EX Standalone Mode

✓ Schematic



Reference schematic

✓ ESP8266EX Standalone Mode

Pin	Name	上电期间需要保持电平	第一次软件下载前	必须功能	天线控制	可做扩展的通用SPI	可做扩展GPIO/I2C
8	XPD_DCDC		输出高电平	Deep-Sleep Wakeup	Yes [0]		GPIO16 (可内部下拉)
9	MTMS		输入且有内部上拉电阻			HSPICLK	GPIO14 (可内部上拉)
10	MTDI		输入且有内部上拉电阻			HSPIQ	GPIO12 (可内部上拉)
12	MTCK		输入且有内部上拉电阻			HSPIID	GPIO13 (可内部上拉)
13	MTDO	低电平	输入且有内部上拉电阻			HSPICS	GPIO15 (可内部上拉)
14	GPIO2	高电平	输出, 有很多电平翻转	烧写Flash时 UART Tx			GPIO2 (可内部上拉)
15	GPIO0	High (Flash烧写: 低电平)	输出, 有很多电平翻转		Yes [0]	SPICS2	GPIO0 (可内部上拉)
16	GPIO4		输入且有内部上拉电阻				GPIO4 (可内部上拉)
18	SD_DATA_2		输入且高阻	SPIHD	Yes	HSPIHD	GPIO9 (可内部上拉)
19	SD_DATA_3		输入且高阻	SPIWP	Yes[0]	HSPIWP	GPIO10 (可内部上拉)
20	SD_CMD		输入且高阻	SPICS0			No
21	SD_CLK		输入且高阻	SPICLK			No
22	SD_DATA_0		输入且高阻	SPIQ			No
23	SD DATA 1		输入且高阻	SPIID	Yes		No
24	GPIO5		输入且有内部上拉电阻				GPIO5 (可内部上拉)
25	U0RXD		输入且有内部上拉电阻	烧写Flash时 UART Rx			GPIO3 (可内部上拉)
26	U0TXD	高电平	输出, 有很多电平翻转		Yes	SPICS1	GPIO1 (可内部上拉)

注1: 绿色: 安全可用 GPIO 口, 但要考虑红色标注。

灰色: SD_DATA_2 和 SD_DATA_3 仅用于2线 Serial-Flash 时。XPD_DCDC 用于支持 Deep-Sleep 功能。U0TXD 和 U0RXD 两个管脚用于烧写 Flash。

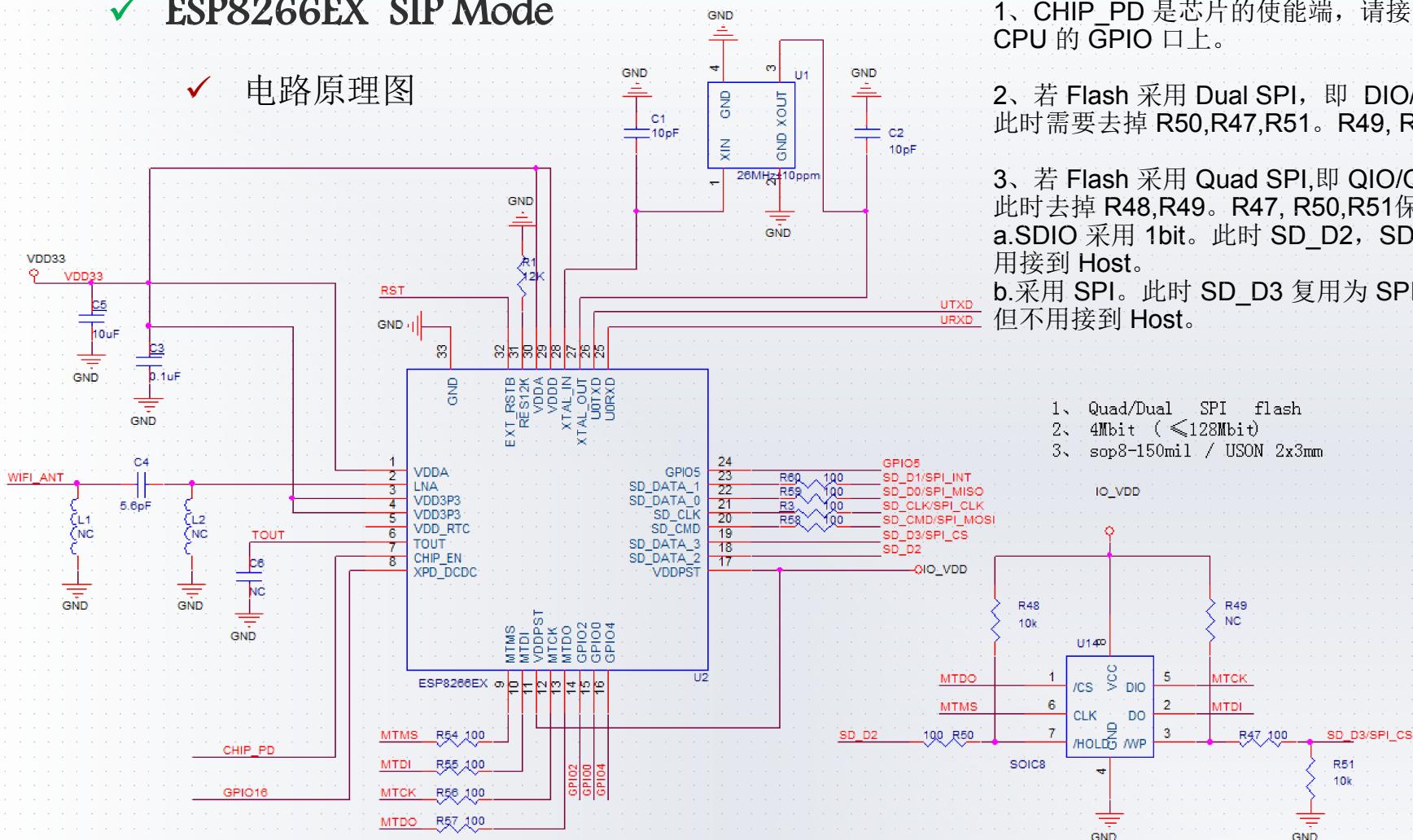
无色: 不可做 GPIO 口用。

注2: 工作模式时, GPIO0、GPIO2 和 U0TXD 在上电时必须保持高电平, 也可悬空由内部上拉电阻起作用; MTDO 在上电时必须保持低电平。UART 下载烧写 Flash 模式时, GPIO2 和 U0TXD 在上电时必须保持高电平, 也可悬空由内部上拉电阻起作用; MTDO 和 GPIO0 在上电时必须保持低电平。

注3: 第一次软件加载前: GPIO0 是输出且有翻转 (晶振相同频率的时钟信号), GPIO2 和 U0TXD 都是输出且有翻转 (低速 UART 信号), XPD_DCDC 是输出高电平, 其他绿色和灰色标注的管脚是输入状态 (其中除了 SDIO_DATA_2 和 SDIO DATA 3 以外, 管脚内部有使能上拉电阻)。第一次软件加载后: 所有绿色和灰色标注的管脚可配置为 GPIO。

✓ ESP8266EX SIP Mode

✓ 电路原理图



Reference schematic

✓ ESP8266EX SPI-Slave Mode

Pin	Name	上电期间需要保持电平	第一次软件下载前	必须功能	天线控制	可做扩展
8	XPD_DCDC		输出高电平		Yes [0]	GPIO16 (可内部下拉)
9	MTMS		输入且有内部上拉电阻	HSPICLK		GPIO14 (可内部上拉)
10	MTDI		输入且有内部上拉电阻	HSPIQ		GPIO12 (可内部上拉)
12	MTCK		输入且有内部上拉电阻	HSPID		GPIO13 (可内部上拉)
13	MTDO	高电平 (Flash烧写: 低电平)	输入且有内部上拉电阻	HSPICS		GPIO15 (可内部上拉)
14	GPIO2		输出, 有很多电平翻转	加测试点 烧写 Flash 时: UART Tx		GPIO2 (可内部上拉)
15	GPIO0	(Flash烧写: 低电平)	输出, 有很多电平翻转		Yes [0]	GPIO0 (可内部上拉)
16	GPIO4		输入且有内部上拉电阻			GPIO4(可内部上拉)
18	SD_DATA_2		输入且高阻	HSPIHD	Yes	GPIO9 (可内部上拉)
19	SD_DATA_3		输入且高阻	SPI_SLAVE_CS (或下拉) HSPIWP	Yes [0]	GPIO10 (可内部上拉)
20	SD_CMD		输入且高阻	SPI_SLAVE_MOSI		No
21	SD_CLK		输入且高阻	SPI_SLAVE_CLK		No
22	SD_DATA_0		输入且高阻	SPI_SLAVE_MISO		No
23	SD_DATA_1		输入且有内部上拉电阻		Yes	No
24	GPIO5		输入且有内部上拉电阻			GPIO5(可内部上拉)
25	U0RXD	高电平	输出, 有很多电平翻转	烧写 Flash 时: UART Rx	Yes	GPIO3 (可内部上拉)
26	U0TXD	高电平	输出, 有很多电平翻转		Yes	GPIO1 (可内部上拉)

注1: 绿色: 安全可用 GPIO 口, 但要考虑红色标注。

灰色: SD_DATA_2 和 SD_DATA_3 仅用于2 线 Serial-Flash 时。SD_DATA_3 在整个 Firmware 软件下载期间, 需保持低电平。
无色: 不可做GPIO 口用。

注2: 工作模式时, MTDO 和 U0TXD 在上电时必须保持高电平, 也可悬空由内部上拉电阻起作用。Flash 烧写可以用 SPI-Slave 接口, 从主机下载, 这样和正常模式相同。Flash 烧写可以用“UART 下载烧写Flash 模式”: U0TXD 和 U0RXD 在上电时必须保持高电平, 也可悬空由内部上拉电阻起作用; MTDO 和 GPIO0 在上电时必须保持低电平。

注3: 第一次软件加载前: GPIO0 是输出且有翻转(晶振相同频率的时钟信号), GPIO2 和 U0TXD 都是输出且有翻转(低速 UART 信号), XPD_DCDC 是输出高电平, 其他绿色和灰色标注的管脚是输入状态(其中除了 SDIO_DATA_1、SDIO_DATA_2 和 SDIO_DATA_3 以外, 管脚内部有使能上拉电阻)。第一次软件加载后: 所有绿色和灰色标注的管脚可配置为 GPIO。

Thanks!