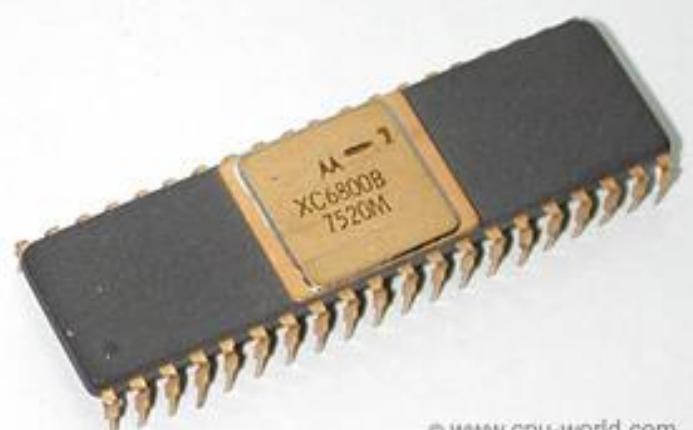


Unidade Central de Processamento



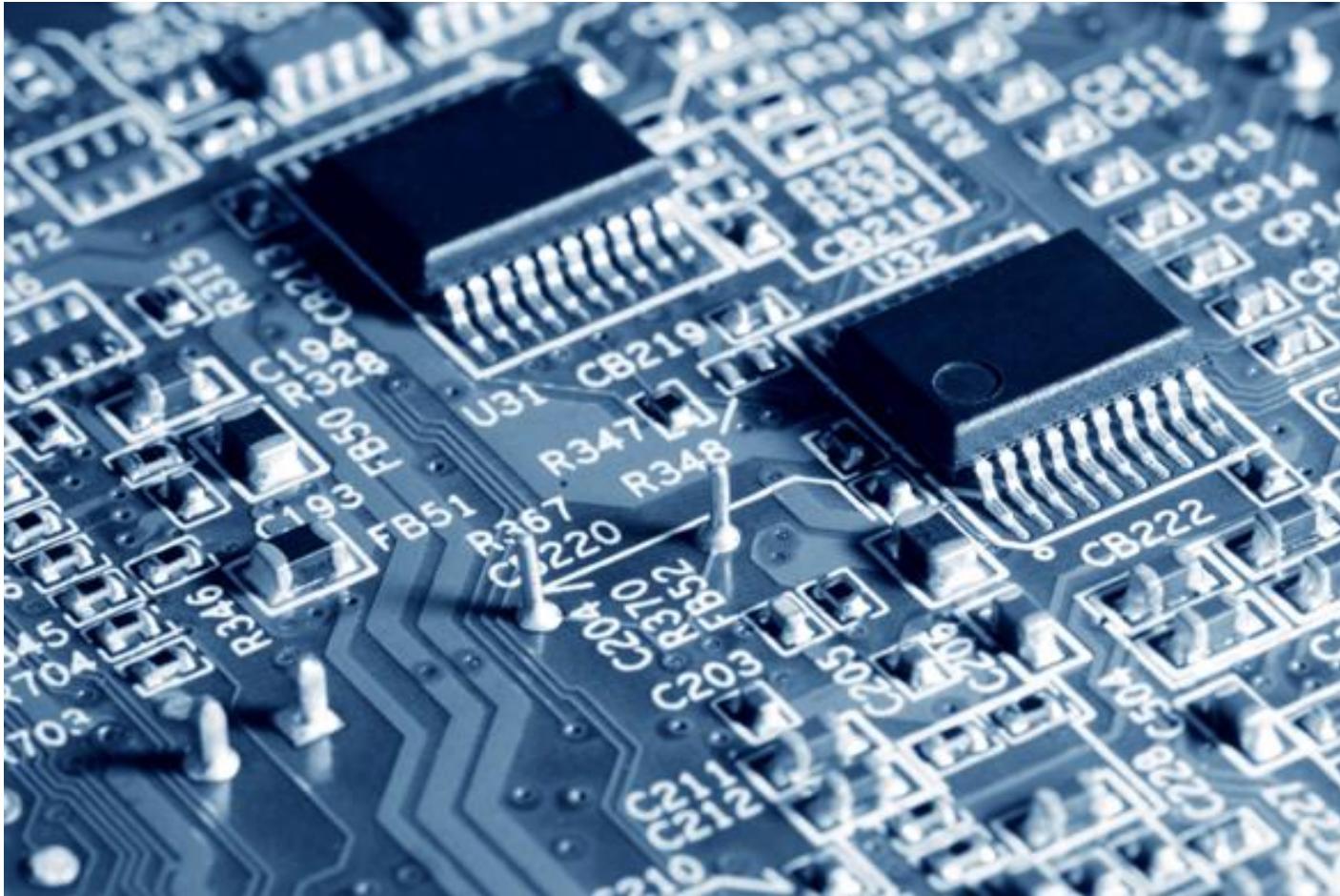
CPU

- Circuito integrado que contém milhões de componentes electrónicos elementares, organizados de modo a poderem executar instruções.
- Realiza as funções de processamento e cálculo, constituindo a peça mais importante de um computador.



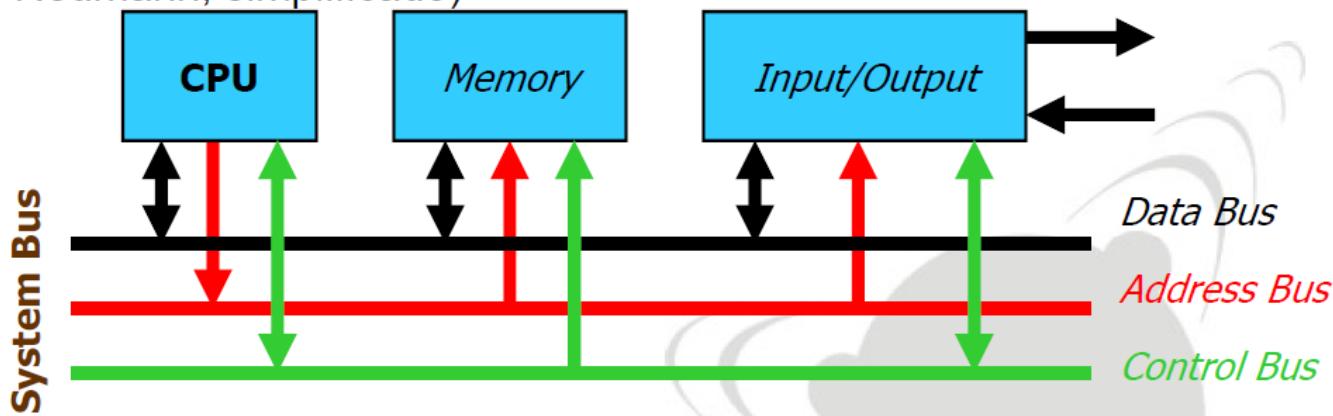
© www.cpu-world.com

Motherboard



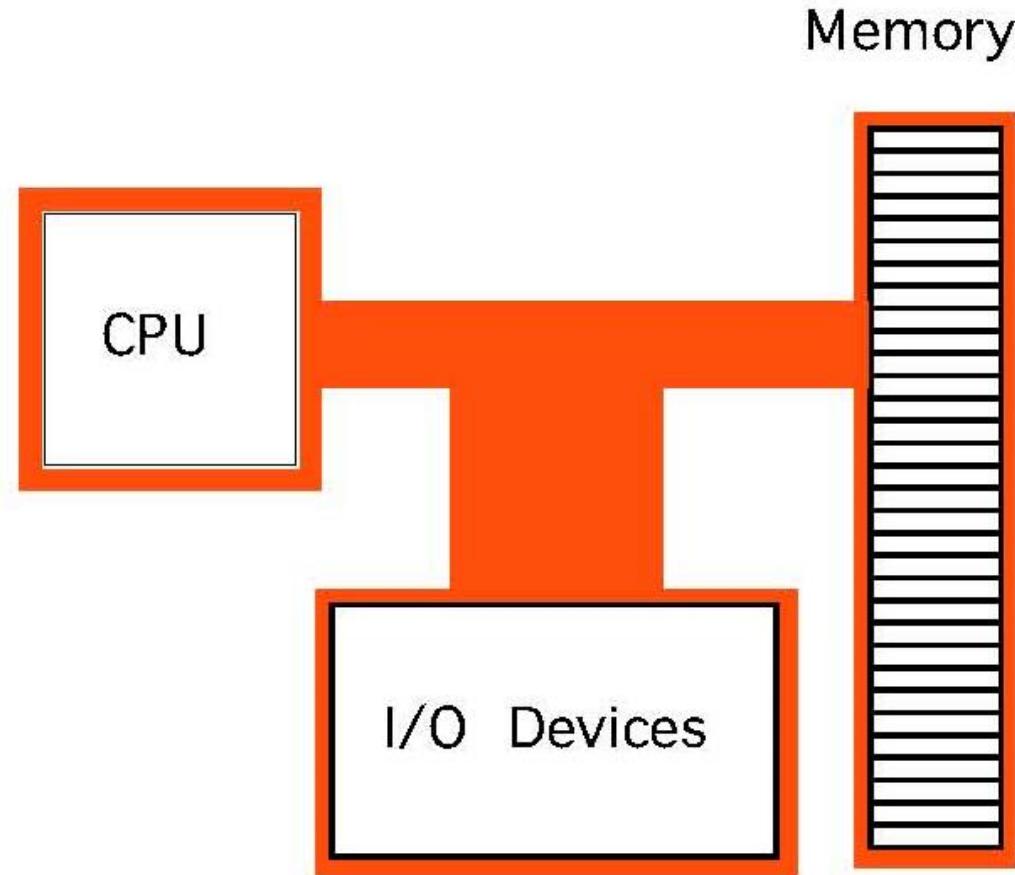
Modelo de Von Neumann

- Arquitectura básica de um sistema computacional (modelo de von Neumann, simplificado)



- **Data Bus**: barramento de transferência de informação (CPU«memória, CPU«Input/Output)
- **Address Bus**: identifica a origem/destino da informação
- **Control Bus**: sinais de protocolo que especificam o modo como a transferência de informação deve ser feita

Modelo de Von Newmann



Modelo de Von Newmann

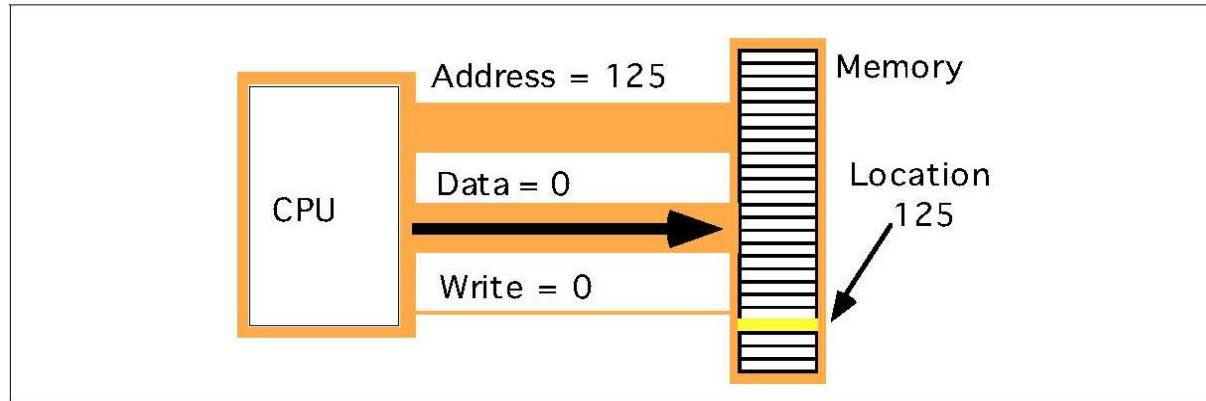


Figure 3.2 Memory Write Operation

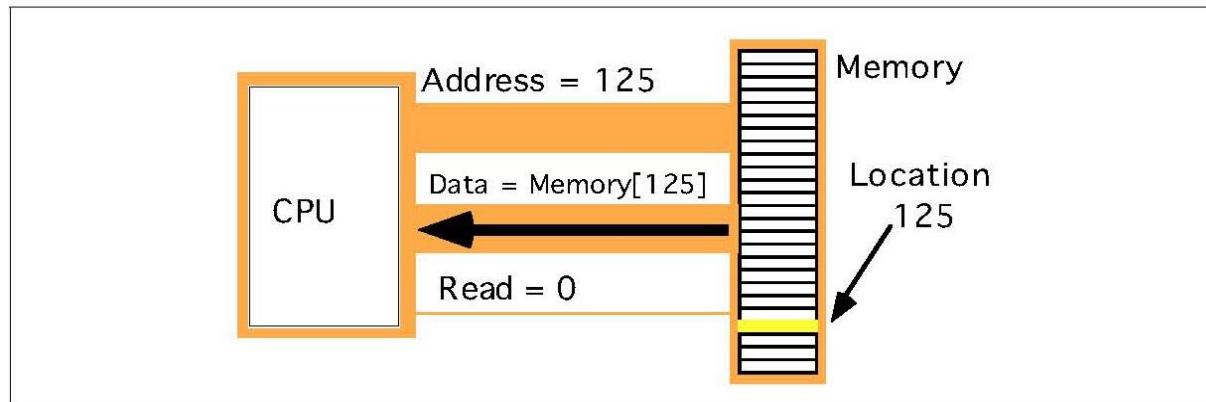
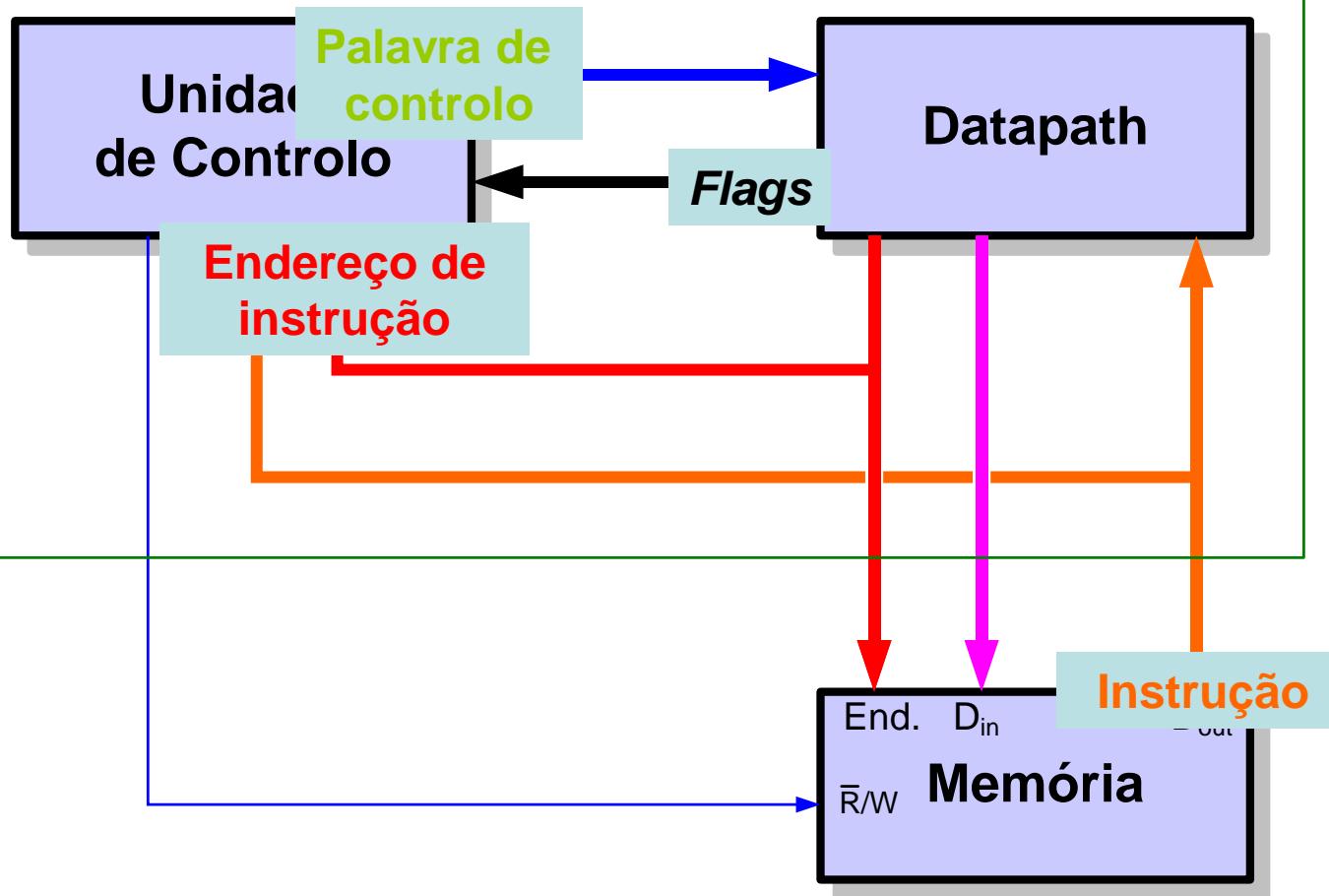


Figure 3.3 Memory Read Operation

Micro-processador



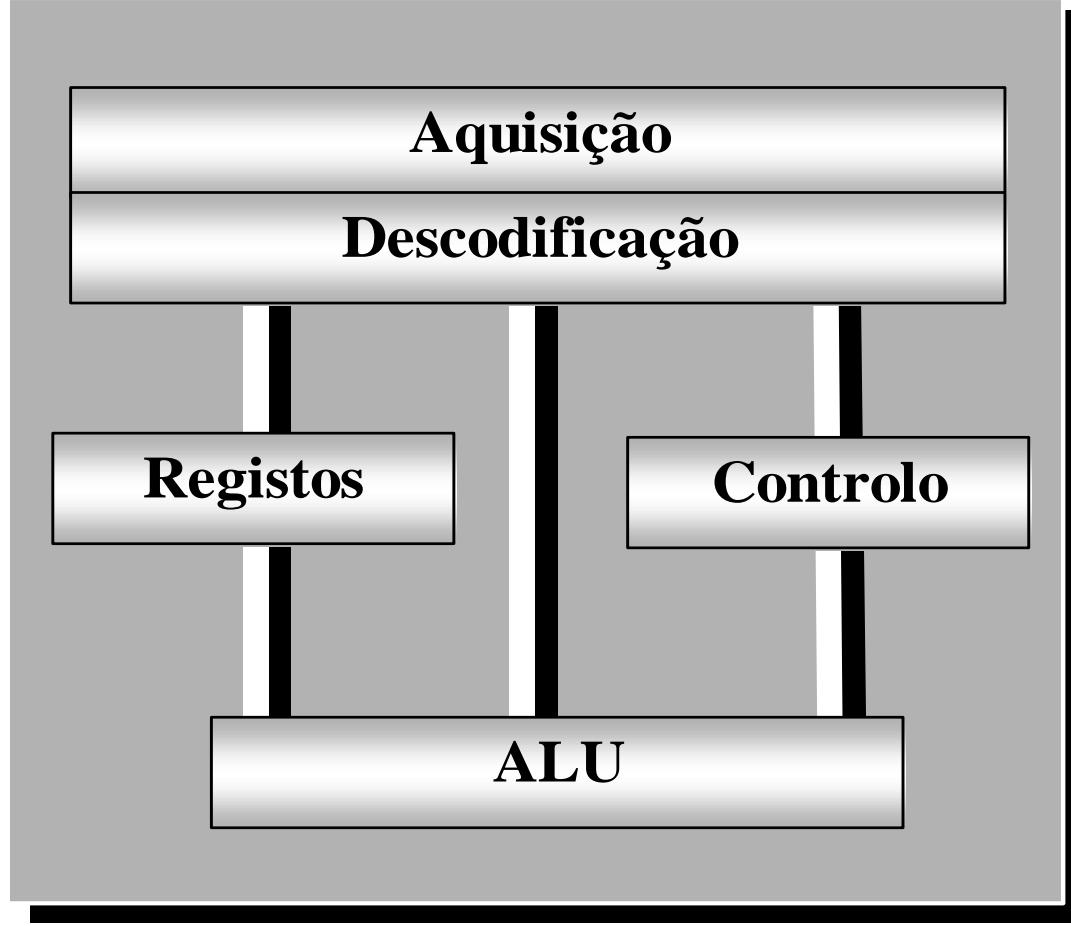
CPU

- Função:
 - Executar programas armazenados na memória principal, acedendo às suas instruções, examinando-as e executando-as.
 - Os circuitos do microprocessador têm de passar, frequentemente, por várias etapas para executar uma instrução.
 - A instrução informa o microprocessador para executar um grupo de etapas que compõem uma operação. O conjunto completo desses grupos que compõem cada instrução é o microcódigo.

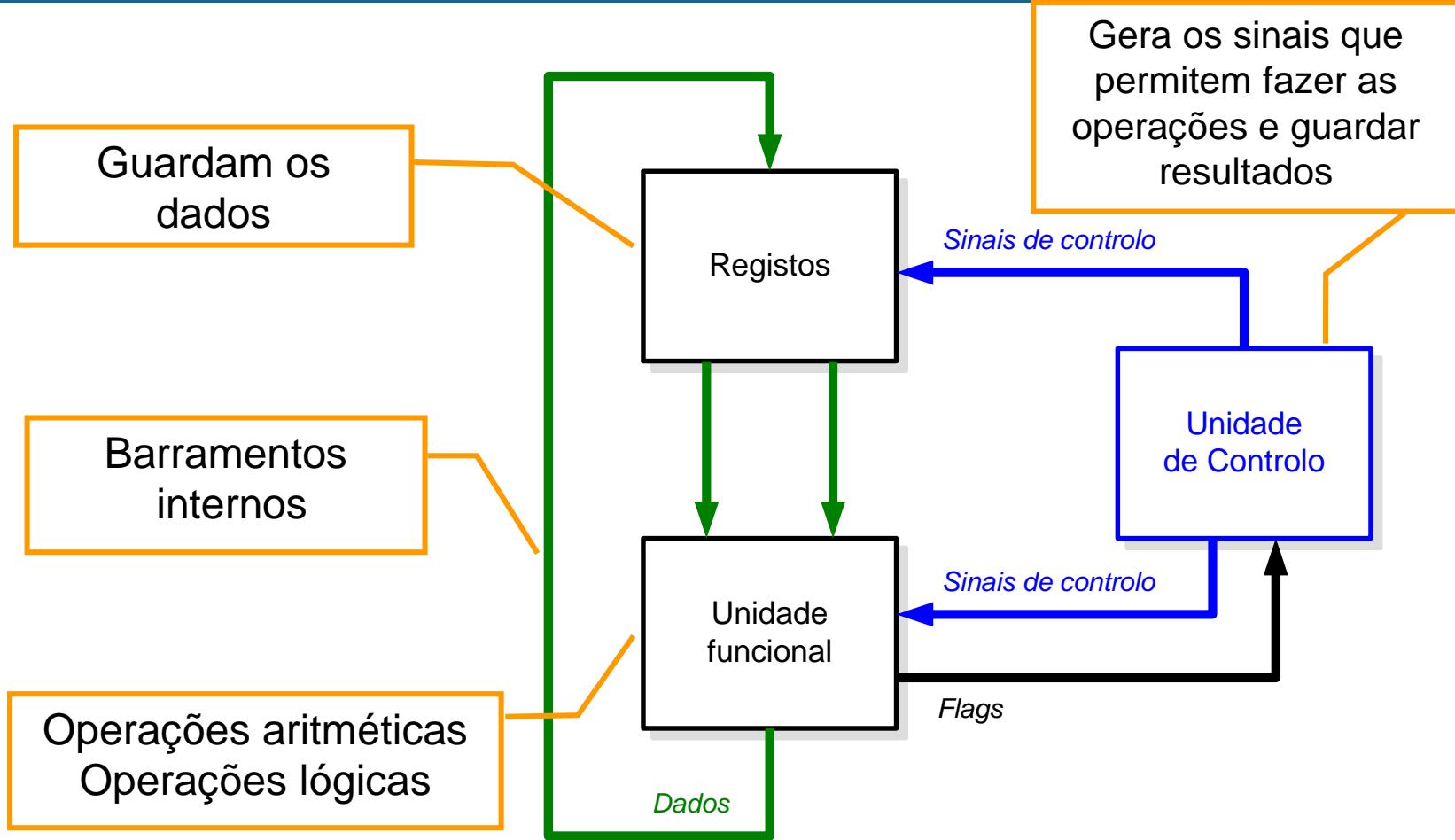
CPU

- Composta por várias partes distintas:
 - Secção de aquisição e descodificação de instruções
 - Onde são recebidas as instruções provindas de memórias para, em seguida, serem descodificadas de modo a que a CPU possa determinar quais as operações a realizar.
 - Secção de execução
 - Onde são processadas as instruções e dados recebidos. É constituída por:
 - Unidade de controlo
 - Unidade Aritmética e Lógica (ALU)
 - Registros

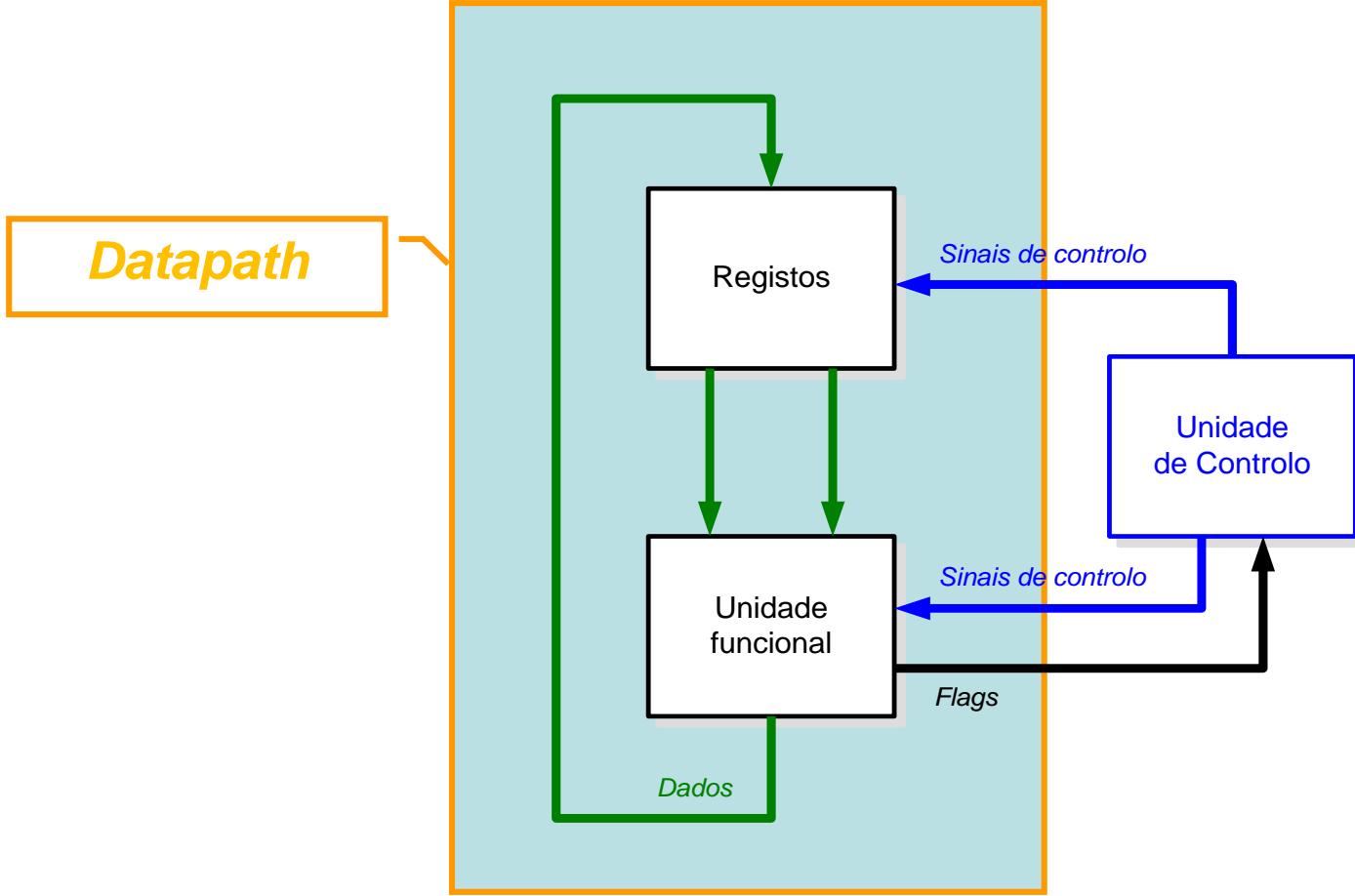
CPU



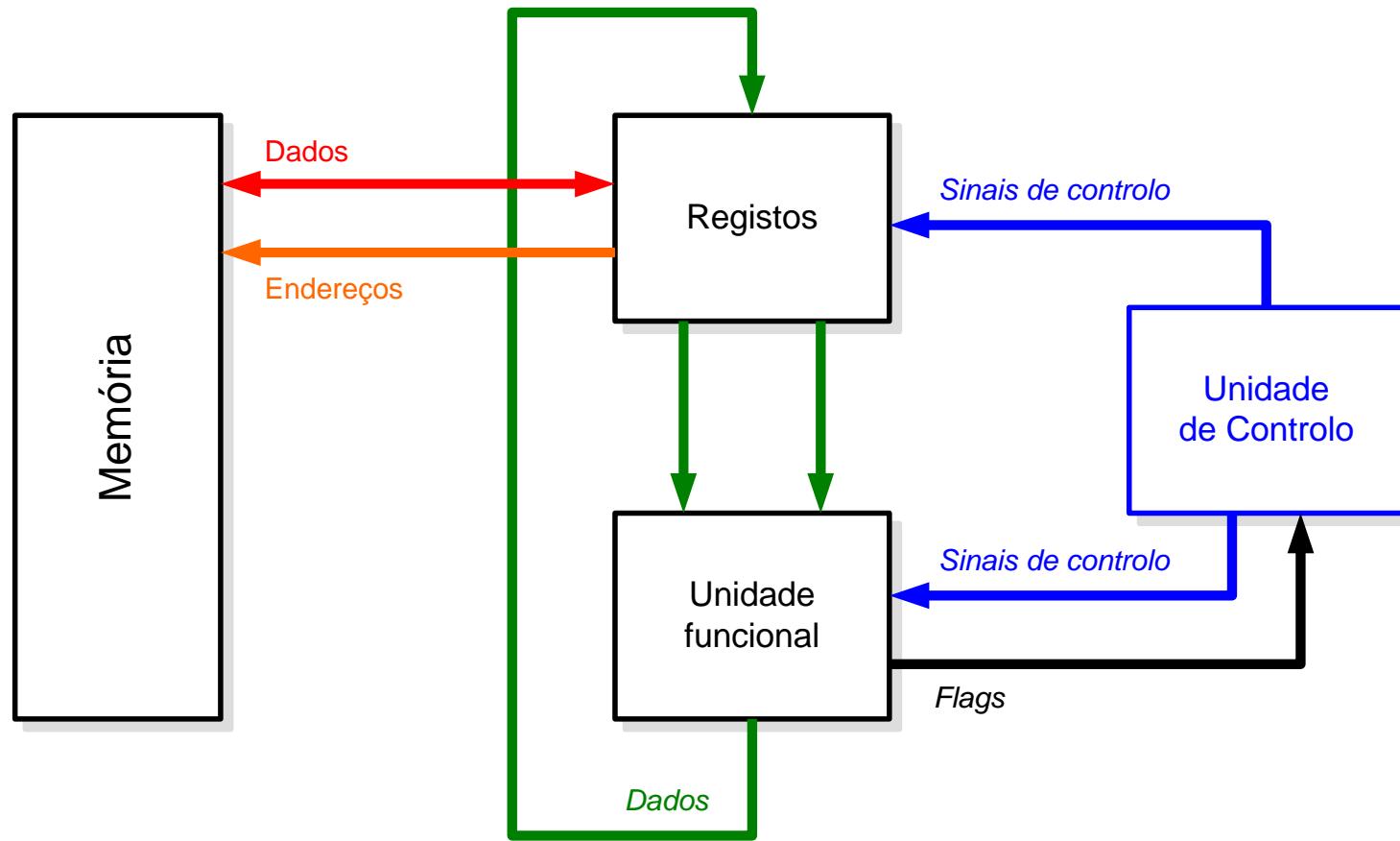
Estrutura básica de um CPU



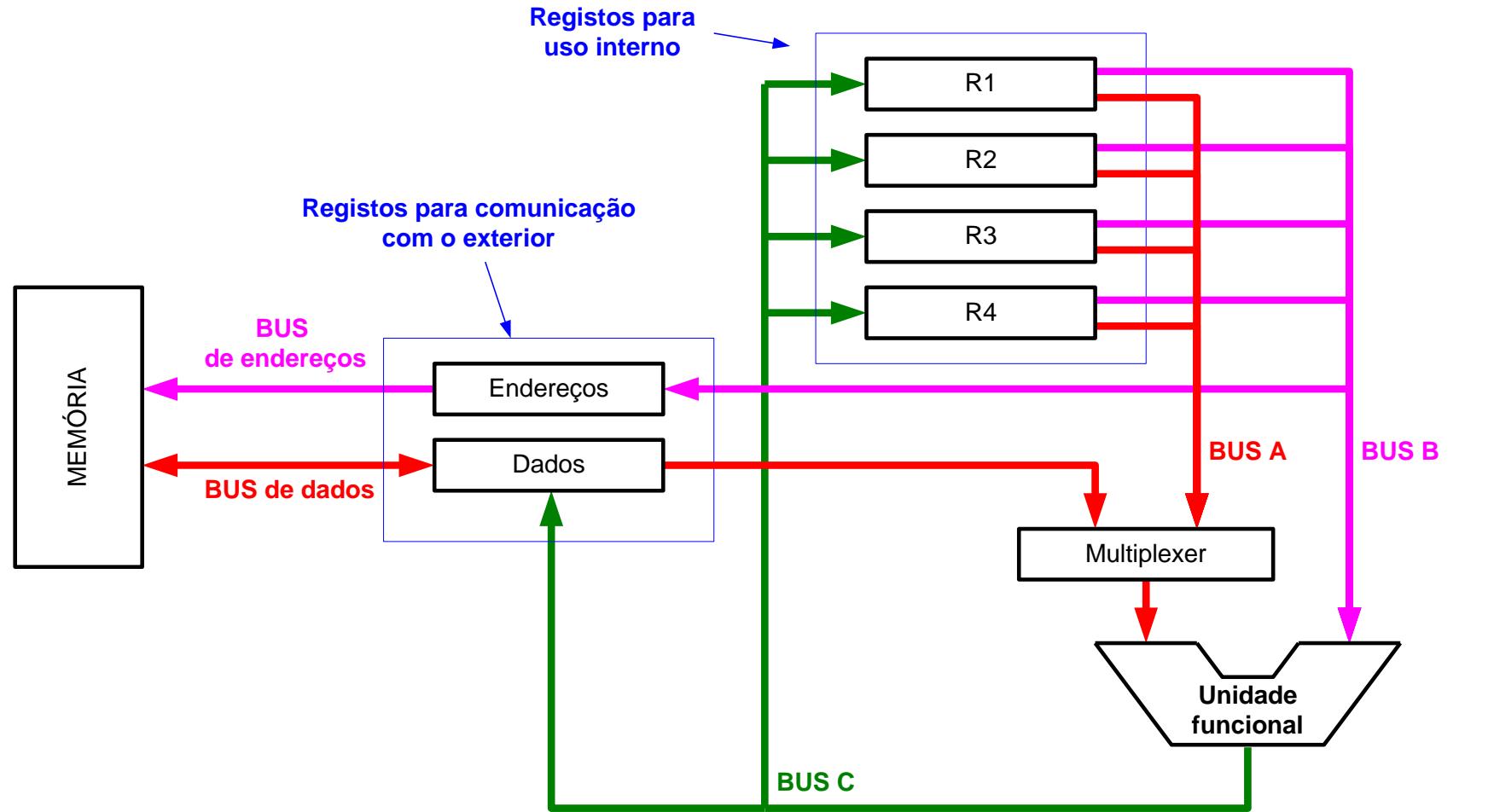
Datapath



Estrutura básica de um CPU



Estrutura básica de um CPU - Detalhe



CPU

- Unidade de controlo
 - Controla ou determina as operações a efectuar em cada instante, enviando sinais apropriados aos outros componentes.
 - Desempenha as seguintes funções:
 - Extrai da memória, uma a uma as sucessivas instruções do programa, à custa de:
 - *Instruction Pointer* - envia para memória o endereço de cada uma das sucessivas instruções.
 - *Instruction Register* - recebe cada uma dessas instruções, retendo-a o tempo necessário para que possa ser analisada.
 - Analisa essas instruções.
 - Gera sinais de comando que são enviados aos diversos componentes e permitem executar cada instrução analisada.

CPU

- Unidade Aritmética e Lógica (ALU)
 - Responsável pela execução de operações aritméticas e lógicas.
- Registros
 - Usados para armazenar resultados temporários (com que a ALU vai efectuar as operações que lhe são indicadas) e certas informações de controlo (*Instruction Pointer*, *Stack Pointer*, ...).

CPU

- **Passos para a CPU executar cada instrução:**
 - Acede à próxima instrução existente em memória e coloca-a no registo de instrução.
 - Actualiza o contador de programa (*Instruction Pointer*) para que ele aponte para a instrução seguinte.
 - Determina o tipo da instrução.
 - Se a instrução utiliza dados de memória, determina onde eles estão.
 - Acede aos dados, se os houver, colocando-os em registos internos da CPU.
 - Executa a instrução.
 - Armazena os resultados nos locais apropriados.

CPU

- A velocidade da CPU depende da frequência dos pulsos eléctricos (relógio do sistema).
- O relógio do sistema gera um impulso eléctrico em intervalos regulares.
- Devido às elevadas frequências utilizadas actualmente o número de impulsos gerado pelo relógio é normalmente medido em GHz.
- A cada impulso de relógio, a CPU pode desencadear um novo ciclo de aquisição e execução de instruções.
- O desempenho da CPU é medido em MIPS (Milhões de Instruções Por Segundo).

CPU - Processadores Intel

Atuais [Celeron](#) • [Atom](#) • [Pentium Dual-Core](#) •
[Core \(2](#) • [i3](#) • [i5](#) • [i7](#)) • [Xeon](#) • [Itanium 2](#)

Descontinuados

pre-x86 [4004](#) • [4040](#) • [8008](#) • [8080](#) • [8085](#)

x86-16 (16 bit) [8086](#) • [8088](#) • [80186](#) • [80188](#) • [80286](#)

x86-32/[IA-32](#) (32 bit) [80386](#) • [80486](#) • [Pentium](#) • [Pentium Pro](#) • [Pentium II](#) •
[Pentium III](#) • [Pentium 4](#) • [Pentium M](#) • [Core](#) •
[Celeron M](#) • [Celeron D](#) • [A100](#)

[x86-64](#)/[EM64T](#) (64 bit) [Pentium 4](#) (alguns modelos) • [Pentium D](#) •
[Pentium Extreme Edition](#) • [Celeron D](#)

Outros (não-x86) [iAPX 432](#) • Itanium – RISC: [i860](#) • [i960](#) •
[StrongARM](#) • [XScale](#)

<http://www.cpu-world.com/>

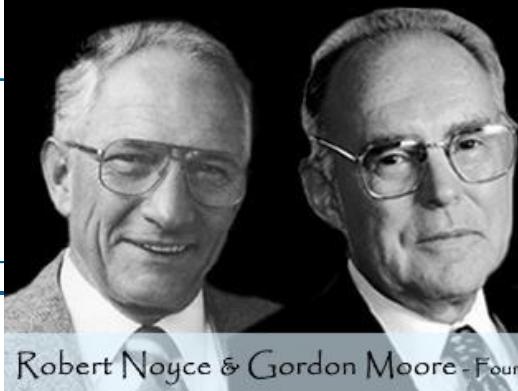
Evolução Cronológica

Geração	Data	CPU - Principais gamas	Espaço de Endereçamento	Aspectos inovadores
1	1978	Intel 8086, Intel 8088 Intel 80186, Intel 80188, NEC V20/V30	16-bit / 20-bit (<i>segmented</i>)	first x86 microprocessors hardware for fast address calculations, fast mul/div etc
2	1982	Intel 80286	16-bit (30-bit <i>virtual</i>) / 24-bit (<i>segmented</i>)	MMU, for protected mode and a larger address space
3 (IA-32)	1985	Intel386, AMD Am386		32-bit instruction set, MMU with paging
4	1989	Intel486, AMD Am486	32-bit (48-bit <i>virtual</i>) / 32-bit	risc-like pipelining, integrated FPU, on-chip cache
5	1993	Pentium, Pentium MMX		superscalar, 64-bit databus, faster FPU, MMX
5/6	1996	Cyrix 6x86, Cyrix MII		register renaming, speculative execution

Evolução Cronológica

Geração	Data	CPU - principais gamas	Espaço de Endereçamento	Aspectos inovadores
6	1995	Pentium Pro, AMD K5, Nx586 (1994)	<i>as above / 36-bit physical (PAE)</i>	μ -op translation, PAE (Pentium Pro), integrated L2 cache (Pentium Pro)
	1997	AMD K6/-2/3, Pentium II/III		L3-cache support, 3DNow, SSE
7	1999	Athlon, Athlon XP	<i>as above / 36-bit physical (PAE)</i>	superscalar FPU, wide design (<i>up to three x86 instr./clock</i>)
	2000	Pentium 4		deeply pipelined, high frequency, SSE2, hyper-threading
6-M/7-M		Pentium M, Intel Core	<i>64-bit / 40-bit physical in first AMD implementation.</i>	optimized for low power
	2003	Athlon 64, Opteron		x86-64 instruction set, on-die memory controller, hypertransport
8 (x86-64)	2004	Pentium 4 Prescott	<i>64-bit / 40-bit physical in first AMD implementation.</i>	very deeply pipelined, very high frequency, SSE3
9	2006	Intel Core 2	<i>as above / 48-bit physical for AMD Phenom</i>	low power, multi-core, lower clock frequency, SSE4 (Penryn)
10	2007	AMD Phenom		monolithic quad-core, 128 bit FPUs, SSE4a, HyperTransport 3 or QuickPath, modular design
?	2008	Intel Atom, Intel Core i7		In-order but highly pipelined, very-low-power, native memory controller, on-die L3 cache

Intel



Robert Noyce & Gordon Moore

*"From the beginning at Intel,
we planned on being big."*

- Read their story -

Robert Noyce & Gordon Moore - Founders of Intel

Gordon E. Moore e Robert N. Noyce, são os fundadores da Intel. Gordon é o criador da lei de Moore, que diz que a cada 18 meses a capacidade de processamento dos computadores duplica.

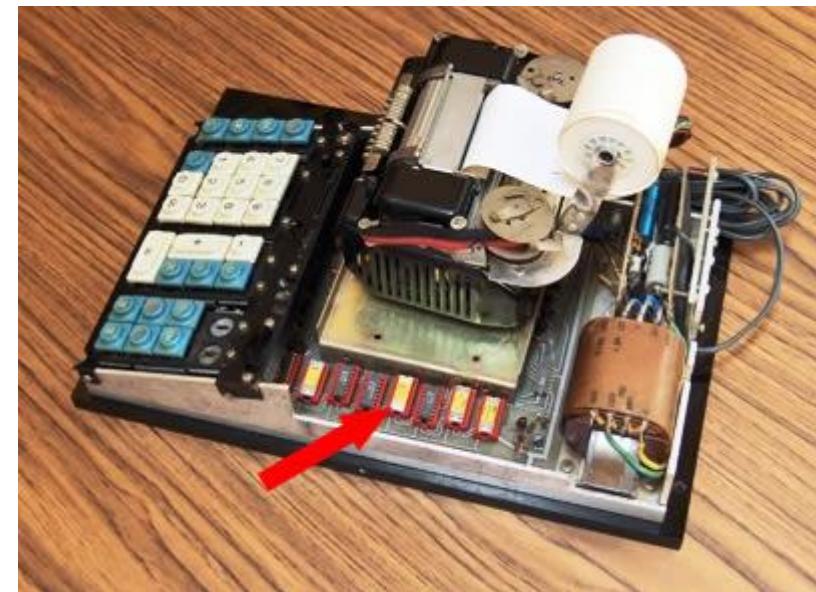
A empresa começou por chamar-se ‘Moore Noyce Electronics’. Mas o nome soava ‘more noise’ (muito ruído), coincidência infeliz para uma empresa do ramo da electrónica, onde ruído é sinónimo de defeito. Ainda adoptaram nome ‘MN Electronics’ por quase um ano e depois decidiram mudar para Integrated Electronics, ou simplesmente Intel.

Em 1969 a NCM Co (Nippon Calculating Machine Corporation) encomendou à Intel o desenvolvimento dos circuitos integrados para equipar sua calculadora electrónica “Busicom”.

A Busicom da NCM Co

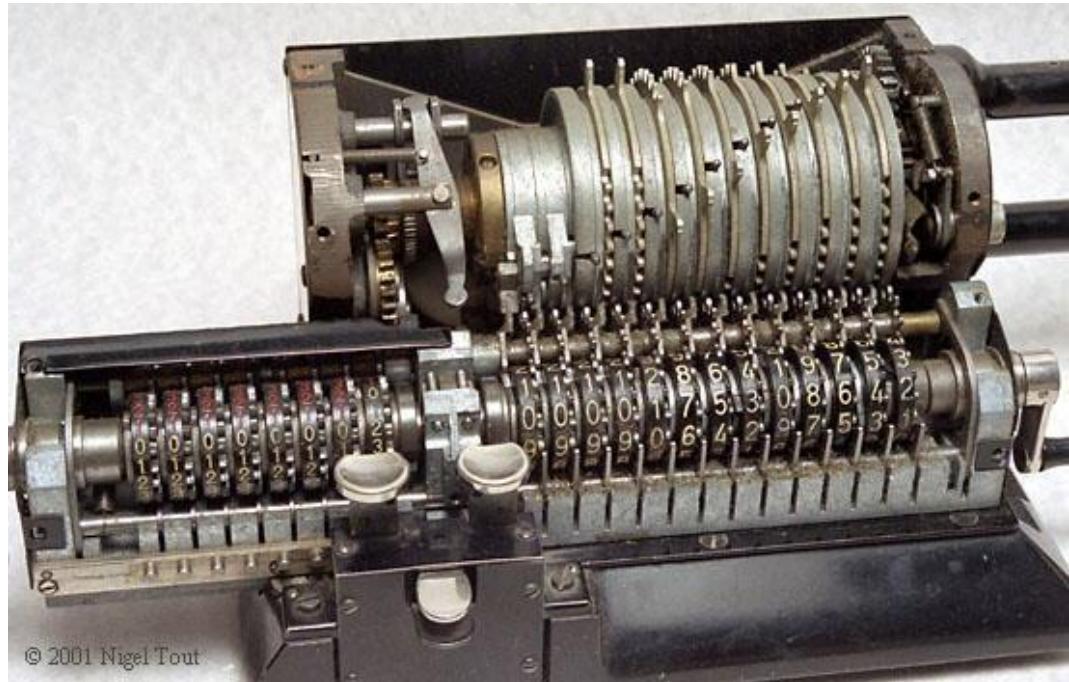
A Busicom (Nippon Calculating Machine Corporation)
Utilizava 4 CI:

- “4001” - memória ROM
- “4002” . memória primária RAM
- “4003” - controlador de I/O (teclado e impressora)
- “4004”, processador.



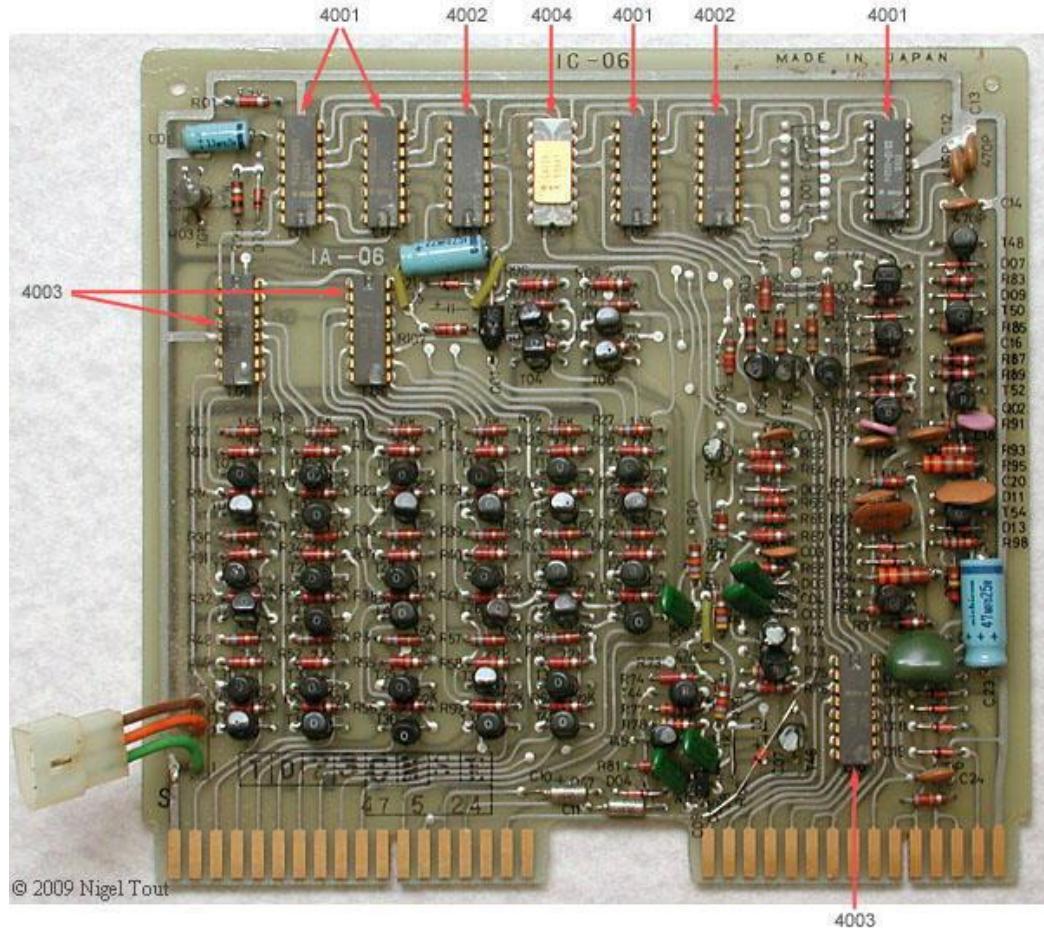
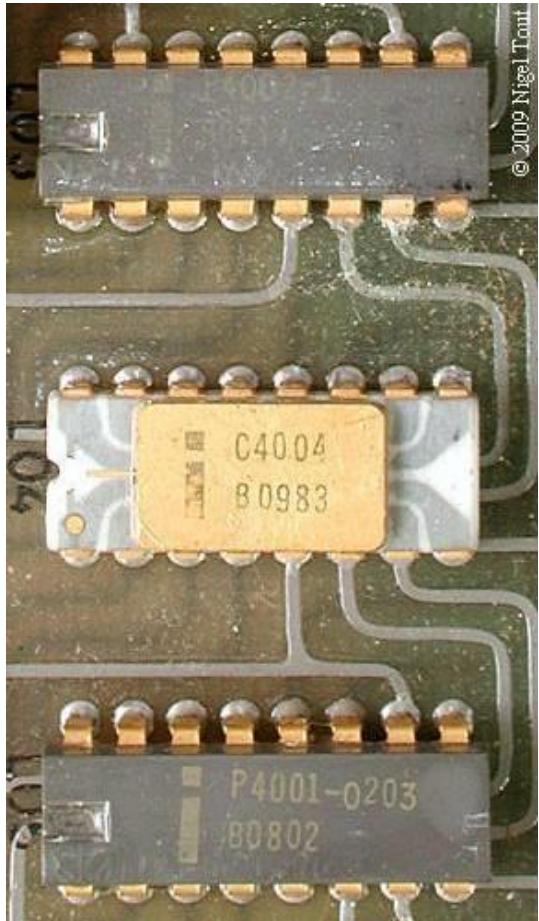
A Busicom da NCM Co

A Busicom deve ser vista como evolução tecnológica das calculadoras mecânicas e electromecânicas.



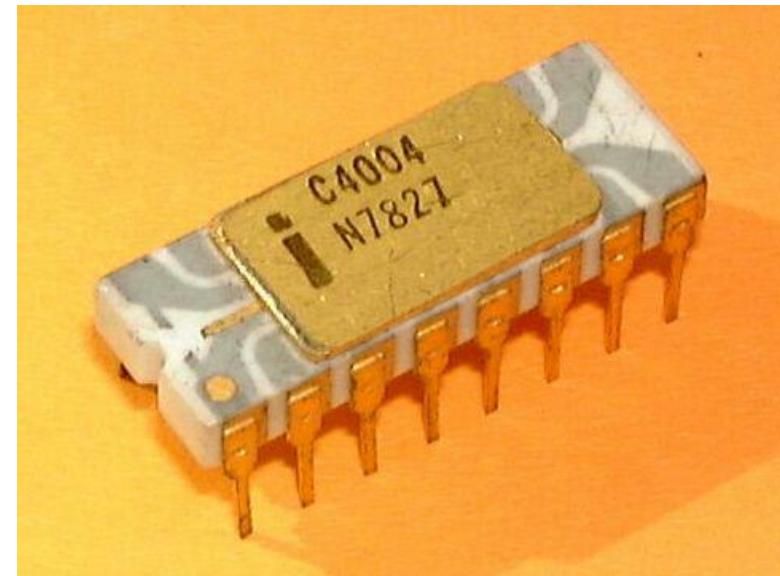
© 2001 Nigel Tout

A Busicom da NCM Co



4004

- O primeiro verdadeiro microprocessador.
- Fabricado pela Intel Corporation em 1971.
- Registros de 4 bits.
- Bus de dados de 4 bits.
- Bus de endereços de 12 bits
- Velocidades máximas de 108 KHz.
- 0.06 MIPS.
- Possuía cerca de 2300 transístores.
- DIP de 16 pinos.



8008

- Lançado pela Intel Corporation em 1972.
- Registros de 8 bits.
- Bus de dados de 8 bits.
- Bus de endereços de 14 bits (16 KB de memória)
- Velocidades máximas de 200 KHz.
- 0.06 MIPS.
- Possuía cerca de 3500 transístores.
- DIP 18 pinos.



8080

- Colocado no mercado pela Intel em 1974.
- Bus de dados e registo de 8 bits.
- Bus de endereços de 16 bits (64 KB de memória)
- Velocidades máximas de 2 MHz.
- 0.64 MIPS.
- Possuía cerca de 4500 transístores.
- Continha vários aperfeiçoamentos em termos de capacidade de processamento e de conjunto de comandos aproveitando o que já existia no 8008, garantindo uma compatibilidade descendente.
- CDIP de 40 pinos.



8086

- Colocado no mercado pela Intel em 1978.
- Registos de 16 bits.
- Desempenho 10 vezes melhor que o do 8080.
- Bus de dados de 16 bits.
- Bus de endereços de 20 bits (1 MB de memória).
- Velocidades de funcionamento de 5 MHz (0.33 MIPS), 8 MHz (0.66 MIPS) e 10 MHz (0.75 MIPS).
- Possuía cerca de 29000 transístores.
- CDIP de 40 pinos.



8086

- A memória do 8086 foi concebida como um superconjunto da memória do 8080.
 - Em vez de ser formada por uma área grande e única de 1 MegaByte, estava dividida em segmentos contendo 64KB cada.
 - Na prática, a memória do 8086 era um grupo de memórias interligadas do 8080. O 8086 tratava cada segmento isoladamente e não permitia que uma mesma estrutura de dados ultrapassasse a barreira entre os segmentos - excepto em situações especiais.

8086

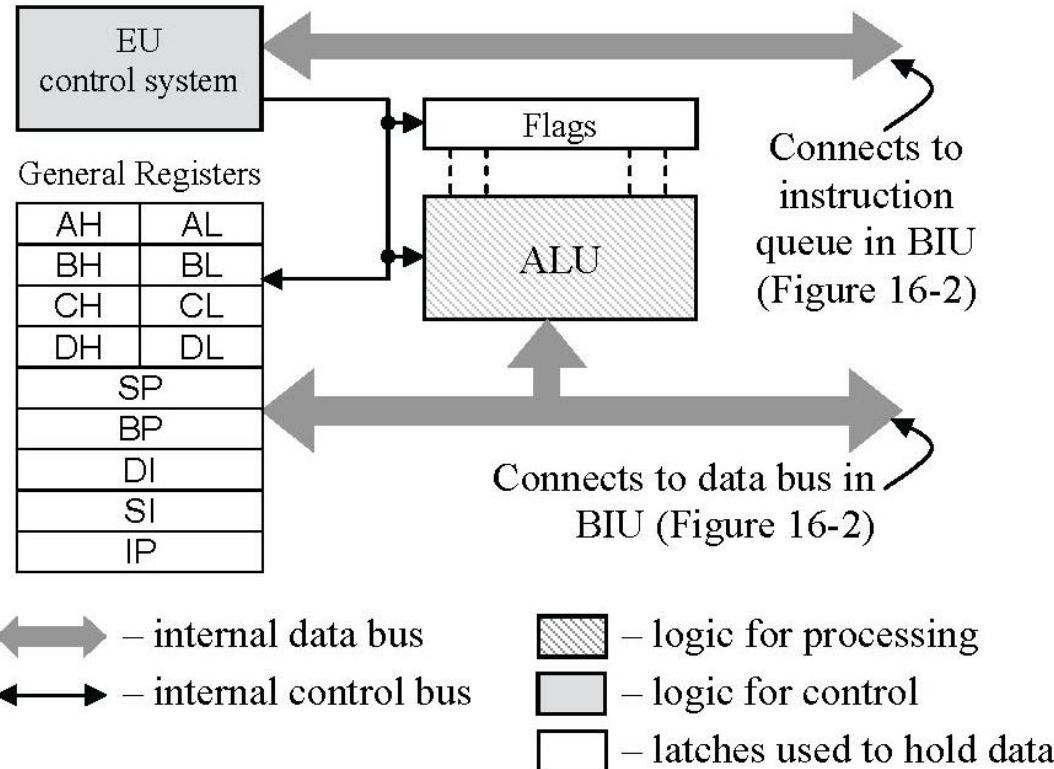


Figure 16-1 Block Diagram of 80x86 Execution Unit (EU)

8086

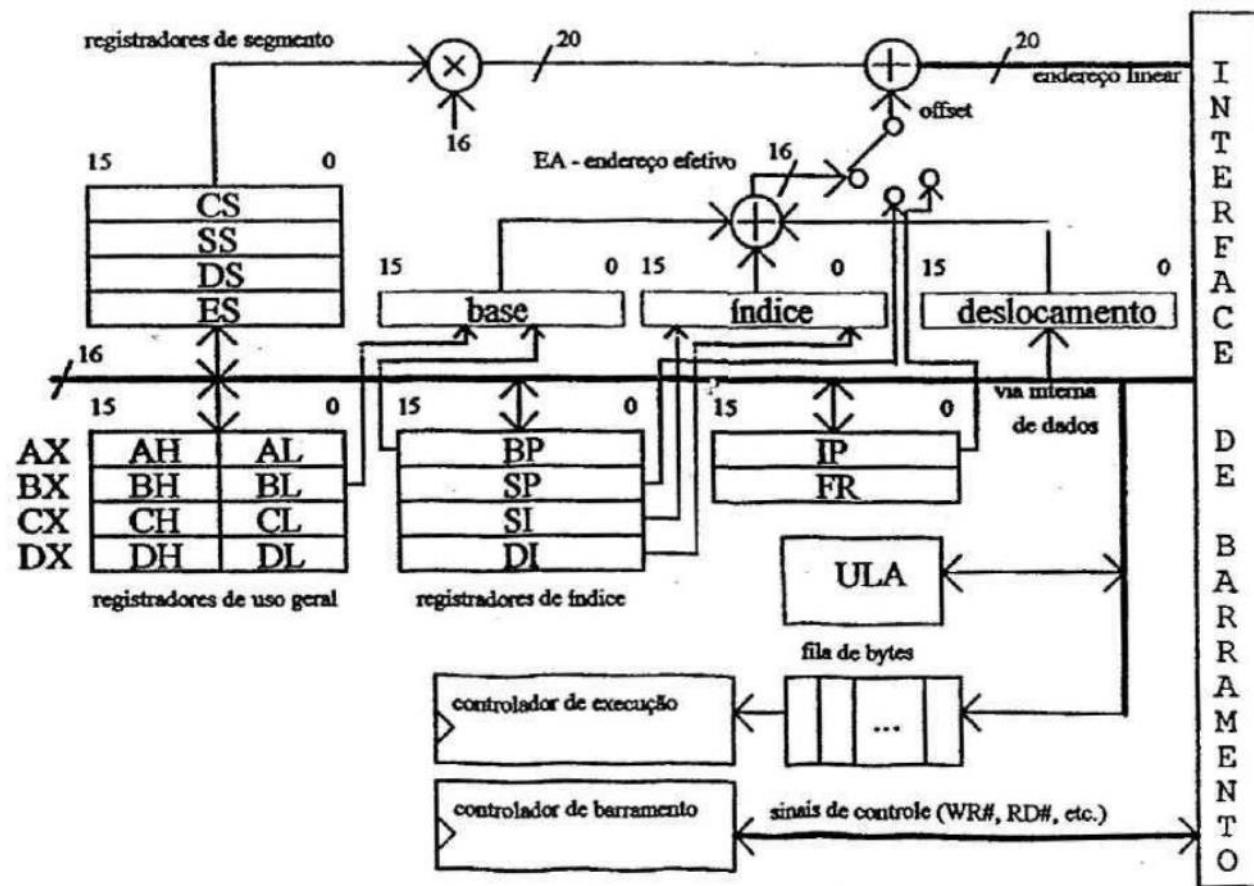


Figura 2.1 - Arquitetura interna simplificada do 8086/88.

8086

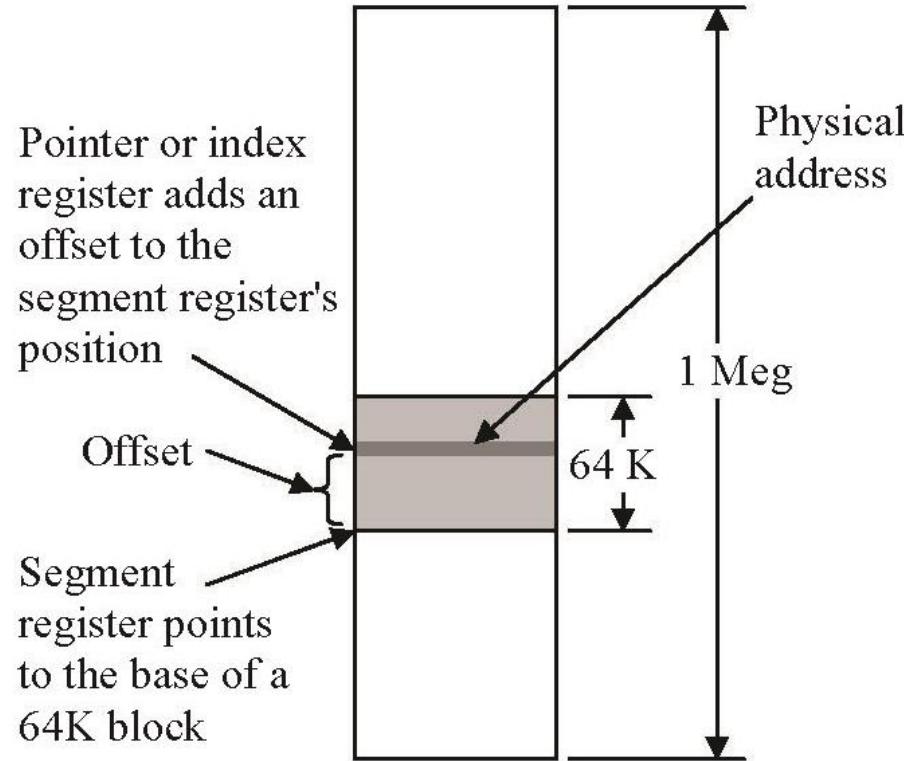


Figure 16-3 Segment/Pointer Relation in the 80x86 Memory Map

8088

- Colocado no mercado pela Intel em 1979.
- O 8088 era idêntico ao 8086 em todos os aspectos,
 - Registros de 16 bits.
 - Bus de endereços de 20 bits.
 - Velocidades de funcionamento 5 MHz (0.33 MIPS) e 8 MHz (0.75 MIPS).
 - O mesmo número de transístores.
 - O mesmo conjunto de comandos.
- ... excepto um,
 - **O seu Bus de dados foi reduzido para 8 bits.**



80286

- Colocado no mercado pela Intel em 1982.
- Registros de 16 bits.
- Bus de dados de 16 bits.
- Bus de endereços de 24 bits (16 MB de memória).
- Velocidades de funcionamento de 6 MHz (0.9 MIPS), 10 MHz (1.5 MIPS), 12 MHz (2.66 MIPS)...
- Possuía cerca de 134000 transístores.
- CDIP de 68 pinos.

80286

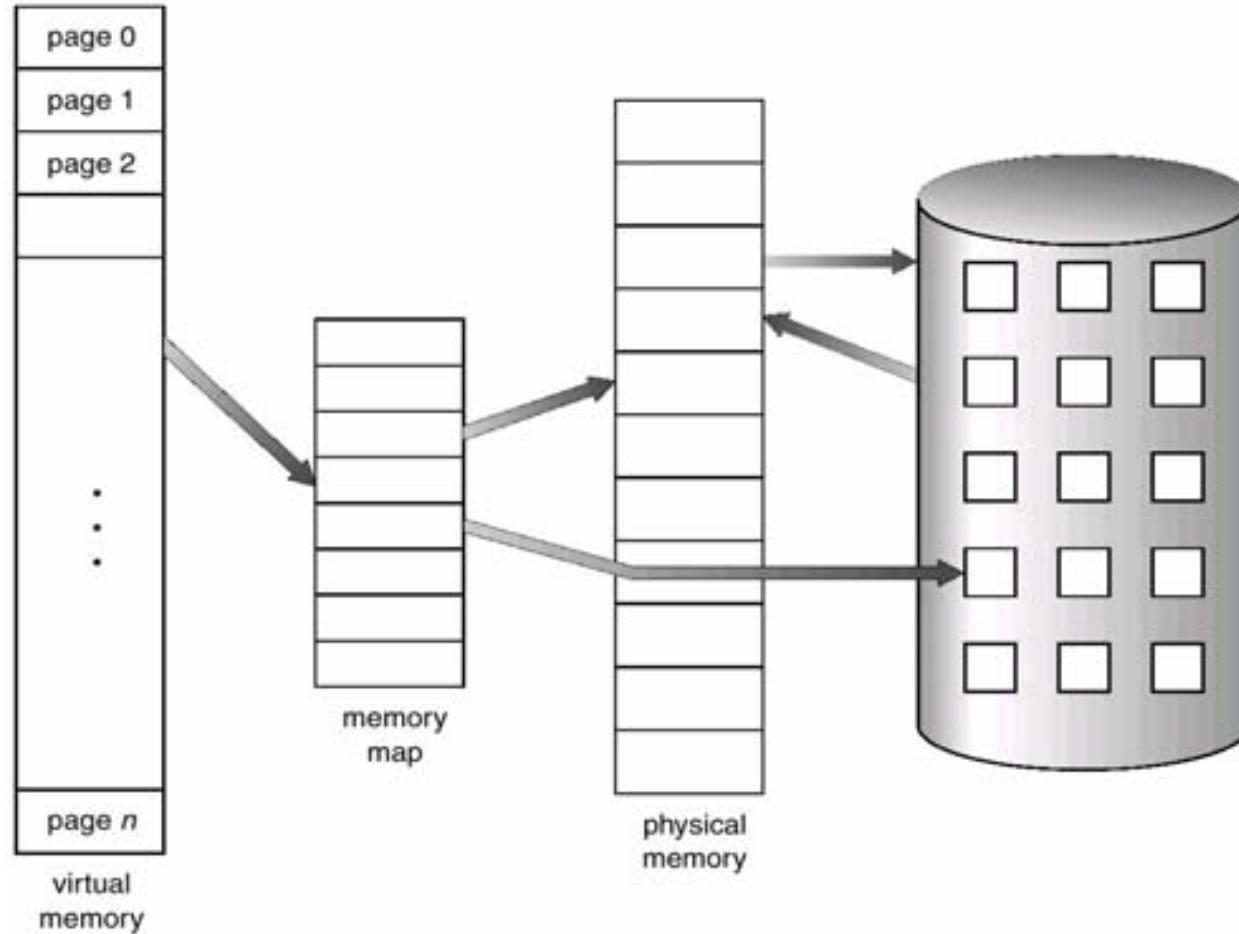
- Permitia o uso de memória virtual.
 - As informações ficam armazenadas, não em chips de memória, mas noutro meio de memória de massa, podendo ser transferidas para a memória física sempre que forem necessárias.
- Possibilidade de controlar até 1GB de memória total - 16 MB físicos.

Memória Virtual

Técnica que permite a execução de processos em que parte se encontra em memória principal e outra parte em disco.

- O espaço de endereçamento lógico pode ser muito superior ao endereçamento físico, evita o controlo da memória por parte do programador
- Permite a partilha de espaços de endereçamento
- Permite a criação mais eficiente de processos

Memória Virtual



Memória Virtual

Consiste em usar duas noções de endereço:

- endereço virtual : no contexto do espaço de endereçamento do processo que pode exceder o tamanho físico da memória;
- endereço real : no contexto da execução, apenas uma parte do espaço de endereçamento do processo é carregada para memória, situação em que um endereço virtual irá corresponder a um determinado endereço físico.

Como principal vantagem da memória virtual saliente-se o permitir um uso mais eficiente da memória física.

Memória Virtual - Paginação

É um método de organizar a memória e que se adequa bem à implementação de memória virtual.

- memória física (RAM) é dividida em blocos de tamanho fixo, designadas por Molduras de página (tamanho potência de 2: entre 512 bytes e 8 kbytes).
- memória lógica (disco) dividida em blocos do mesmo tamanho designados por Páginas.
- o espaço de endereçamento de um processo pode não ser contíguo (é um conjunto de páginas). para executar um programa com tamanho de n páginas, é necessário procurar n molduras livres e carregá-lo para essas molduras.
- é necessário um mecanismo para saber quais as molduras que estão livres.
- é necessário uma tabela de páginas que traduza endereços lógicos (na página) em endereços físicos (na moldura que contém a página)

Endereços Lógicos vs. Físicos

- endereços lógicos (ou virtuais) – gerados pela CPU.
- endereços físicos – visíveis pela unidade de memória.

os endereços lógicos e físicos coincidem em tempo de compilação, mas diferem em tempo de execução (recolocação).

a MMU (Memory Management Unit), periférico de hardware, tem a responsabilidade de traduzir endereços lógicos em endereços físicos:

um endereço virtual é composto por dois campos:

- Número de página (p) – usado como um índice para a tabela de páginas que contém os endereços base de cada página em memória.
- Deslocamento (d) – é combinado com o endereço-base para definir o endereço físico para ser enviado à unidade de memória.

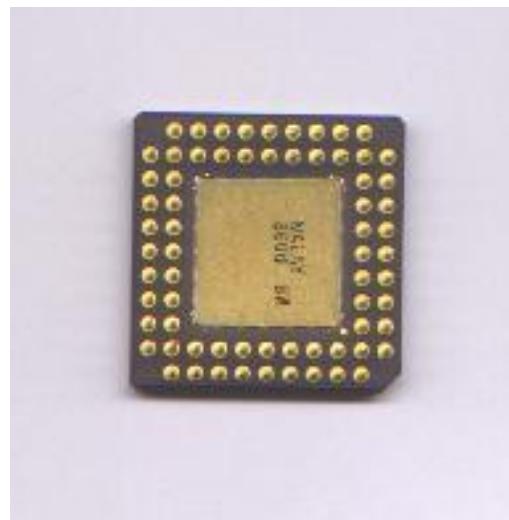
80286

- Para manter a compatibilidade com os chips mais antigos, é dotado de dois modos operacionais: **Modo Real e Modo Protegido.**
 - Modo Real
 - Reproduzia o esquema de operação do 8086 - herdou todas as limitações do 8086, inclusive a barreira de 1MB de memória.

80286

- Modo Protegido

- Tira maior partido da memória disponível. Embora não fosse compatível com os programas existentes para o 8086, o modo protegido permitia o uso de todos os 16MB de memória real, além de 1GB de memória virtual.
- Protecção de memória ao nível do hardware



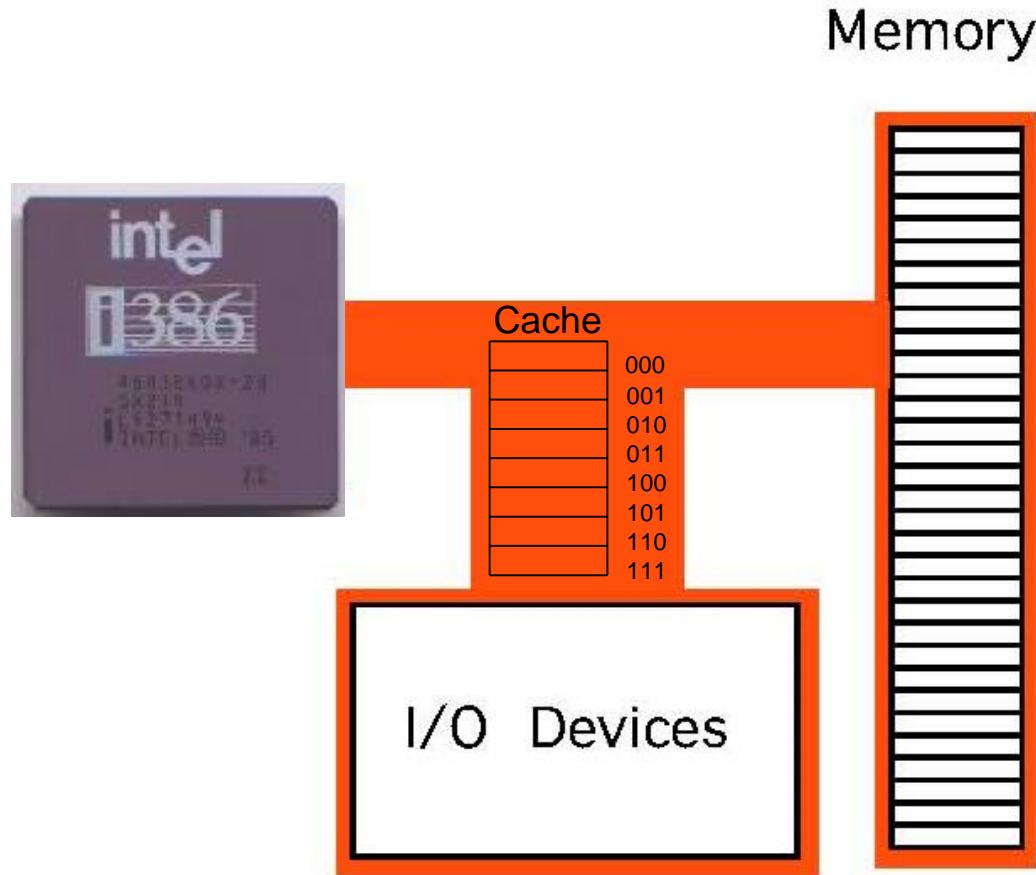
80386 DX

- Lançado pela Intel em 1985.
- Registros de 32 bits.
- Bus de dados de 32 bits.
- Bus de endereços de 32 bits (4 GB de memória física e 64 TB de memória virtual).
- Velocidades de funcionamento de 16 MHz (5 a 6 MIPS), 20 MHz (6 a 7 MIPS), 25 MHz (8.5 MIPS), 33 MHz (11.4 MIPS)...
- Possuía cerca de 275000 transístores.
- PGA de 132 pinos.

80386 DX

- A **grande novidade** do 80386 está na forma como a memória é organizada.
 - Toda ela pode ser endereçada como uma única secção contínua.
 - A divisão dessa memória em segmentos é possível, mas opcional. Nesse caso, os segmentos não ficam restritos aos 64 KB habituais, podendo ter praticamente qualquer tamanho que se considere conveniente para o programa, desde que inferior a 4 GB.
 - Incorpora **16 bytes de *pre-fetch cache memory*** -memória cache antecipada, usada para armazenar as próximas instruções do programa.

80386 DX - *pre-fetch cache memory*



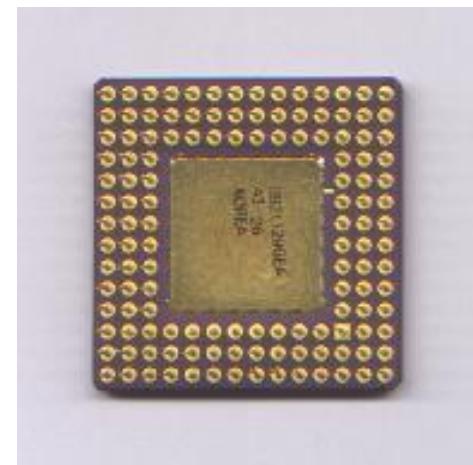
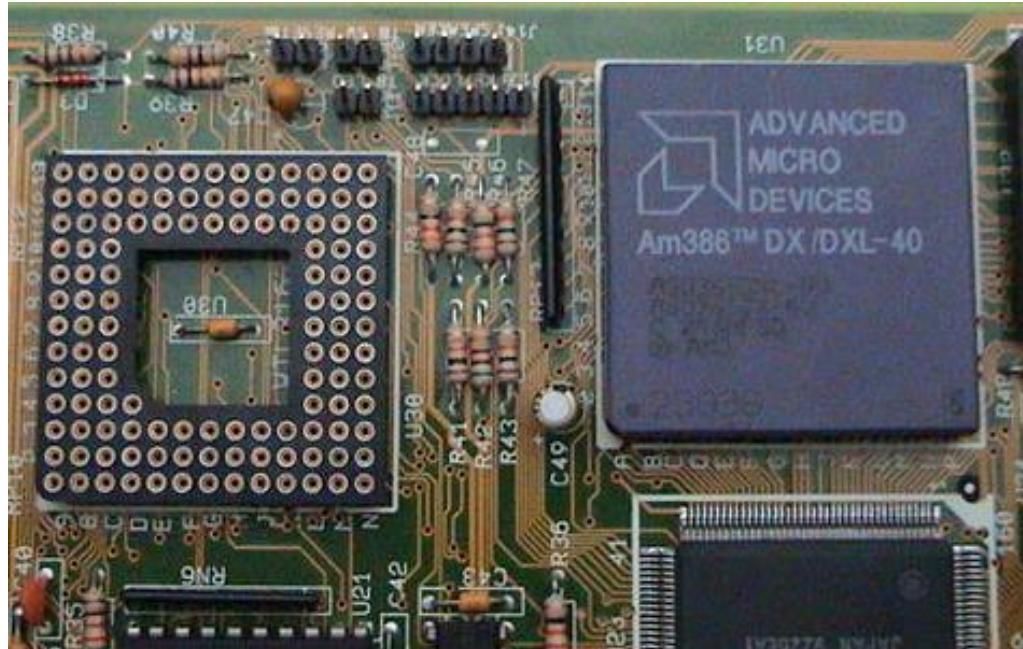
80386 DX

- Para manter a compatibilidade com os seus antecessores, possui um modo real, sujeito inclusive ao limite de endereçamento de 1MB.
 - É sempre iniciado nesse modo. Do modo real, o 80386 pode ser transferido para o modo protegido, onde passa a funcionar como um 80286, excepto pelo facto de ter mais memória à disposição e mais flexibilidade na gestão dessa memória.
 - Ao contrário do 80286, o 80386 pode trocar de modo sem ser reiniciado, bastando para isso alguns comandos simples de *software*.

80386 DX

- Possui um novo modo operacional, denominado **Modo Virtual**.
 - Nesse modo, é possível simular não apenas um 8086, mas um número “ilimitado” deles, todos ao mesmo tempo. Esse modo operacional permite que um único microprocessador 80386 divida a sua memória em **várias máquinas virtuais**, cada uma delas funcionando como um computador inteiramente isolado equipado com um microprocessador 8086.
 - Cada uma dessas máquinas pode executar um programa próprio, separado dos outros computadores virtuais - Multitarefa.

80386 DX

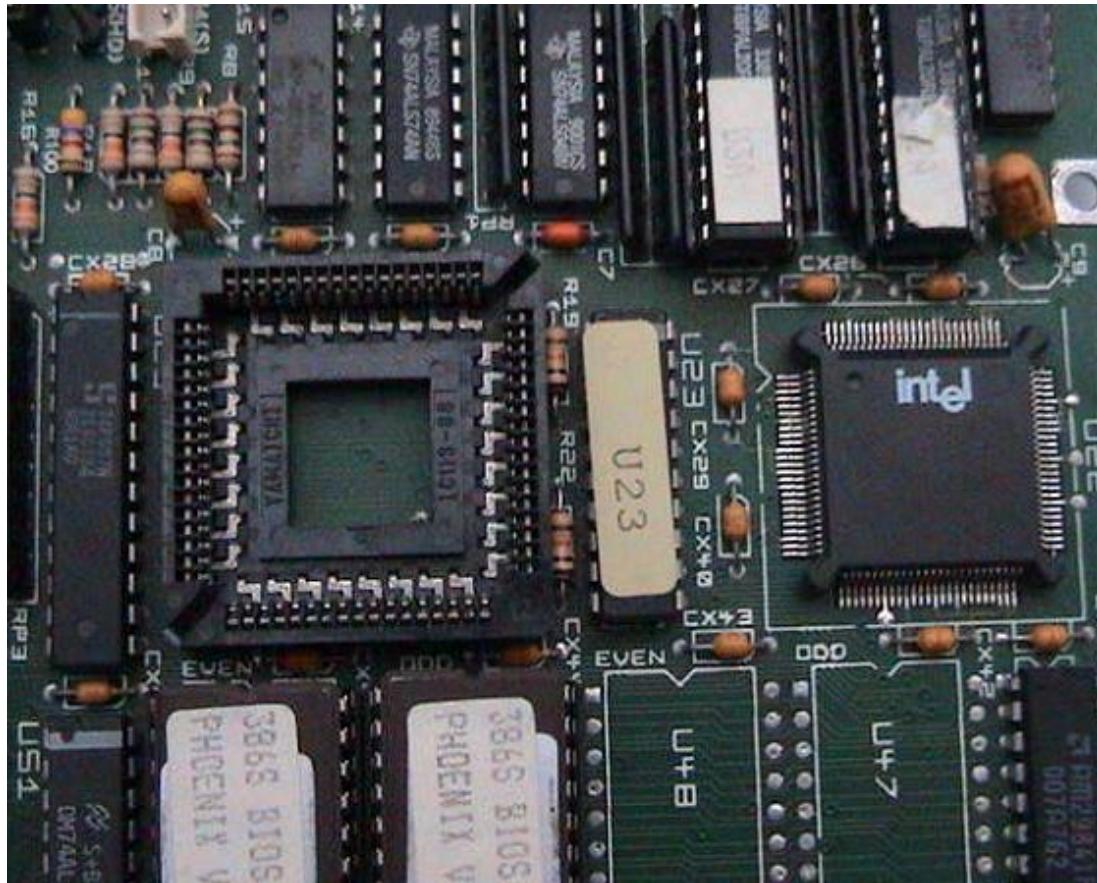


O microprocessador am386 foi lançado pela AMD em 1991. É um clone totalmente compatível com o design do Intel 386, vendeu milhões de unidades e posicionou a AMD como concorrente legítima da Intel, tornando-se a segunda maior fornecedora de microprocessadores X86.

80386 SX

- Lançado pela Intel em 1988.
- Espécie de 80386 reduzido, com menos potência mas com todos os recursos do original.
- A única diferença significativa reside no Bus de dados que em vez dos 32 bits é de 16 bits.
 - Os registos de 32 bits têm que ser preenchidos em duas etapas a partir de um canal de I/O de 16 bits.
- QFP de 100 pinos.

80386 SX



80386 SL

- Lançado pela Intel em 1990.
- Características semelhantes ao 80386SX.
- Destinado a computadores portáteis.
- Consomem menos energia.
 - Os chips SL contêm um circuito de gestão de energia, que lhes permitem operar a uma voltagem mais baixa do que a normal, e consomem menos energia do que os chips convencionais.
 - Velocidades de funcionamento de 16 MHz e 25 MHz
 - Possuía cerca de 885000 transístores.

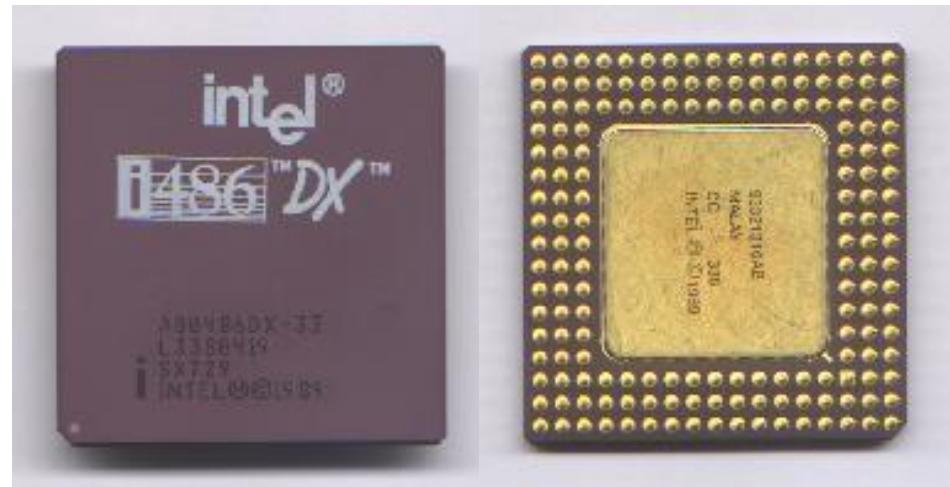


80386 SLC

- Basicamente, é um microprocessador 80386SX, *Low Power* (de baixo consumo de energia), com Cache.
 - Dispõe de uma cache interna de 8k e utiliza uma tecnologia de baixo consumo de energia.
- Optimiza as instruções utilizadas com mais frequência, reduzindo o número de ciclos de relógio necessários para executá-las.
- Pode operar em modo "assíncrono" (a velocidade interna do processador pode ser diferente da dos componentes externos).

80486 DX

- Lançado pela Intel em 1989.
- Registros de 32 bits.
- Bus de dados de 32 bits.
- Bus de endereços de 32 bits (4 GB de memória física e 64 TB de memória virtual).
- Encapsulamento PGA.
- Encaixe Socket1, 2 e 3.



80486 DX

- Velocidades de funcionamento de 25 MHz (20 MIPS), 33 MHz (27 MIPS), 50 MHz (41 MIPS)...
- Possuía cerca de 1,2 milhões de transístores.
- Possuía uma memória **cache interna** (L1) de 8KB (até então era externa).

80486 DX

- Em termos de software as alterações são mínimas.
 - Os comandos e instruções constituem um superconjunto do 80386.
- No que respeita ao hardware, mantém os principais recursos do 80386 que são importantes para que os dois *chips* sejam compatíveis em termos de *software*.
 - Possui os modos operacionais (real, protegido e virtual 8086).
 - Bus de dados e de endereços de igual tamanho.

80486 DX

- O hardware difere substancialmente, contribuindo para um aumento substancial de velocidade:
 - Hardware mais aprimorado.
 - Silício ainda mais compactado.
 - **Co-processador matemático integrado.**
 - A função deste processador é auxiliar o processador principal no cálculo de números fraccionários ou de vírgula flutuante. O desempenho do coprocessador aritmético é tratado como "fpu" em *benchmark* comparativos.
 - Cache de memória interna.

80486 DX

- Utilização do recurso de “Multiplicação do relógio”.

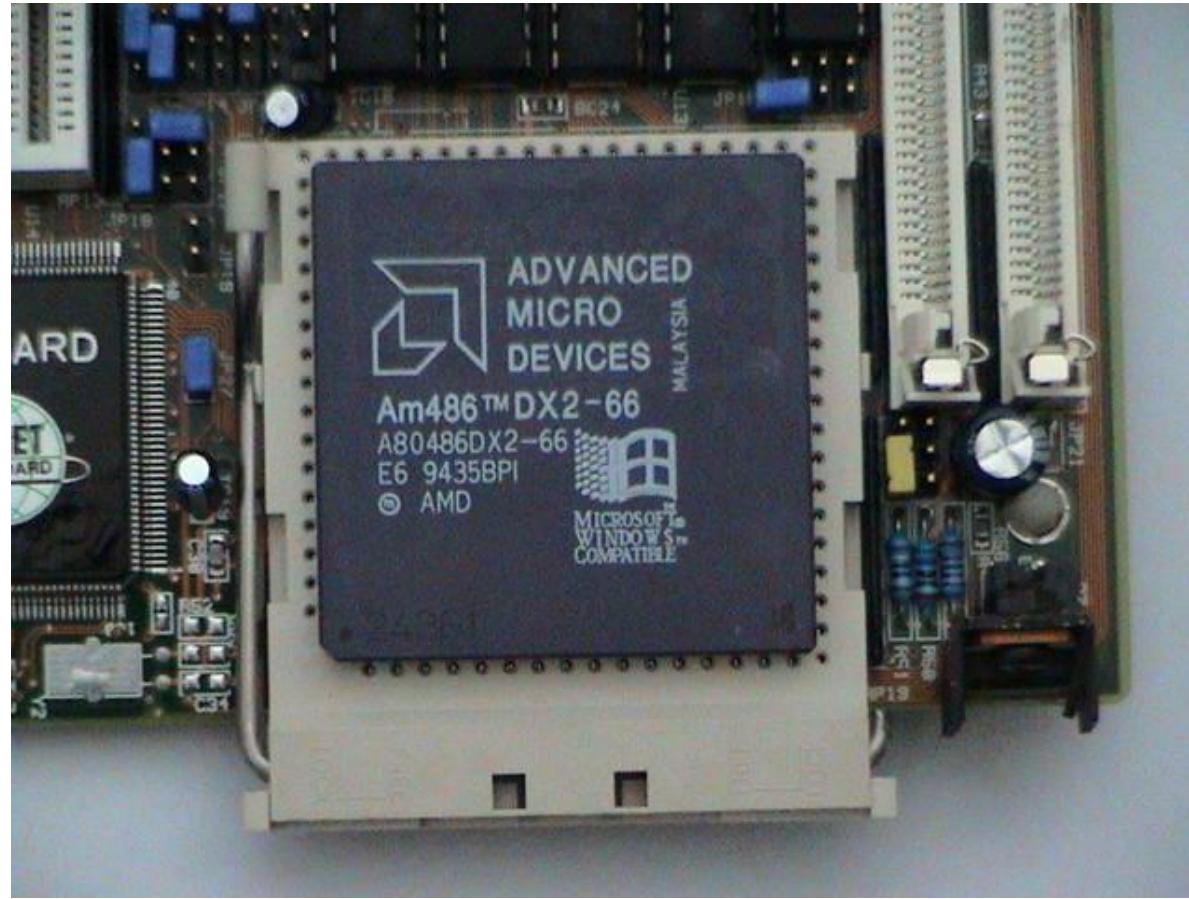


80486 DX

- Trouxe a necessidade de utilização de um **ventilador (cooler)** sobre o processador para evitar o sobreaquecimento.



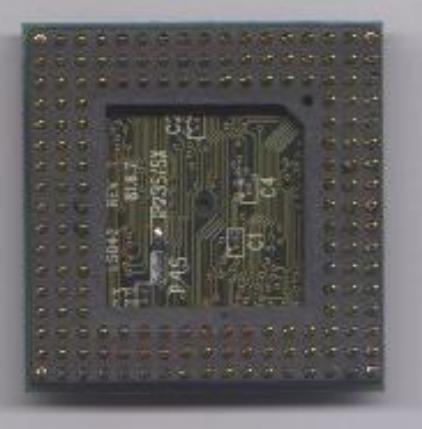
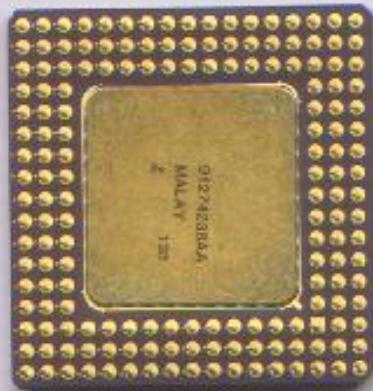
80486 DX



80486 SX

- Lançado pela Intel em 1991.
- É um chip 80486 **sem co-processador matemático interno (FPU desactivada)**
 - A falta de um co-processador no 80486SX não é um defeito insolucionável. É possível a integração de um co-processador, o 80487SX.
- Velocidades de funcionamento de 16 MHz (13 MIPS), 20 MHz (16.5 MIPS), 25 MHz (20 MIPS) e 33 MHz (27 MIPS).
- PGA de 168 pinos ou PQFP de 208 pinos.
- Possuía cerca de 1,185 milhões de transístores.

80486 SX



80486 DX



80486 SL

- Lançado pela Intel em 1992.
- É uma versão do 80486SX que consome menos energia, destinada a portáteis.
 - As primeiras versões objectivavam simplesmente uma menor utilização de energia.
 - Versões posteriores passaram a operar com **3,3 volts em vez de 5 volts**.
 - Contém um recurso interno de gestão de energia que, segundo a Intel, pode duplicar a vida útil da bateria.
 - O sistema de gestão de energia fornece energia quando necessário e desactiva alguns periféricos quando eles não são necessários.

80486 SLC2

- Tal como o 80486SL, também constitui uma versão menos dispendiosa do 80486SX, em termos de consumo de energia. As diferenças essenciais são as seguintes:
 - O 80486SLC2 utiliza a tecnologia de 0,7 µm, enquanto o projecto do 80386SLC tem 1 µm.
 - O 80486SLC2 tem um circuito de duplicação de clock (como os chips Intel DX2).
 - O 80486SLC2 utiliza uma fonte de alimentação de baixo consumo de energia de 3,3V.
 - O 80486SLC2 tem uma cache interna de 16K.

Pentium

- Lançado pela Intel em 1993.
- Registros de 32 bits.
- Bus de dados de **64 bits**.
- Bus de endereços de 32 bits:
 - 4 GB de memória física.
 - 64 TB de memória virtual.
- Possuía uma memória cache interna (L1) de 16 KB:
 - 8KB para dados + 8KB para instruções
- Cache externa (L2) entre 128 KB e 2 MB.

Pentium

- Usa duas linhas de comunicação de dados idênticas (dois *Pipelines*), permitindo executar duas instruções em simultâneo - Tecnologia **Superescalar** (em certas condições podia executar 2 instruções por ciclo de relógio).
- Pentium de 1^a Geração
 - Velocidades de funcionamento de 60 MHz (100 MIPS) e 66 MHz (112 MIPS).
 - Possuía cerca de 3,1 milhões de transístores.
 - Tecnologia de 0,7 µm e BiCMOS (Combina a tecnologia Bipolar e CMOS).
 - Consumo de muita energia (5V).
 - Encapsulamento PGA de 273 pinos.
 - Encaixe socket 4.

Princípios de Pipelining

Pipelines de 6 estágios

FI - Fetch Instruction

Lê a próxima Instrução.

DI - Decode Instruction

Determina o Código e o Operando.

CO - Calculate Operands

Calcula o endereço de cada operando.

FO - Fetch Operands

Busca cada Operando da memória.

EI - Execute Instruction

Executa a operação

WO - Write Operand

Armazena o resultado na memória

Nota: Nem todas as instruções usam todos os estágios. No entanto, o espaço temporal tem que ser mantido para manter sincronismo.

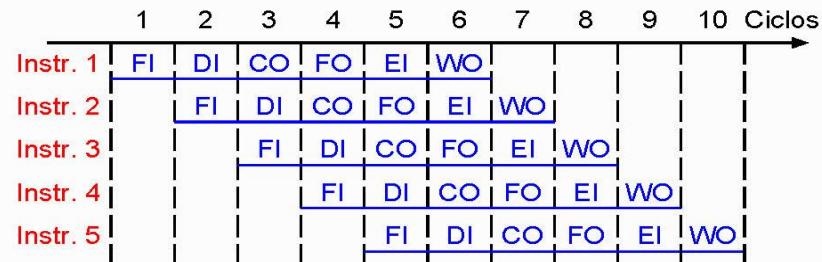
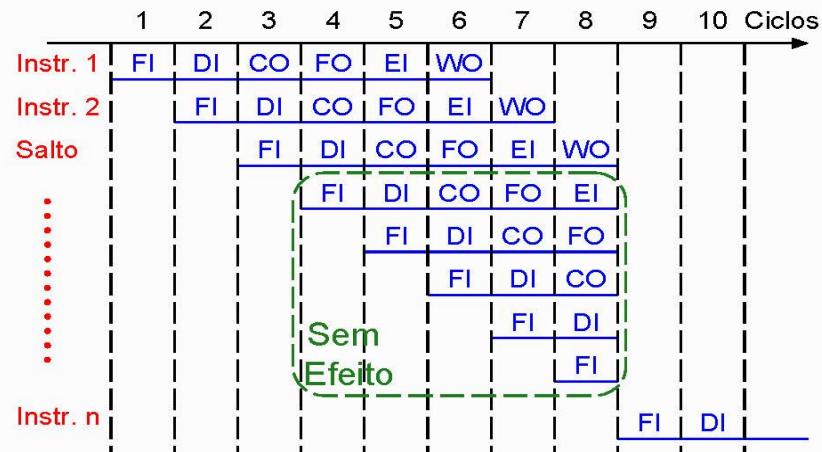
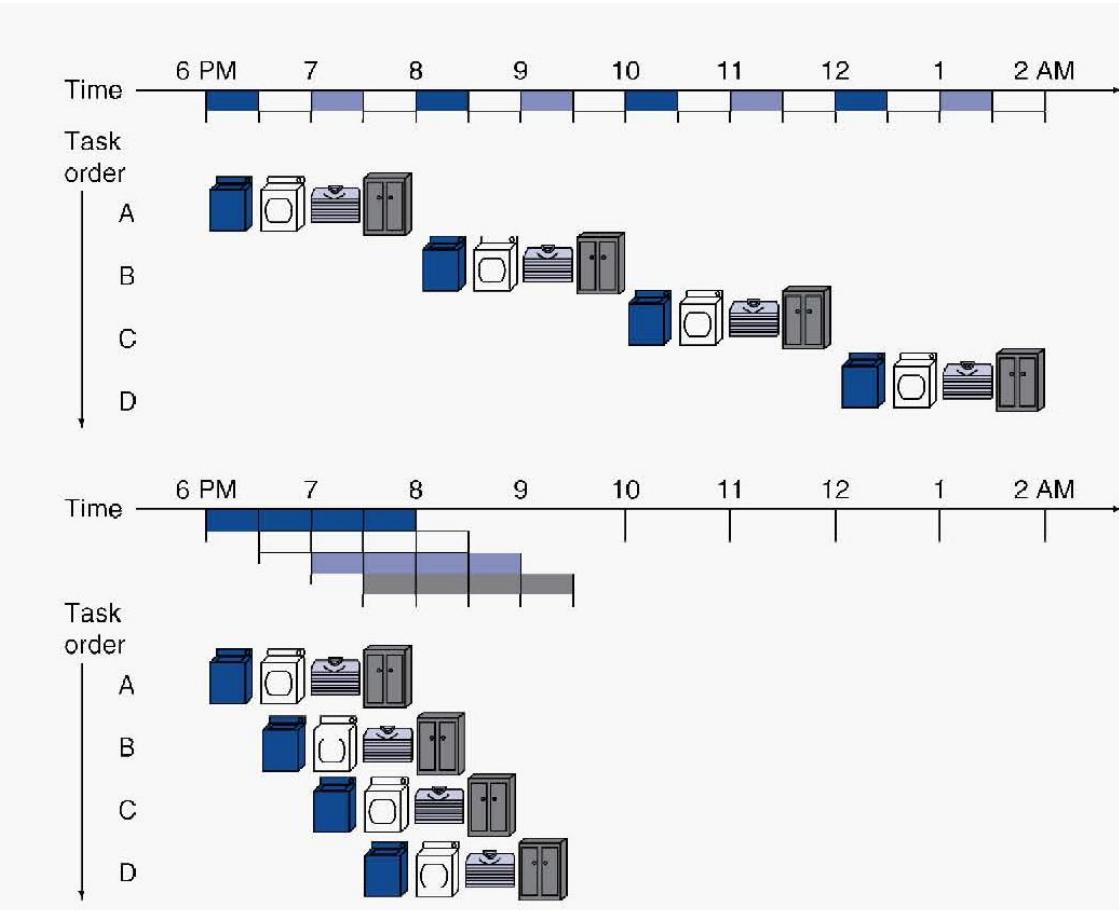


Diagrama Temporal

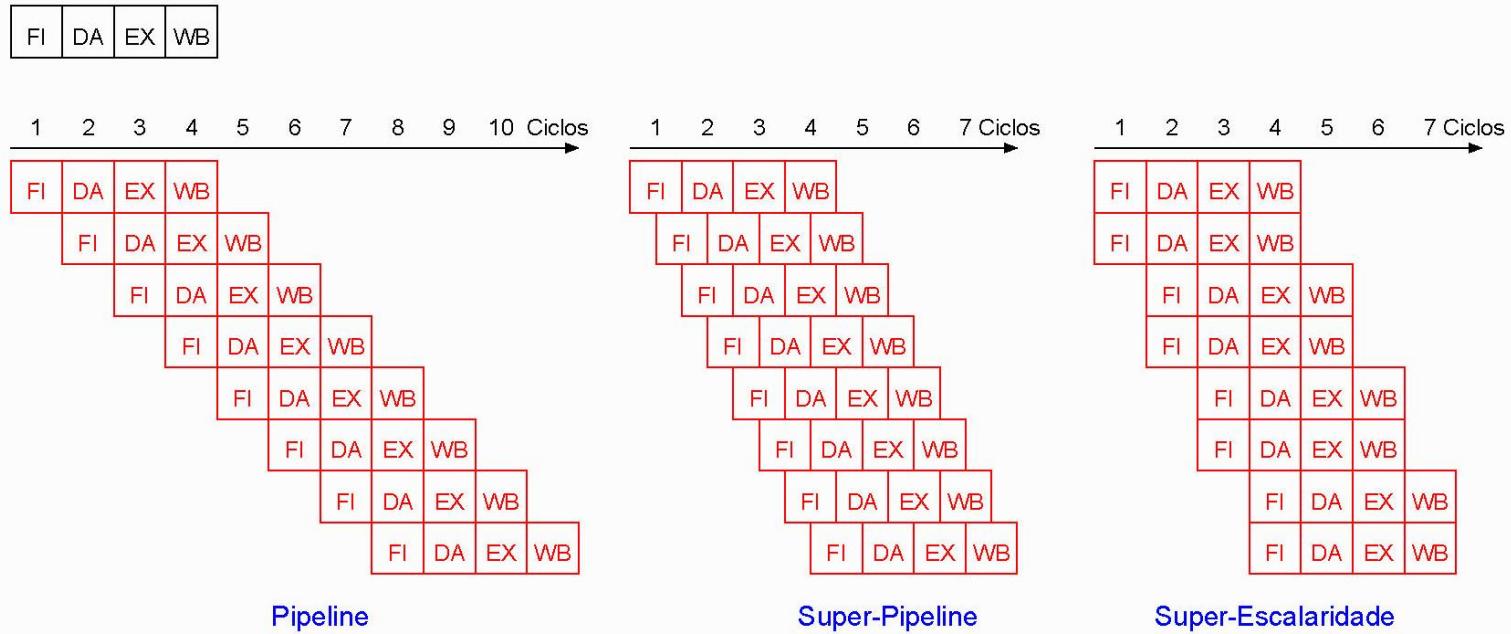


Efeito de Salto Condicional

Pipelining - Analogia com lavandaria



Arquitecturas Superescalares



Notas:

- Fazem **reordenamento** de instruções na tentativa de limitar efeitos das dependências
- Usam execução de instruções **especulativa** para conseguirem ser eficientes.
- Requerem múltiplas capacidades na CPU, como sejam múltiplas ALU, FPU, etc.

Arquitecturas Superescalares

Paralelismo ao Nível da Instrução

Pode ser aumentado de duas formas

1. Aumenta-se o comprimento da pipeline, subdividindo níveis.

O número de instruções na pipeline aumenta, mas como em cada nível se pode fazer menos, pode-se aumentar a velocidade.

2. Replicando-se as unidades internas da CPU (buses, ALUs, FPUs)

“Multiple Issue”:

- *Estática*: As decisões são tomadas no compilador/escrita do programa.
- *Dinâmica*: As decisões são tomadas no Microprocessador durante a execução do programa.

“Pipeline Multiple Issue”

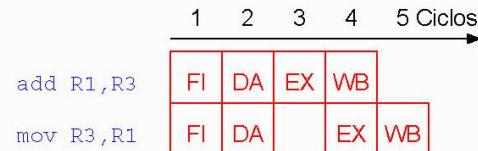
1. Microprocessador determina quantas instruções podem ser colocadas em cada ciclo de relógio (slot temporal).

Arquitecturas Superescalares

Limitações da Superescalaridade

“True Data Dependency”

Tem que se esperar o resultado de uma operação para se poder executar a outra.

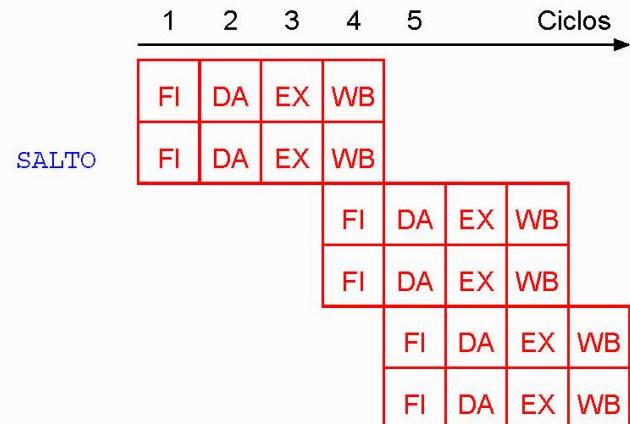


“Procedural Dependency”

Saltos são sempre um problema!

Nota: Nos RISC, instruções têm dimensão fixa.

Se for CISC ainda se acrescenta o problema de controlar a dimensão da instrução.



Pentium

- Pentium de 2^a Geração

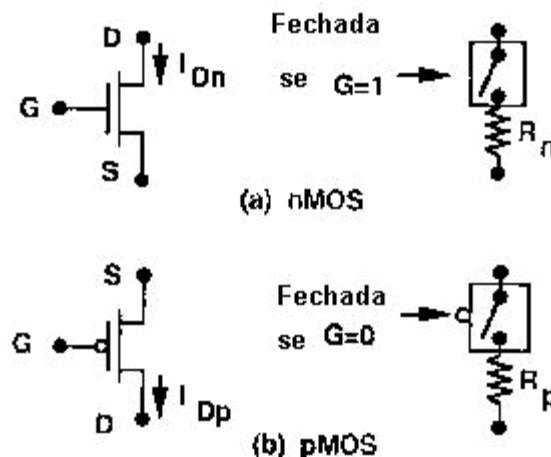
- Velocidades de funcionamento de 75 MHz (126.5 MIPS), 90 MHz (149.8 MIPS), 100 MHz (166.3 MIPS), 120 MHz (203 MIPS), 133 MHz (218.9 MIPS), 150 MHz, 166 MHz e 200 MHz.
- Tecnologia de 0,6 µm, 3,2 milhões de transístores e BiCMOS (75, 90 e 100 MHz).
- Tecnologia de 0,35 µm, 3,3 milhões de transístores e BiCMOS (120 e 133 MHz).
- **Consumo de 3,3 V a 2,9 V.**
- Socket 5 ou Socket 7.
- Encapsulamento CPGA, SPGA ou PPGA
- Possui um circuito duplicador de relógio.

Famílias lógicas digitais

- RTL: Resistor-Transistor Logic
 - DTL: Diode-Transistor Logic
 - TTL: Transistor-Transistor Logic
 - ECL: Emitter-coupled Logic
 - MOS: Metal-Oxide Semiconductor
 - CMOS: Complementary MOS
 - Baixa dissipação, actualmente é a dominante
 - BiCMOS: Bipolar CMOS
 - CMOS e TTL para corrente/velocidade adicionais
 - GaAs: Gallium-Arsenide
- No início,
obsoleta
- Amplamente utilizada
- Operação rápida
- compacta

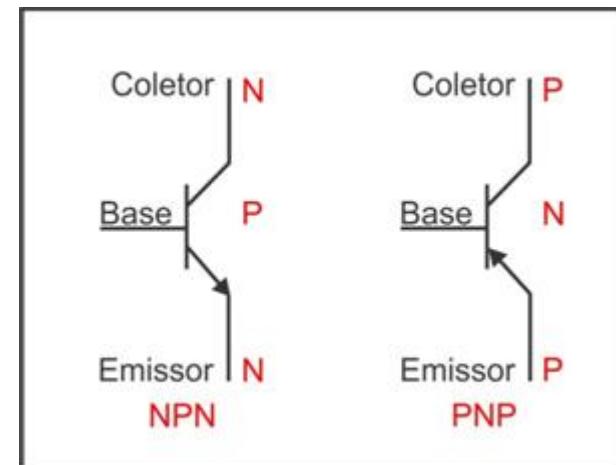
Características da tecnologia CMOS

- Menor consumo de potência estática
- Maior densidade de encapsulamento
- Menor custo por dispositivo
- Próximo de um interruptor ideal



Características da tecnologia bipolar

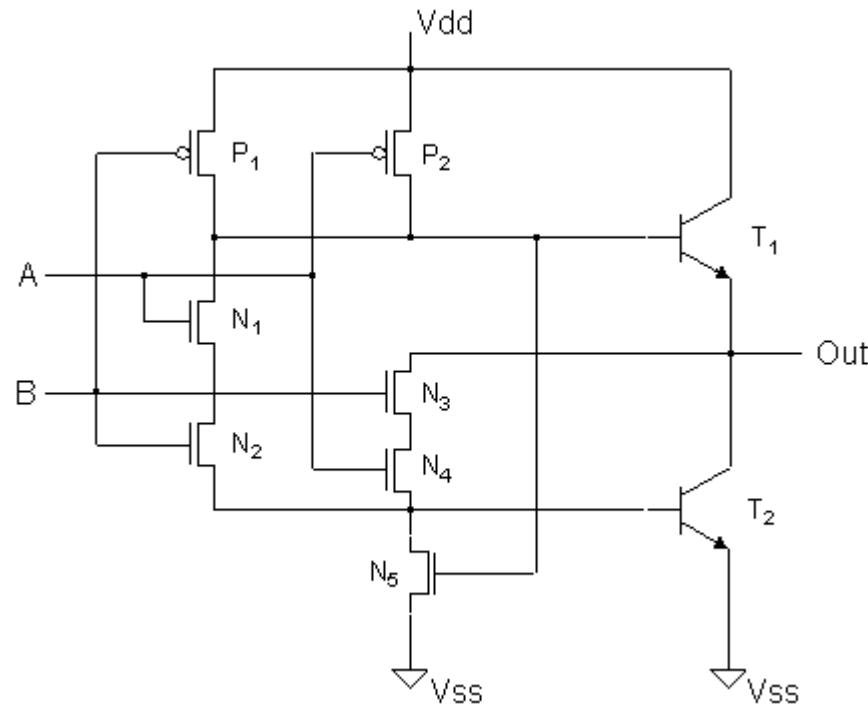
- Maior velocidades de comutação
- Elevada dissipação de potência
- Baixa densidade de encapsulamento



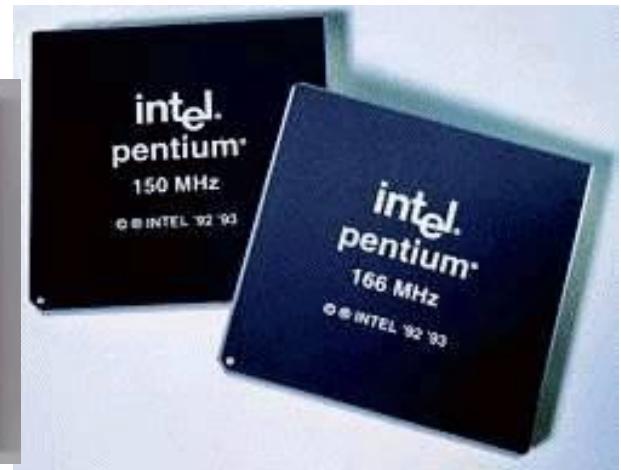
Características da tecnologia BiCMOS

- Combina as duas tecnologias (Bipolar e CMOS) tirando partido do ganho dos transístores bipolares e do baixo consumo da tecnologia CMOS.
- Espaço físico para layout optimizado comparado com a tecnologia Bipolar.
- I_B , I_{offset} e V_{offset} optimizados
- Processo de fabrico muito caro quando comparado com a tecnologia Bipolar e CMOS.
- Utilizando as vantagens do bipolar e do CMOS, BiCMOS permite o desenvolvimento de circuitos VLSI com uma elevada densidade velocidade-potência, não conseguida pelas tecnologias individualmente

Circuito duma porta nand BiCMOS



Pentium



Pentium Pro

- 3^a Geração de Pentium
- Lançado pela Intel em 1995.
- Registros de 32 bits.
- Bus de dados de 64 bits.
- Bus de endereços de 36 bits (64 GB de memória física e 64 TB de memória virtual).
- Velocidades de funcionamento de 150 MHz , 166 MHz, 180 MHz, 200 MHz...



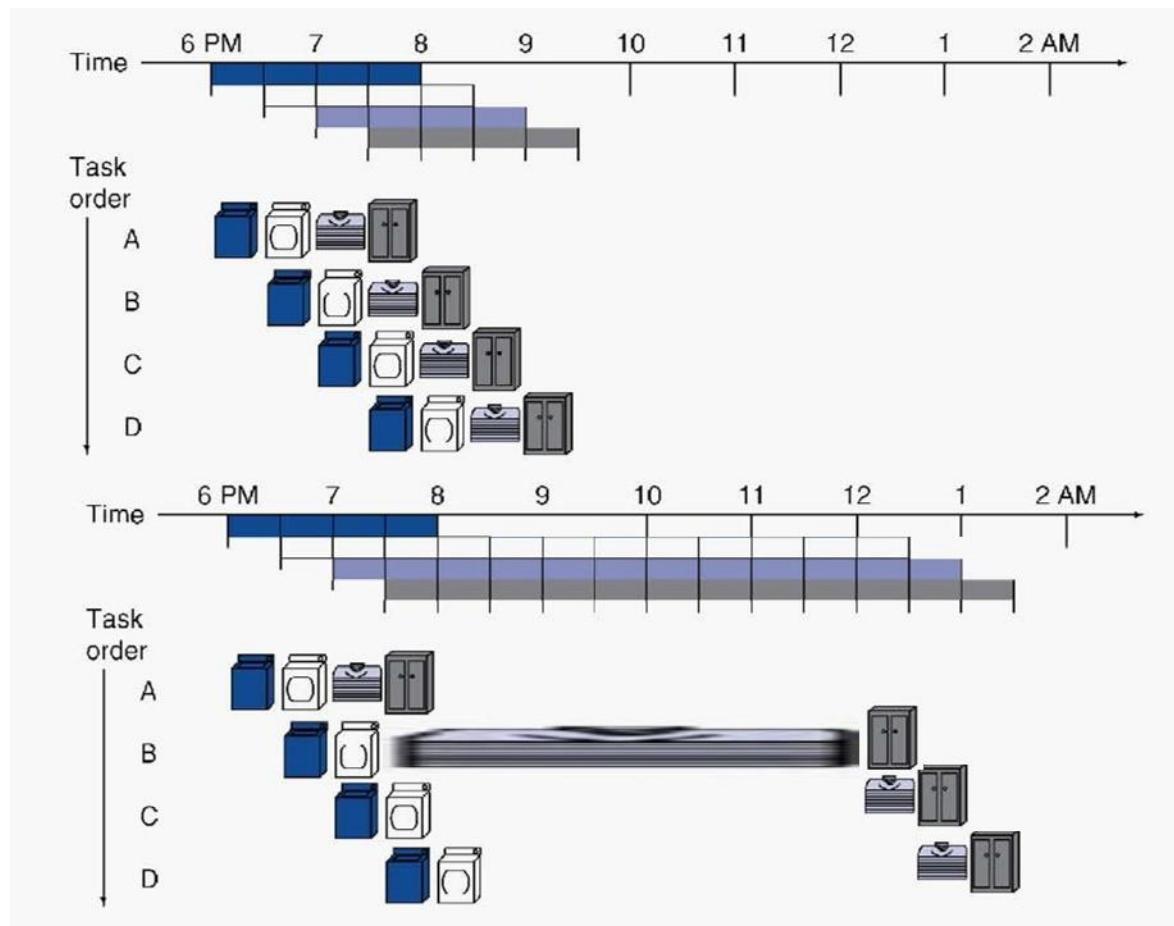
Pentium Pro

- Possuía cerca de 5,5 milhões de transístores.
- Possuía uma memória cache interna (L1) de 16 KB:
 - 8 KB de dados
 - 8 KB de instruções
- Cache L2 (256 KB, 512 KB ou 1 MB) embutida no processador, utilizando a mesma frequência, o que garante um desempenho muito maior.
- Consumo de 2,9 a 2,5 V.
- Tecnologia CMOS de 0,25 µm.
- Utiliza o socket8 (387 pinos).

Pentium Pro

- Arquitectura híbrida: Núcleo RISC e um descodificador CISC
 - CISC: Complex Instruction Set Computer
 - RISC: Reduced Instruction Set Computer
- Arquitectura optimizada para executar aplicações exclusivas de 32 bits (Windows NT)
- Mau desempenho em sistemas híbridos (Windows 95)
- Desempenho um pouco inferior ao do Pentium ao executar sistemas operativos de 16 bits (DOS ou o Windows 3.x).
- Tecnologia DIB (Dual Independent Bus): separação entre BUS de dados interno (L1) e BUS externo (L2)

Arquitecturas CISC e RISC



Arquitecturas CISC e RISC

Arquitectura CISC

Número elevado de instruções. Todas as instruções são internas ao processador e encontram-se em micro-código.

Instruções de formato variável e impossibilidade de processar em piplining.

Instruções complexas.

Instruções efectuadas sobre memória, retirando pouco partido da sua localização espacial.

Maior dimensão da pastilha devido ao elevado micro-código constituído por muitas e grandes instruções.

Arquitectura RISC

Número pequeno e limitado de instruções. Todas as instruções complexas são realizadas pela junção em software de instruções simples.

Instruções de formato fixo, cujo o código tem sempre o mesmo tamanho, o que lhe permite a descodificação da instrução e trabalhar em piplining.

Instruções simples com tempo de execução constante.

Instruções de manipulação de registo a registo. As outras instruções resumem-se a buscar e colocar nas posições de memória valores existentes em regtos.

Menor dimensão física do processador devido ao menor número de componentes e micro-controlo interno.

Vantagem

RISC
Aumenta o desempenho do processador.

RISC
Possibilita o processamento piplining e facilita o processamento paralelo.

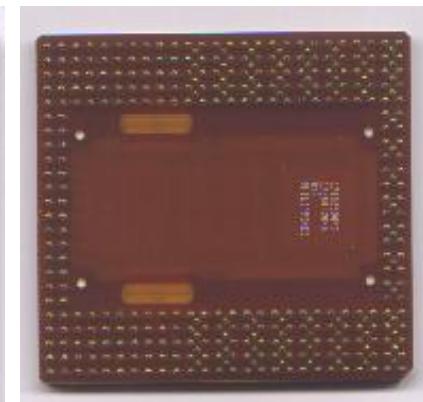
RISC
Permite diminuir a complexidade e tamanho do processador e consequentemente aumentar a velocidade de execução.

RISC
Essa característica facilita a manipulação de memória.

RISC
Maior facilidade de desenvolvimento e aumento de velocidade.

Pentium Pro

- Tecnologia superescalar:
 - 3 instruções por ciclo de relógio
 - (2 de inteiros e uma de FPU).
- Arquitectura de Execução Dinâmica (*Dynamic Execution*)
 - Predição de Desvios
 - Análise de Fluxo de Dados
 - Execução Especulativa



Pipelining dinâmico

- O *pipelining* dinâmico é geralmente combinado com a previsão de salto, dando origem ao conceito de "**execução especulativa**".
- O que o processador faz é dar uma previsão de salto, e a partir dessa previsão executar em paralelo as instruções seguintes. Caso se verifique uma previsão errada, terá de existir a possibilidade de descartar as instruções que foram executadas até então, e começar de novo a buscar e executar instruções a partir do salto.
- As máquinas dinâmicas são assim capazes de prever o fluxo de execução do programa, analisando as instruções para verificar qual delas será executada de seguida, e executá-las especulativamente baseado na previsão ou então nas dependências ocorridas com instruções anteriormente.

Pipelining dinâmico

"execução especulativa"

```
while (corrente < desejado) {
```

```
    proximo = corrente + fr;
```

```
    fr= corrente;
```

```
    corrente = proximo;
```

```
    num++;
```

```
}
```

Pentium Pro



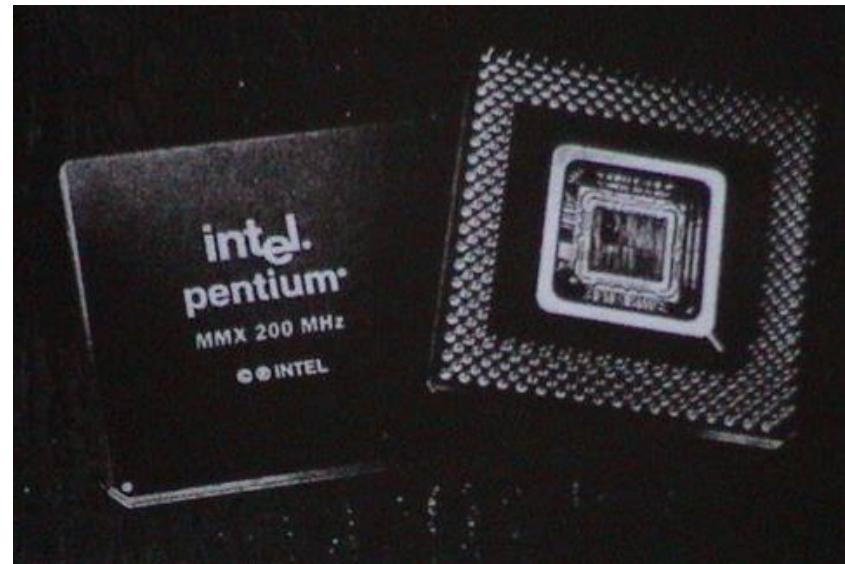
Pentium MMX (*Multi Media eXtensions*)

- Lançado pela Intel em 1997.
- 3^a Geração de Pentium.
- Permite resolver os problemas existentes no Pentium Pro.
- Optimizado para acelerar aplicações multimédia, a preços baixos (contém 57 novas instruções).
- Possuía cerca de 5,5 milhões de transístores.

Pentium MMX (*Multi Media eXtensions*)

- Velocidades de funcionamento de 166 MHz, 200 Mhz e 233 MHz (*Front Side Bus* de 66 MHz)
- Duplicação da cache interna L1 para 32 KB:
 - 16 KB de dados.
 - 16 KB de instruções.
- Funciona a voltagens baixas (2,8 V).
- Funciona com o conector *socket7* ou *ZIF* (*Zero Insertion Force*).
- Encapsulamento *PPGA* de 320 pinos.

Pentium MMX (*Multi Media eXtensions*)



Pentium II

- Lançado pela Intel em 1997.
- **Registros de 64 bits.**
- Bus de dados de 64 bits.
- Bus de endereços de 36 bits (64 GB de memória física e 64 TB de memória virtual).
- Possuía cerca de 7,5 milhões de transístores.
- **Encapsulamento SECC** (muito diferente dos anteriores)
- Conector Slot1.

Pentium II



Pentium II

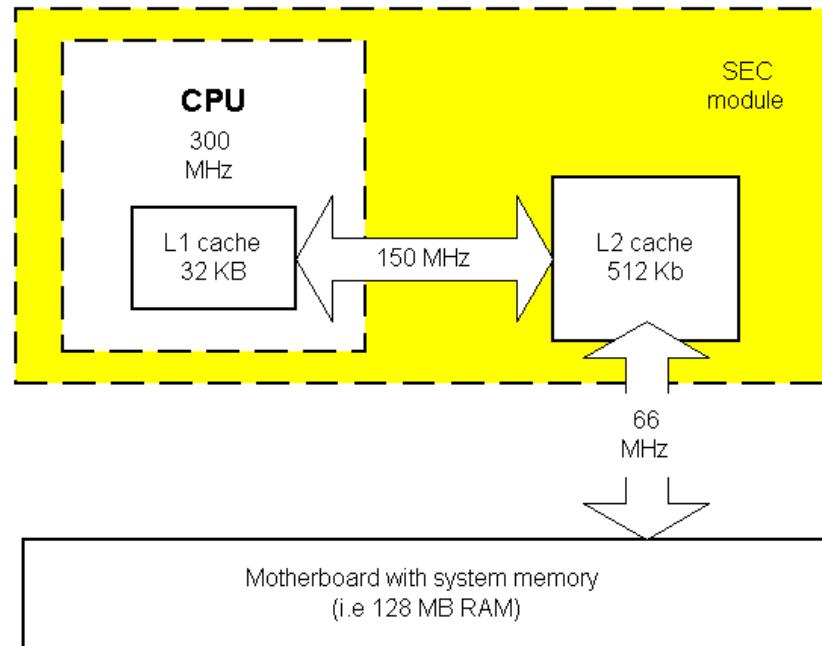
- Velocidades de funcionamento de 233 MHz (66 MHz), 266 MHz (66 MHz), 300 MHz (66 MHz), 333 MHz (66 MHz), 350 MHz (100 MHz), 400MHz (100 MHz) e 450MHz (100 MHz).
- Não é mais que um Pentium Pro com o acréscimo das instruções MMX.
- Possibilidade de executar 5 instruções em simultâneo.
- Optimizado para processamento de 16 bits.

Pentium II

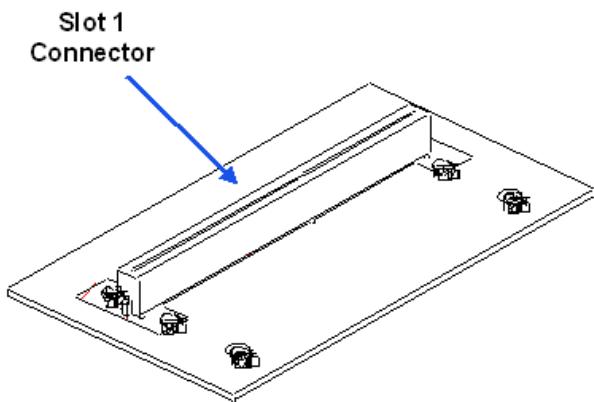
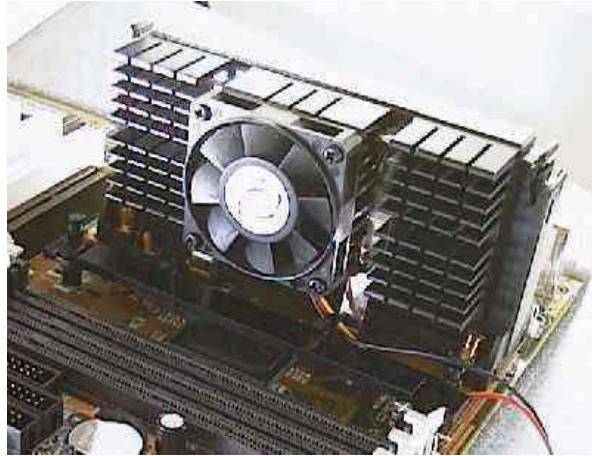
- Comercializado numa embalagem com um formato designado de SECC (*Single Edge Contact Cartridge*).
 - Permite juntar ao processador, de forma económica, uma memória cache L2, a fim de acelerar o processamento de dados (o que já acontecia no Pentium Pro mas a custos superiores).

Pentium II

- Possui 32 KB de cache L1 e 512 KB de cache L2 embutida no módulo SEC.



Pentium II



Pentium II

- É produzido utilizando duas tecnologias diferentes.
 - As versões até 300 MHz (arquitectura *Klamath*) utilizam uma técnica de fabrico de 0.35 micron, suportando um FSB de 66 MHz e utilizando uma interface *slot1* de 242 contactos.
 - As versões a partir de 333 MHz (arquitectura *Deschutes*) utilizam uma técnica de fabrico de 0.25 micron, que garante uma maior dissipação de calor, ocasionando uma maior durabilidade e confiabilidade do processador. Suportam um FSB de 100 MHz e utilizam uma interface *slot2*.

Pentium II XEON

- Lançado pela Intel em 1998.
- O Pentium II XEON constitui uma melhoria do Pentium II com uma **cache L2** maior (até 2 MB), funcionando à **velocidade do processador**.
- Velocidades de funcionamento de 400MHz (100 MHz) e 450MHz (100 MHz).
- Encapsulamento SEC330.
- Conector Slot2 de 330 contactos.

Pentium II XEON

- Pode funcionar com vários processadores na mesma motherboard
 - Especificação SMP (*Symmetric MultiProcessing*), que se caracteriza pela divisão da carga de processamento entre os diversos processadores
- Verificação e correção de erros ECC (*Error Checking and Correcting*) que ocorram em qualquer transacção desencadeada nos bus FSB e BSB.
 - Para além de detectar erros nos dados, também os corrige.
 - Incorpora a verificação de redundância funcional (FRC – *Functional Redundancy Checking*), com o objectivo de confirmar a integridade do processamento efectuado pelo processador “mestre” por parte do processador “verificador” (no caso de múltiplo processamento).

Pentium II XEON

- Incorpora também um sensor térmico que permite que o sistema faça a sua própria gestão térmica, tendo em conta o seu grau de aquecimento.



Pentium III

- Lançado pela Intel em 1999.
- Registros de 64 bits.
- Bus de dados de 64 bits.
- Bus de endereços de 36 bits (64 GB de memória física).
- Possuía cerca de 9,5 milhões de transístores.

Pentium III

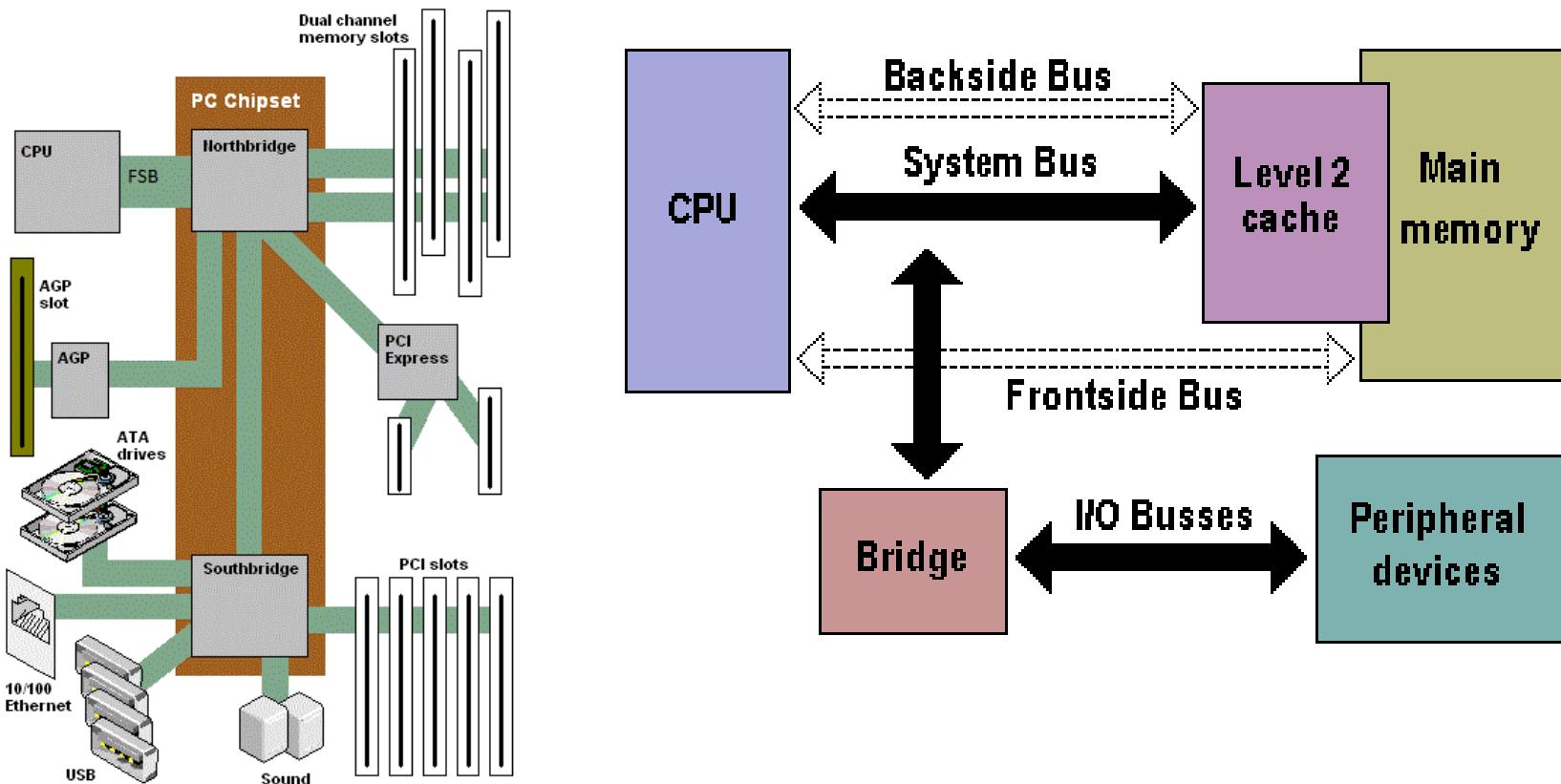
- Incorporam um conjunto de 70 novas instruções multimedia **SSE** (*Streaming SIMD Extensions*).
 - 50 objectivavam melhorar o desempenho de operações de vírgula flutuante;
 - 12 (*New Media*) destinavam-se a complementar as 57 instruções MMX;
 - 8 (*New Cacheability*) controlavam a cache L1, aumentando a sua eficiência.

Pentium III

- Contempla a **funcionalidade DIB** (herdada do Pentium II e do Pentium Pro), que consiste na existência de dois bus independentes que permitem ao processador aceder simultaneamente à memória principal e à cache L2.
- Suporta também a verificação e correcção de erros ECC.

Pentium III - Dual Independent Bus

From Computer Desktop Encyclopedia
© 2005 The Computer Language Co., Inc.



Pentium III

- Possui uma cache L1 de 32 KB
- Possui uma cache L2 de 512KB fora do núcleo do processador (Pentium III Katmai) ou 256 KB de Cache de Transferência Avançada (*ATC - Advanced Transfer Cache*), integrada no núcleo (a partir do Pentium III Coppermine).
- Permite processamento simétrico
 - Funcionar em sistemas com mais de um processador.

Pentium III

- “Pentium III clássicos”

- Frequências de funcionamento dos 450 MHz aos 600 MHz.
- Memória cache L1 de 32 KB.
- Bus externo de 100 MHz. É suportado por ambos os chipsets: 440ZX (FSB de 66 MHz) e 440 BX (FSB de 100 MHz).
- Núcleo do processador com 9.5 milhões de transístores.

Pentium III

- “Pentium III clássicos”
 - Utilizam a arquitectura Katmai
 - Tecnologia de fabrico de 0.25 µm;
 - Tensão de alimentação do núcleo de aproximadamente 2 V;
 - Cache L2 de 512 KB fora do núcleo funcionando a metade da sua frequência;
 - Utiliza o encapsulamento SECC2 e o encaixe Slot 1.

Pentium III

- “Pentium III B”
 - Apresentam um conjunto de características semelhantes aos “clássicos”, mas com algumas diferenças:
 - Frequências de funcionamento dos 533 MHz aos 600 MHz
 - Pode suportar um bus de 100 MHz ou um de 133 MHz
 - Utilizam a arquitectura Katmai
 - Utiliza o encapsulamento SECC2 e o encaixe Slot 1

Pentium III

- “Pentium III E (*Enhanced*)”
 - Frequências de funcionamento dos 533 MHz aos 1100 MHz, não suportando o bus de 133 MHz.
 - Utilizam a arquitectura Coppermine
 - Tecnologia de fabrico de 0.18 µm;
 - Incorpora transístores mais pequenos;
 - Tensão de alimentação de 1.65 V;
 - Integração da cache L2 no seu núcleo, ainda que em menor quantidade (256 KB *Advanced Transfer Cache*);
 - Podem utilizar o conector Slot 1 ou o conector Socket 370 e encapsulamento SECC2 ou FC-PGA;

Pentium III

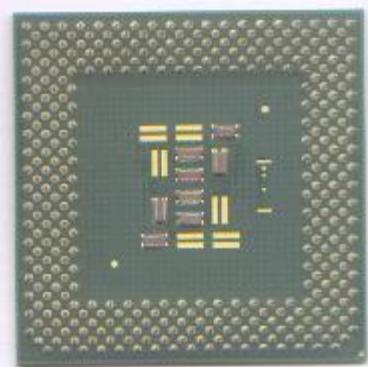
- “Pentium III EB (*Enhanced Bus*)”
 - Frequências de funcionamento dos 533 MHz aos 1130 MHz
 - Suportam um bus de 133 MHz
 - Utilizam a arquitectura Coppermine
 - Todas as versões utilizam a conector Socket 370 e o encapsulamento FC-PGA.
 - As versões de 866, 933 e 1000 MHz também utilizam o encapsulamento FC-PGA2.

Pentium III

- “Pentium Tualatin”
 - Frequências de funcionamento dos 1133 MHz aos 1333 MHz
 - Suportam um bus de 133 MHz
 - Utilizam uma tecnologia de fabrico de 0.13 µm
 - Possui um encapsulamento do tipo FC-PGA2

Pentium III

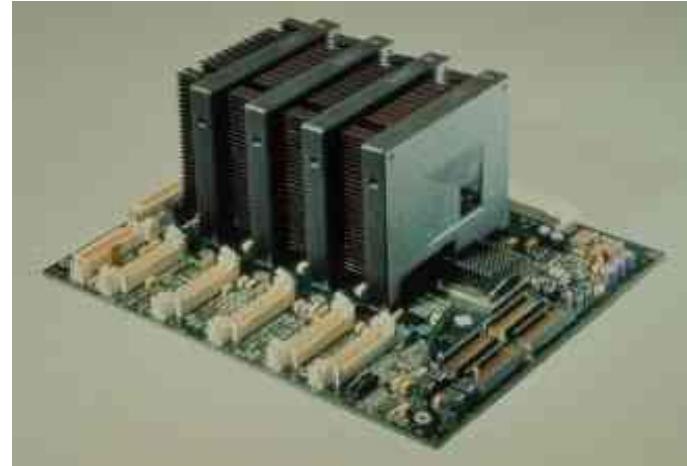
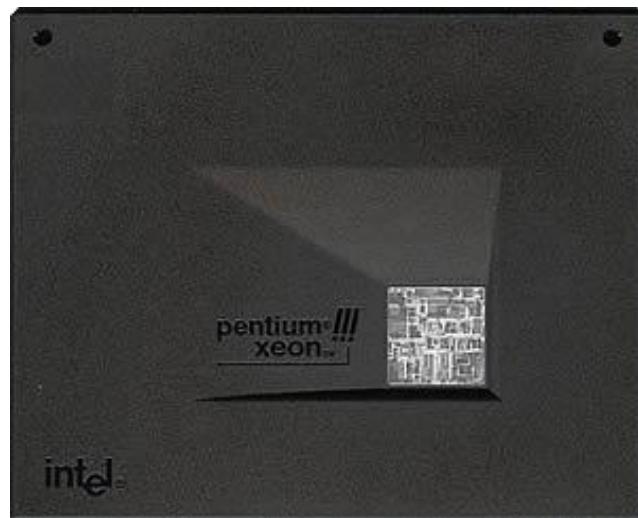
- O processador sofreu alterações na sua estrutura física.



Pentium III XEON

- Lançado pela Intel em 1999.
- O Pentium III XEON constitui uma melhoria do Pentium III com uma cache L2 maior (até 2 MB), funcionando à velocidade do processador.
- Velocidades de funcionamento de 500 MHz (100 MHz), 550 MHz (100 MHz), 600 MHz (133 MHz), 667 MHz (133 MHz), 700 MHz (100 MHz), 733 MHz (133 MHz), 800 MHz (133 MHz), 866 MHz (133 MHz), 900 MHz (100 MHz), 933 MHz (133 MHz) e 1000 (133 MHz).

Pentium III XEON



Pentium IV

- Lançado pela Intel em 2000.
- FSB de elevada frequência
 - Trata-se de um bus de 100 MHz, 133MHz ou 200 MHZ que a executar quatro vezes mais transacções por ciclo se traduz em velocidades de funcionamento de 400, 533 ou 800 MHz.
- Possui cerca de 42 milhões de transístores.
- Socket 423 e Socket 478.
- Encapsulamento do tipo FC-PGA2 e conector Socket 423 ou Socket 478.

Pentium IV

- Microarquitectura NetBurst®
 - Instruções SSE2 (*Streaming SIMD Extensions 2*)
 - Execução Dinâmica avançada
 - Unidade Multimédia e de Vírgula Flutuante avançada
 - Tecnologia HyperPipeline
 - Motor de execução rápida
 - Cache avançada de Transferência

Pentium IV

- Instruções SSE2 (*Streaming SIMD Extensions 2*)
 - Para além das instruções MMX e SSE, adiciona 144 novas instruções multimédia de última geração, para optimizar código orientado para áudio, vídeo e reconhecimento de voz.
- Execução Dinâmica avançada
 - Usa um motor de execução avançado que mantém as unidades de execução sempre ocupadas, permitindo ao sistema manter em actividade até 126 instruções (em oposição às 42 do Pentium III).

Pentium IV

- Tecnologia HyperPipeline
 - Duplica o número de estágios do Pipeline do Pentium III.
- Motor de execução rápida
 - As ALUs permitem executar duas operações por ciclo de relógio, em determinadas instruções, reduzindo os tempos de espera (latência) do sistema.

Pentium IV

- Cache avançada de Transferência (*Execution Trace Cache*)
 - Uma cache L1 de 8 kB para dados.
 - Introdução de uma *Execution Trace Cache*, que em vez de armazenar instruções em “bruto”, armazena as instruções já descodificadas e prontas para serem executadas

Pentium IV

- Inicialmente surgiu um único chipset disponível para o Pentium 4, o Intel 850 que suportava apenas memória Rambus (RDRAM)
- Posteriormente surgiram no mercado outros chipsets para o Pentium 4 com suporte para outro tipo de memórias (DDR e/ou SDR), como é o caso do chipset Intel 845.

Pentium IV (sem Hyper-Threading)

- Pentium 4 fabricados com a *arquitectura Willamette*
 - Cache L2 de apenas 256 KB
 - Tecnologia de fabrico de 0,18 μm
 - Front Side Bus de 400 MHz
- Pentium 4 fabricados com *arquitectura Northwood*
 - Cache L2 de 512 KB
 - Tecnologia de fabrico de 0,13 μm
 - Front Side Bus de 400 MHz e 533 MHz

Pentium IV (com Hyper-Threading)

- Pentium 4 fabricados com *arquitectura Prescott*
 - Cache L2 de 1 MB
 - Tecnologia de fabrico de 90 nm (tecnologia *strained silicon*)
 - Front Side Bus de 533 MHz
 - Sistema de previsão mais avançado
 - Inclusão de 13 novas instruções
 - Melhorar o desempenho da tecnologia *Hyper-Threading*
 - Assistir na resolução de cálculos aritméticos complexos
 - Acelerar várias funções multimédia

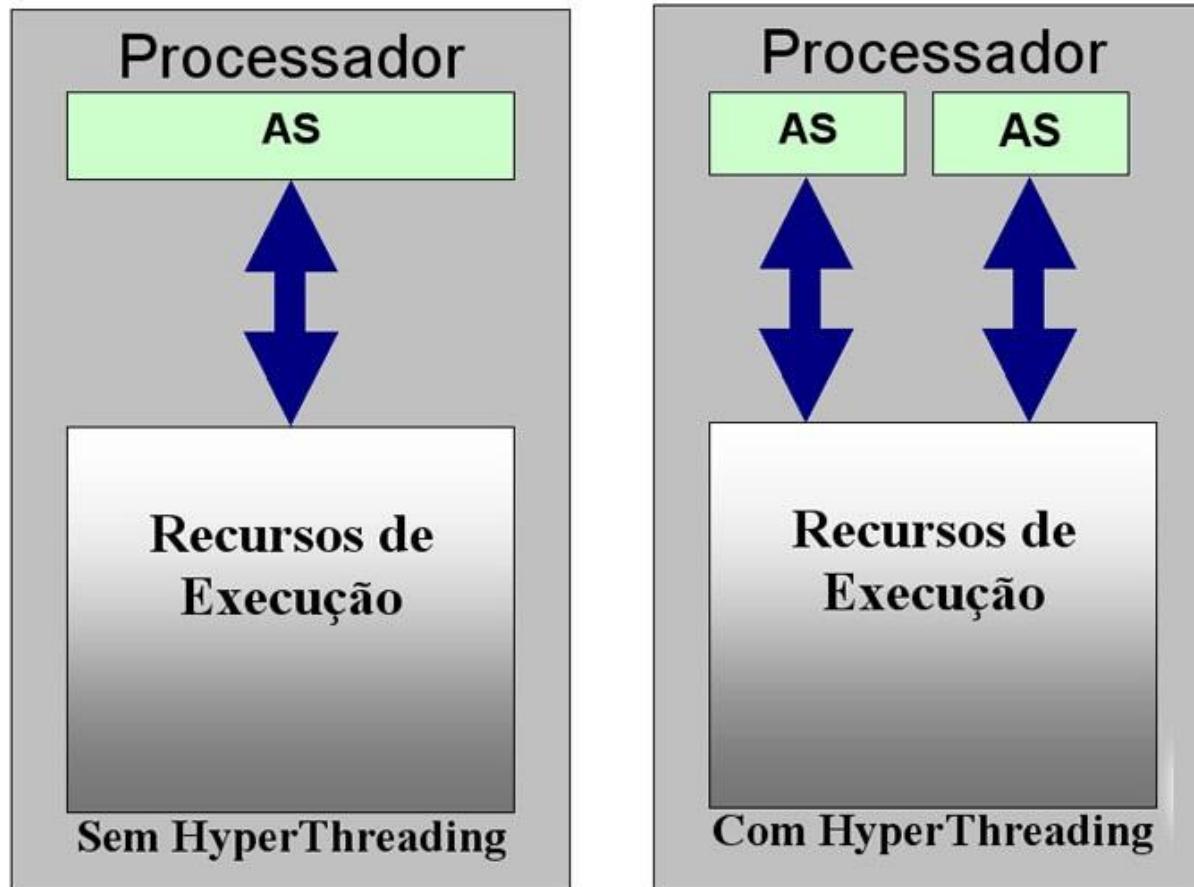
Pentium IV (com Hyper-Threading)

- Cache L2 de 512 KB, Tecnologia de fabrico de 0,13 µm e *Front Side Bus* de 800 MHz
- Cache L2 de 1 MB, Tecnologia de fabrico de 90 nm e *Front Side Bus* de 800 MHz
- Série 500
 - 1 MB de cache L2
- Série 600
 - 2MB de cache L2
 - Extensões de 64 bits
 - Segurança acrescida contra código malicioso
 - Diminuição do consumo eléctrico
 - Diminuição do ruído produzido pela ventoinha

Hyper-Threading

- A tecnologia Hyper-Threading possibilita um único processador executar dois pedaços de código distintos (chamados *threads*) simultaneamente.
- Em termos de arquitectura, um processador com tecnologia Hyper-Threading consiste em dois processadores lógicos, cada um com o seu próprio estado de arquitectura (AS - Registos e controladores).
- Após a inicialização, cada processador lógico pode ser individualmente parado, interrompido, ou ordenado a executar uma determinada *thread*, independentemente do outro processador lógico contido no *chip*.
- Ao contrário do sistema tradicional de dois processadores que usa dois processadores físicos separados os processadores lógicos de um processador com tecnologia HT partilham os recursos de execução do processador, que inclui o motor de execução, as *caches*, o *bus* de sistema, e o *firmware*.

Hyper-Threading



Pentium IV



Pentium 4 Extreme Edition

- Microarquitectura NetBurst®
- Direccionado aos utilizadores mais exigentes, no que respeita a necessidades de processamento.



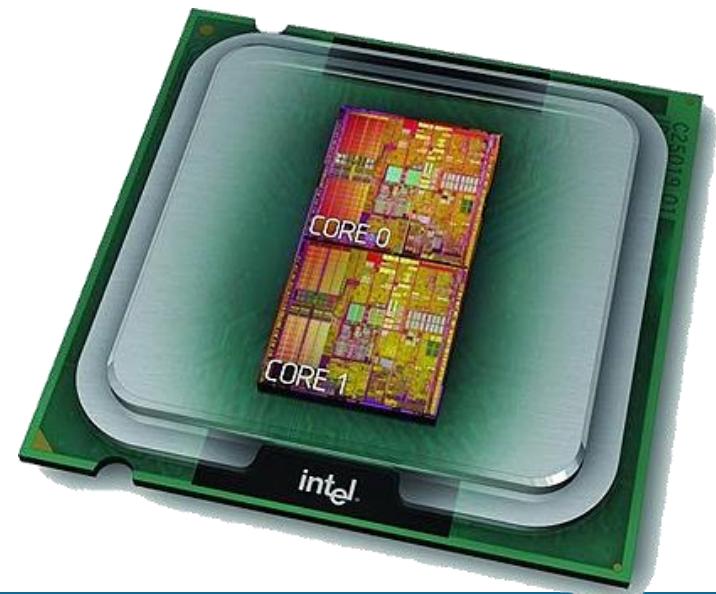
Pentium 4 Extreme Edition

- **Tecnologia de fabrico de 90 nm**
 - Cache L2 de 2 MB
 - Não possui Cache L3
 - Velocidade de 3,73 GHz
 - FSB de 1066 MHz
 - Tecnologia de **multiprocessamento virtual** (*Hyper Threading*)
- **Tecnologia de fabrico de 130 nm**
 - Cache L2 de 512 KB
 - Cache L3 de 2 MB
 - Velocidade de 3,20 a 3.46 GHz
 - FSB de 800 a 1066 MHz
 - Tecnologia de **multiprocessamento virtual** (*Hyper Threading*)

Pentium D

- **Tecnologia Dual Core**

- **Multiprocessamento real** (Dois núcleos de execução)
- Optimizado para aplicações multimédia multitarefa
- Tecnologia de fabrico de 90 nm
- *Extended Memory 64 Technology*
- Instruções SSE3
- **Memória cache partilhada**
- Série 800
 - 2 x 1 MB de cache L2
- Série 900
 - 2 x 2MB de cache L2



Core 2

- **Multiprocessamento real** (Dois núcleos de execução independentes)
- **Memória cache L2 de 4 MB partilhada**
 - *Advanced Smart Cache*
- Optimizado para aplicações multimédia multitarefa
- **Eficiência de energia**
- FSB de 1066 MHz

Core 2 Duo

- Extended Memory 64 Technology
- Wide Dynamic Execution
- Intelligent Power Capability
- Advanced Smart Cache
- Smart Memory Access
- Advanced Digital Media Boost
- Virtualization Technology
- Execute Disable bit
- Digital Thermal Sensor (DTS)



Core 2 Quad

- Multiprocessamento real (**Quatro** núcleos de execução)
- 582 milhões de transístores (291 milhões por cada par de núcleos)
- 2 x 4 MB de cache L2
 - Cada um dos pares tem 4MB de cache L2
 - Cada par de núcleos só pode aceder aos seus 4MB, a cache não é partilhada

Core 2 Quad



CPU - Core i7

Type:64-bit microprocessor

Introduction:Nov 17, 2008

Technology (micron):0.014 - 0.045

CPU cores:2 - 10

Frequency (GHz):1.06 - 4.3

L3 cache size (MB):4 - 25



CPU - Core i5

Type:64-bit microprocessor

Introduction:September, 2009

Technology (micron):0.014 - 0.045

CPU cores:2 - 6

Frequency (GHz):1.06 - 4

L3 cache size (MB):3 - 9

CPU - Core i3

Type:64-bit microprocessor

Introduction:January 7, 2010

Technology (micron):0.014 - 0.032

CPU cores:2, 4

Frequency (GHz):1.2 - 4.2

L3 cache size (MB):3 - 8

CPU - Core i9 Extreme Edition

Type:64-bit microprocessor

Introduction:May 2017

Technology (micron):0.014

CPU cores:18

Frequency (GHz):2.6

L3 cache size (MB):24.75

Core i9

UNLOCKED INTEL® CORE™ X-SERIES PROCESSOR FAMILY

Processor number ¹	Base clock speed (GHz)	Intel® Turbo Boost Technology 2.0 frequency ² (GHz)	Intel® Turbo Boost Max Technology 3.0 Frequency ³ (GHz)	Cores/threads	L3 cache	PCI express 3.0 lanes	Memory support	TDP	Socket (LGA)	RCP Pricing (1K USD)
i9-7980XE NEW	2.6	4.2	4.4	18/36	24.75 MB	44	Four channels DDR4-2666	165W	2066	\$1,999
i9-7960X NEW	2.8	4.2	4.4	16/32	22 MB	44	Four channels DDR4-2666	165W	2066	\$1,699
i9-7940X NEW	3.1	4.3	4.4	14/28	19.25 MB	44	Four channels DDR4-2666	165W	2066	\$1,399
i9-7920X NEW	2.9	4.3	4.4	12/24	16.5 MB	44	Four channels DDR4-2666	140W	2066	\$1,199
i9-7900X NEW	3.3	4.3	4.5	10/20	13.75 MB	44	Four channels DDR4-2666	140W	2066	\$999
i7-7820X NEW	3.6	4.3	4.5	8/16	11 MB	28	Four channels DDR4-2666	140W	2066	\$599
i7-7800X NEW	3.5	4.0	NA	6/12	8.25 MB	28	Four channels DDR4-2400	140W	2066	\$389
i7-7740X NEW	4.3	4.5	NA	4/8	8 MB	16	Two channels DDR4-2666	112W	2066	\$339
i5-7640X NEW	4.0	4.2	NA	4/4	6 MB	16	Two channels DDR4-2666	112W	2066	\$242

1. Intel processor numbers are not a measure of performance. Processor numbers differentiate features within each processor family, not across different processor families.

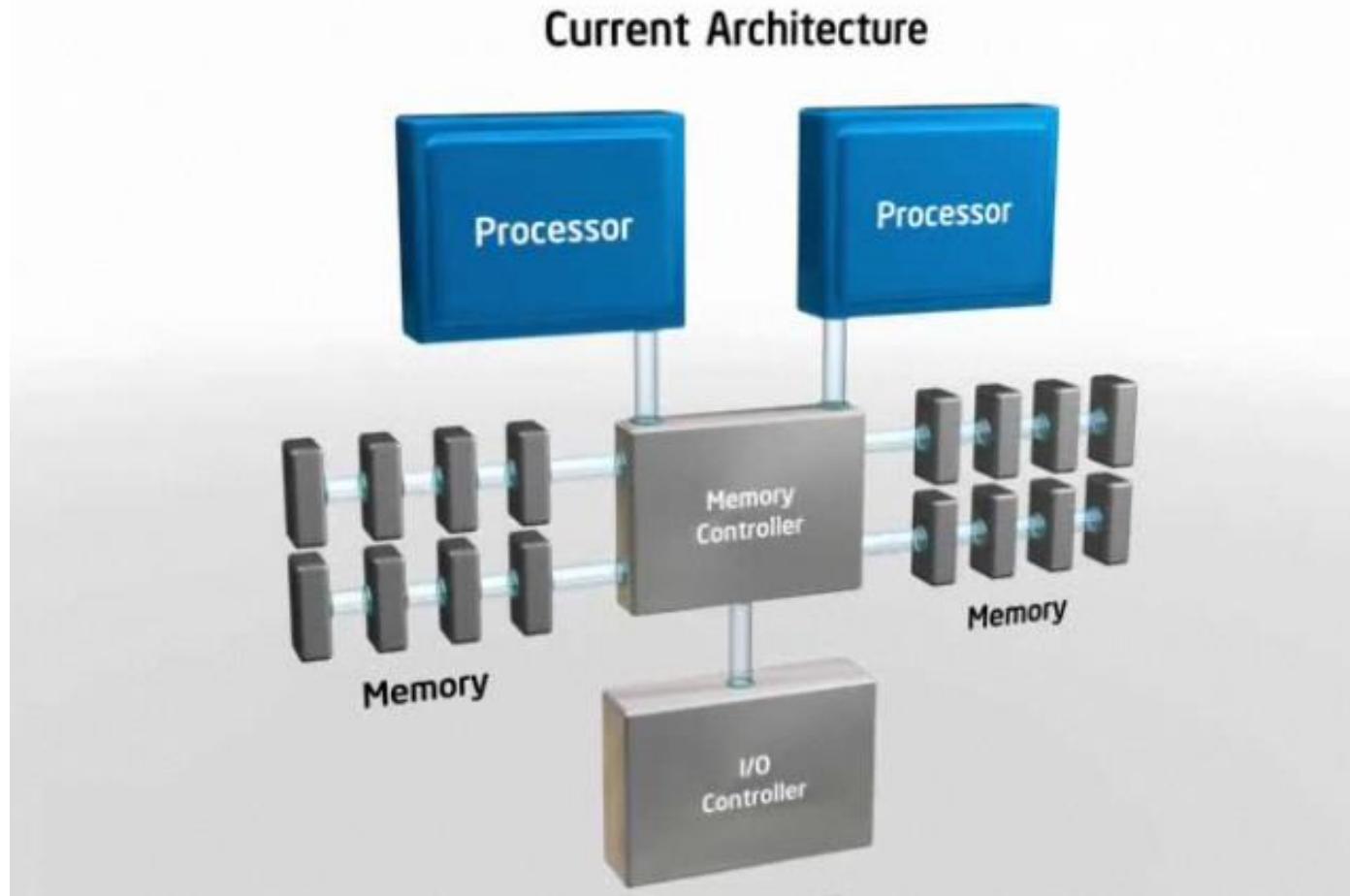
See intel.com/products/processor_number for details.

2. Refers to the maximum dual-core frequency that can be achieved with Intel® Turbo Boost Technology 2.0.

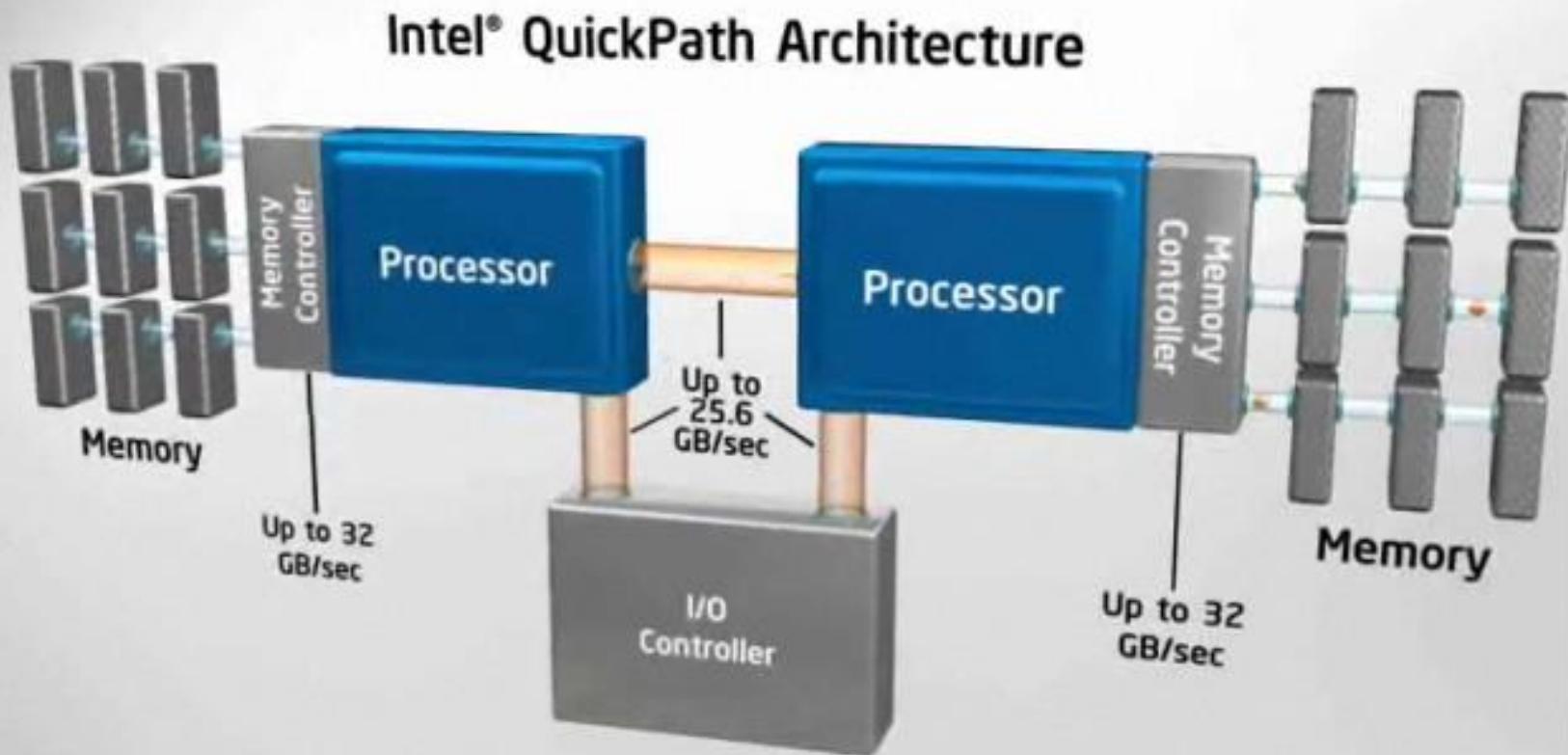
3. Refers to the maximum dual-core frequency that can be achieved with Intel® Turbo Boost Max Technology 3.0.



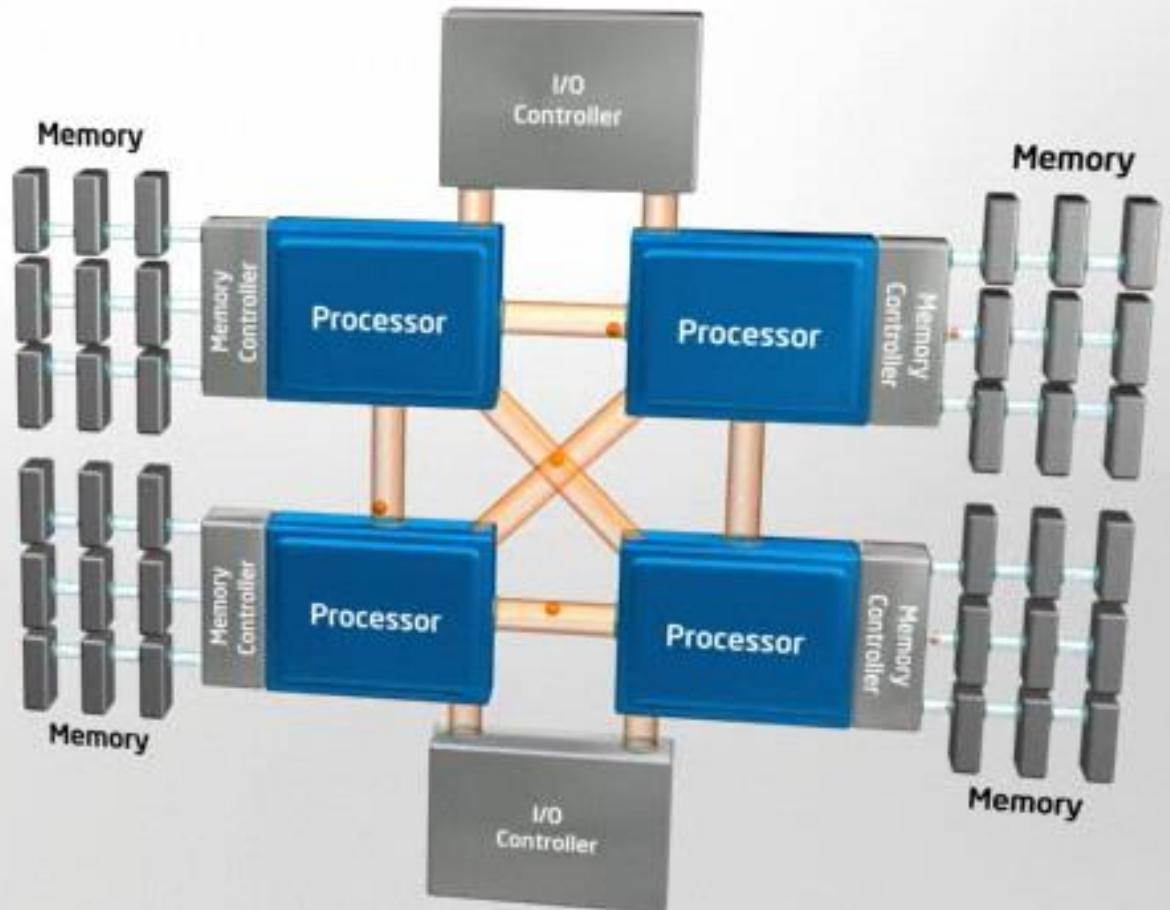
FSB (front-side bus, ou barramento frontal)



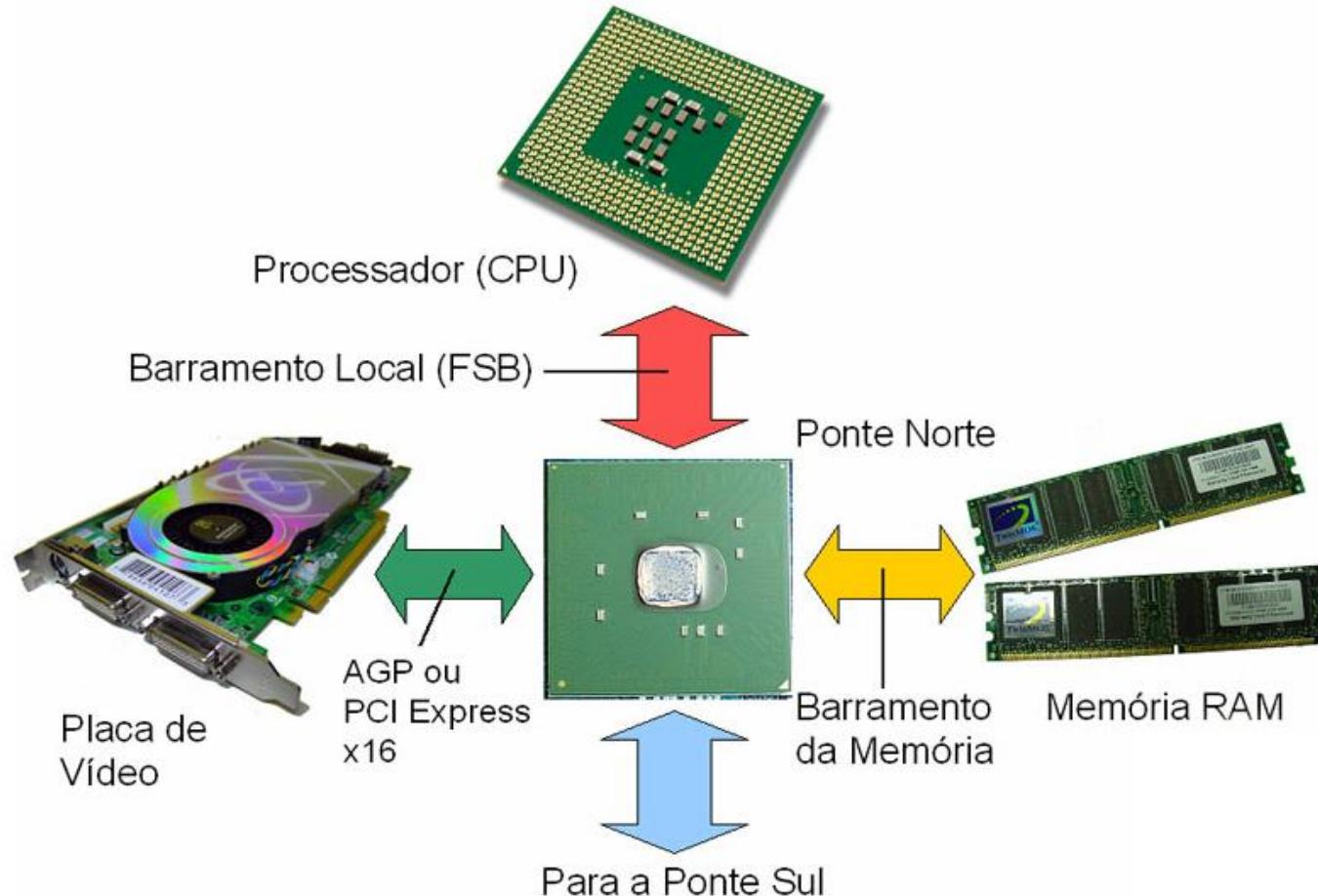
Arquitectura QuickPath - 2 núcleos



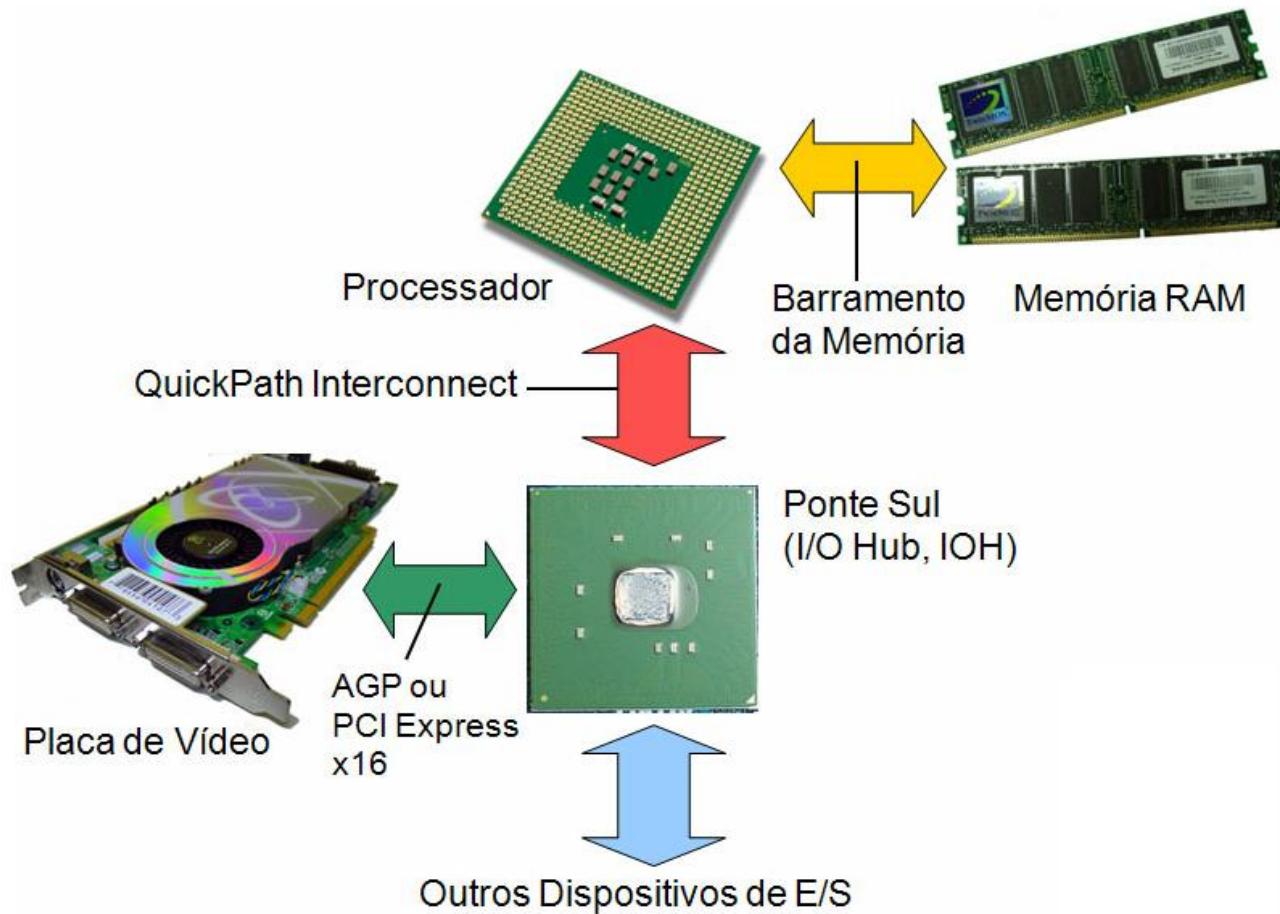
Arquitectura QuickPath - 4 núcleos



Barramento FSB



Barramento QuickPath



FSB - front-side bus

- O FSB (front-side bus, ou barramento frontal), tem sido utilizado desde os primeiros processadores Intel.
- Consiste um barramento compartilhado, que liga o processador ao chipset.
- Como é usado não apenas para a comunicação entre os núcleos do processador e a memória, mas também para a comunicação entre os 2 ou 4 núcleos do processador, acaba por estrangular o acesso à memória, prejudicando o desempenho do sistema.

QuickPath

- O QuickPath, resolveu o problema, substituindo o FSB por um novo barramento composto por links independentes que operam a 4.8 ou 6.4 GT/s (a sigla "GT/s" indica o volume de transacções por segundo, diferente de "GHz", que indica o clock), com a transmissão de 16 bits de dados em cada direcção por ciclo, resultando num barramento de 9.6 ou 12.8 GB/s em cada direcção (25.6 GB/s no total) por linha de dados.