

Nombre:

DNI:

Grupo:

Sobre 10, cada respuesta vale 2 si es correcta, 0 si está en blanco o claramente tachada, y -2/3 si es errónea.
Anotar las respuestas (**a, b, c o d**) en la siguiente tabla.

1	2	3	4	5
a	c	b	b	d

- Respecto a los conceptos de procesador de E/S, canal de E/S, dispositivos de E/S:
 - Un procesador o canal tiene un repertorio de instrucciones específico para manejar los dispositivos E/S **ver T5 tr.5**
 - Cada canal es una línea de comunicación entre el procesador y un dispositivo de E/S.
 - Al conjunto de conexiones entre el procesador y los dispositivos se le denomina canal de E/S (de ese ordenador)
 - La pregunta es capciosa, el procesador no es E/S, son otros dos componentes von Neumann distintos (ALU+UC)
- Respecto a las técnicas de direccionamiento por selección lineal, decodificación centralizada y distribuida:
 - Todas ellas impiden que haya cortocircuito en el bus de datos
 - Todas ellas impiden que haya cortocircuito en el bus de direcciones
 - La selección lineal permitiría escribir un mismo dato a varios puertos E/S **ver Tema5 tr.7-9**
 - Usando decodificación centralizada es más fácil realizar expansiones al sistema de E/S
- Respecto a las operaciones de lectura y escritura, con temporización síncrona o asíncrona: **ver Tema5 tr.11-16**
 - En lectura síncrona, el procesador pone dirección y datos en los buses correspondientes, y espera a que se active una señal de conformidad ACK por parte del dispositivo direccionado **datos no (ACK tampoco)**
 - En escritura síncrona, el procesador pone dirección y datos en los buses correspondientes (y también los retira de los buses) en instantes de tiempo determinados por el reloj del bus **ok**
 - En lectura asíncrona, el procesador pone los datos en el bus de datos, y espera a que se active una señal de conformidad ACK por parte del dispositivo direccionado **datos no**
 - En escritura asíncrona, el procesador pone la dirección en el bus de direcciones (y también la retira) en instantes de tiempo determinados por el reloj del bus **reloj bus no**
- Respecto a si un computador dispone de E/S independiente (separada) y/o usa E/S mapeada a memoria: **Tema5 tr.21-28**
 - Si el encapsulado (chip) del procesador tiene patilla (pin) IO/M# (o patillas equivalentes), eso evidencia que el computador usa E/S mapeada a memoria **dispone de E/S separada, otra cosa es que se use o no**
 - Si el repertorio del procesador tiene instrucciones del tipo IN y OUT, es que el computador dispone de E/S separada
 - Si el encapsulado del procesador no dispone de patilla IO/M# (ni equivalentes), el computador sólo dispone de E/S separada **E/S mapeada siempre disponible, otra cosa es si se usa o no**
 - Si el repertorio del procesador tiene instrucciones del tipo LOAD y STORE, el computador sólo dispone de E/S mapeada a memoria **puede tener además IN y OUT para E/S separada**
- Alguna de las siguientes *no* es una ventaja de la E/S independiente (separada, aislada)
 - Decodificación de memoria más elegante, limpia, sencilla (E/S mapeada añade complejidad a la decodificación)
 - Protección de E/S más fácil (E/S mapeada añade dificultad a la protección de E/S)
 - Mayor aprovechamiento del espacio de memoria (E/S mapeada resta espacio a la memoria)
 - Diseño del procesador más sencillo (E/S mapeada añade complejidad al diseño) **ver Tema5, tr.23,25**