

ARQ1 - Recuperação 02

Tema: Circuitos sequenciais e máquinas de estados finitos

Exercícios:

Dada a tabela para uma máquina de Mealy abaixo:

estado	entrada x=0/saída	entrada x = 1/saída
>00	00 / 0	01 / 0
01	10 / 0	00 / 0
10	00 / 0	11 / 1
11	vv / v	ww / w

Determinar as equações e implementar os circuitos equivalentes em Verilog e no Logisim:

OBS.: Definir módulos de testes para as expressões em Verilog.

- expressão simplificada por mintermos para Da
- expressão simplificada por MAXTERMS para Db
- expressão simplificada por mintermos para JaKa (SR)
- expressão simplificada por MAXTERMS JbKb (SR)
- expressão simplificada por mintermos para Ta
- expressão simplificada por MAXTERMS para Tb

02.) Dada a expressão PoS (1,3,6,7)

- expressão simplificada por mintermos
- expressão SoP em Verilog, com módulo de testes
- expressão PoS em Verilog, com módulo de testes

03.) Implementar no Logisim um circuito com dois *flip-flops* JK montados em sequência tal que $J = K = 1$ (modo **toggle**) , clock2 = Q1.

04.) Implementar no Logisim um circuito com dois *flip-flops* JK montados em sequência tal que $J2 = Q1$, $K2 = Q1'$.

05.) Implementar no Logisim um circuito com dois *flip-flops* D montados em sequência tal que $J1 = Q2'$, $K1 = Q2$, $J2 = Q1$ e $K2 = Q1'$.

EXTRAS

06.) Implementar no JFLAP a seguinte máquina de Turing:

ab	x	ab	s	m		ab	x	ab	s	m		ab	x	ab	s	m
00	0	00	0	R		01	0	00	0	L		10	0	10	1	L
00	1	00	1	R		01	1	10	1	L		10	1	10	0	L
00	#	01	#	L		01	#	01	#	S		10	#	10	#	S

07.) Implementar um contador módulo 33 e simular no Logisim.