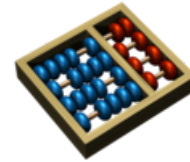




Universidade Estadual de Campinas  
Instituto de Computação  
MO601 – Arquitetura de Computadores II  
Prof. Rodolfo Jardim de Azevedo



## Projeto 1

# Um simulador super básico de circuitos lógicos

Rubens de Castro Pereira  
RA: 217146

Campinas - SP  
28 de março de 2023

# Índice

<b>1</b>	<b>Introdução</b>	<b>2</b>
<b>2</b>	<b>Descrição geral</b>	<b>2</b>
<b>3</b>	<b>Ambiente de Desenvolvimento</b>	<b>3</b>
<b>4</b>	<b>Algoritmo de Simulação</b>	<b>3</b>
<b>5</b>	<b>Testes</b>	<b>3</b>
<b>6</b>	<b>Considerações sobre o aprendizado neste projeto</b>	<b>3</b>

# 1 Introdução

Este relatório tem o propósito de apresentar o resultado do projeto 1 da disciplina "MO601 - Arquitetura de Computadores II" ministrada pelo Prof. Rodolfo Jardim de Azevedo, cujo objetivo é a implementação e testes de um simulador super básico de circuitos lógicos.

A seção 2 apresenta a descrição geral do projeto, a seção 3 relaciona as tecnologias utilizadas no ambiente de desenvolvimento, a seção 4 apresenta o algoritmo de simulação do circuito lógico, a seção 5 detalha como os testes foram realizados e, ao final, as considerações sobre o aprendizado.

## 2 Descrição geral

O propósito deste projeto é implementar um simulador básico de circuitos lógicos considerando as portas lógicas, os estímulos de entrada e o tipo de atraso em cada simulação.

As portas lógicas possíveis são AND, OR, NOT, NAND, NOR e XOR. Os estímulos podem ser variáveis ou indicadores de tempo. As variáveis indicam os valores dos seus sinais de entrada (0 ou 1) durante a simulação do circuito lógico sendo permitida até 24 variáveis distintas identificadas pelas letras do alfabeto do idioma português. Os indicadores de tempo são identificados com o caractere "+" seguido de um número inteiro qualquer  $n$ , significando que deve-se avançar  $n$  tempos de simulação.

O comportamento do simulador considera dois tipos de atraso: a) atraso 0 (*delay 0*) indicando que as portas lógicas operam no mesmo tempo da simulação em curso; ou b) atraso 1 (*delay 1*) onde as portas lógicas operarão com atraso de **um** tempo de simulação e, portanto, os sinais de entrada nas portas lógicas serão aqueles sinais do tempo imediatamente anterior ao tempo atual da simulação.

Para cada unidade de tempo da simulação, deve-se emitir uma saída com uma lista contendo o valor do tempo da simulação e os valores de cada variável.

Para o encerramento de uma simulação específica, será considerada como condição de parada a produção de duas saídas exatamente iguais, indicando que o circuito não possui estímulos a processar e que todas as portas lógicas também processaram seus sinais levando em conta o tipo do atraso do circuito. O encerramento da simulação significa que o circuito estabilizou e que não haverá nenhuma nova saída diferente das anteriores.

Para testar o simulador, vários cenários de teste são fornecidos contendo diferentes circuitos lógicos e estímulos de entrada. Para cada cenário de teste são executadas as principais etapas abaixo:

1. Criação do circuito com suas respectivas portas lógicas.
2. Processamento de todos os estímulos com atraso 0 (sem atraso).
3. Geração da saída da simulação com atraso 0.
4. Processamento de todos os estímulos com atraso 1.
5. Geração da saída da simulação com atraso 1.

### 3 Ambiente de Desenvolvimento

O ambiente de desenvolvimento do simulador está organizado e utiliza as seguintes tecnologias:

- Operational System: Windows 10
- Integrated Development Environment (IDE): Visual Studio Code (VS Code) version 1.76.2
- Linguagem de programação: Python versão 3.9.5
- Pacotes Python: OS e Pandas

### 4 Algoritmo de Simulação

O algoritmo que representa a simulação do circuito lógico é apresentado no *algorithm 1*.

### 5 Testes

O teste do projeto foi organizado em pastas específicas de cada teste, localizadas na pasta */test* da raiz do projeto *RCP-MO601-Project-01*. Cada pasta específica representa um teste no qual se especifica o circuito lógico desejado (*circuito.hdl*), os estímulos (*estimulos.txt*) a serem processados ao longo do tempo (valores de variáveis e/ou indicadores de tempo), os arquivos com as saídas esperadas (*esperado0.csv* e *esperado1.csv*) e os arquivos resultantes da simulação (*saida0.csv* e *saida1.csv*).

Novos testes podem ser adicionados à pasta principal de testes, contudo o simulador exige a presença dos arquivos (*circuito.hdl*), os estímulos (*estimulos.txt*).

Durante a simulação dos testes, conforme pode-se observar no *algorithm 1*, todas as pastas de testes específicos são consideradas, seus arquivos de entrada são processados e os resultados (saídas) são armazenados nas mesmas.

### 6 Considerações sobre o aprendizado neste projeto

O assunto tratado nesse projeto é muito diferente dos temas que venho trabalhando nas últimas três décadas de desenvolvimento de sistemas de informação. Contudo, desafios são excelentes oportunidades de aprendizado, fixação de novos conceitos e exploração de tecnologias e ferramentas.

Neste projeto foi possível apreender conhecimentos principalmente relacionados à área de arquitetura de computadores com destaque ao conceito de atraso em circuitos lógicos e funcionamento das portas lógicas, elementos muitos simples, mas combinadas entre si podem produzir resultados interessantes e importantes.

A compreensão do conceito de atraso no circuito lógico aplicado às portas lógicas ao mesmo tempo que os sinais de entrada das variáveis são inseridos, representou o ponto mais relevante deste trabalho. Embora houveram dificuldades no início, mas após estudos e diálogos com o professor, foi possível compreender a ideia do atraso e, sabe-se que quando entendemos a definição de um problema, boa parte de sua resolução está encaminhada.

Outro ponto de destaque é o uso de novas ferramentas para a entrega do trabalho combinando os produtos de GitHub e Docker, atualmente ferramentas de ampla utilização não somente no meio acadêmico mas no âmbito organizacional e empresarial.

Ressalto dois pontos importantes para o sucesso do trabalho: 1) a especificação do projeto está muito bem detalhada possibilitando pleno entendimento do trabalho a ser desenvolvido e das entregas esperadas; e 2) elevada disponibilidade do professor no atendimento aos alunos.

Por fim, destaco que os resultados alcançados nesse projeto são fruto da combinação de uma completa especificação do projeto, boa disponibilidade do professor em esclarecer e colaborar com o estudante, elevada dedicação no desenvolvimento do projeto conforme especificado e foco na entrega do produto e prazo esperados.

---

**Algorithm 1:** Algoritmo do simulador de circuito lógico super simples

---

**Entrada:** *circuito.hdl, estímulos.txt*

**Saída:** *saida0.csv, saida1.csv*

```
1 ExecutarSimulação(circuito, estímulos, atraso) begin
2   inicializar circuito atribuindo valor 0 a todas as variáveis
3   inicializar indicador de tempo da simulação
4   0 circuito estabilizará quando duas saídas consecutivas forem iguais.
5   while circuito não estabilizar do
6     foreach estimulo do
7       if variavel then
8         atribuir valor lido à respectiva variável
9         retornar para ler novo estímulo
10      else
11        Processar conforme a quantidade de indicador de tempo
12        while circuito não estabilizar do
13          calcular portas lógicas do circuito conforme o atraso (quando atraso
14            0, utilizar os valores do tempo atual nas entradas das portas lógicas
15            e quando atraso 1, utilizar os valores do tempo de simulação
16            anterior nas entradas das portas lógicas).
17          end
18          gerar saída utilizando o tempo atual da simulação e os valores de todas
19            as variáveis do circuito
20        end
21      end
22      incrementar indicador de tempo da simulação
23    end
24  end
25
26 Programa principal - Gerencia a execução da simulação dos testes
27 foreach teste específico do
28   ler dados de entrada
29   criar circuito
30
31   ExecutarSimulação(circuito, estímulos, 0)
32   gerar saída da simulação do circuito com atraso 0 (saida0)
33
34   ExecutarSimulação(circuito, estímulos, 1)
35   gerar saída da simulação do circuito com atraso 1 (saida1)
36 end
```

---