module abs(a,b);

input [15:0] a;

output [15:0] b;

wire [15:0]a;

reg [15:0]b;

always@(a,b)

begin

if(a[15]==1'b1)

b[15:0]={1'b0,a[14:0]};

else b[15:0]=a[15:0];

end

endmodule