module mul\_1bittest;

reg a;

reg b;

reg clk;

wire p;

mul\_1bit FF(a,b,clk,p);

initial begin

a=1'b1;b=2'b0;

#1000 a=2'b1;b=2'b1;

end

initial

begin

clk=1'b1;

forever #50 clk=~clk;

end

endmodule