

## IMT2112 - Algoritmos Paralelos en Computación Científica

Pipelining

Elwin van 't Wout

13 de agosto de 2019



PONTIFICIA  
UNIVERSIDAD  
CATÓLICA  
DE CHILE

Facultad de Matemáticas • Escuela de Ingeniería

imc.uc.cl

# Agenda

- Arquitecturas secuenciales de computadoras
  - ¿Cómo ejecuta una unidad de procesamiento las instrucciones?

# Motivación

- Optimizar su código es más fácil cuando comprende cómo funciona una computadora
- La arquitectura del procesador impacta el rendimiento de los códigos ejecutados en los clústeres paralelos

# Motivación

¿Qué significa *peak performance*?

[www.top500.org](http://www.top500.org)

Rank	Site	System	Cores	Rmax (TFlop/s)	Rpeak (TFlop/s)	Power (kW)
1	DOE/SC/Oak Ridge National Laboratory United States	<b>Summit</b> - IBM Power System AC922, IBM POWER9 22C 3.07GHz, NVIDIA Volta GV100, Dual-rail Mellanox EDR Infiniband IBM	2,414,592	148,600.0	200,794.9	10,096
2	DOE/NNSA/LLNL United States	<b>Sierra</b> - IBM Power System S922LC, IBM POWER9 22C 3.1GHz, NVIDIA Volta GV100, Dual-rail Mellanox EDR Infiniband IBM / NVIDIA / Mellanox	1,572,480	94,640.0	125,712.0	7,438
3	National Supercomputing Center in Wuxi China	<b>Sunway TaihuLight</b> - Sunway MPP, Sunway SW26010 260C 1.45GHz, Sunway NRCPC	10,649,600	93,014.6	125,435.9	15,371
4	National Super Computer Center in Guangzhou	<b>Tianhe-2A</b> - TH-IVB-FEP Cluster, Intel Xeon E5-2692v2 12C 2.2GHz,	4,981,760	61,444.5	100,678.7	18,482

# La arquitectura de Von Neumann

- El primer principio es que las instrucciones se manejan como datos
- El segundo principio es manejar instrucciones como la secuencia
  - *fetch*
  - *execute*
  - *store*

# La arquitectura de Von Neumann

- Una instrucción requiere cinco etapas, llamados 'ciclos'
  1. *Instruction fetch*
  2. *Instruction decode*
  3. *Memory access*
  4. *Execution*
  5. *Write-back*
- La "velocidad de reloj" o la "velocidad del procesador" es el número de ciclos por segundo
  - alrededor de 3 GHz
- El dispositivo que realiza un flop también se llama "unidad de punto flotante" (FPU) y es parte de la CPU

# Pipelining

Sección 1.2 del libro de Eijkhout

# Línea de ensamblaje



# Pipelining

Ejemplo de ‘paralelismo de nivel de instrucción’ (*instruction level parallelism*): canalización en una tubería de 5 etapas con 4 instrucciones ‘en vuelo’

Instr.	Pipeline stage							
1	IF	ID	MEM	EX	WB			
2		IF	ID	MEM	EX	WB		
3			IF	ID	MEM	EX	WB	
4				IF	ID	MEM	EX	WB
Cycle:	1	2	3	4	5	6	7	8

# Rendimiento

- Para ejecutar  $n$  instrucciones en un procesador con un pipeline de  $\ell$  ciclos y tiempo de  $\tau$  por cada ciclo:
  - El tiempo de ejecutar las instrucciones es  $t(n)$
  - La taza de producir resultados es  $n/t(n)$
- Para un sistema sin *pipelining*, tenemos  $t(n) = n\ell\tau$
- Para un sistema con *pipelining*, tenemos  
$$t(n) = (\ell + n - 1)\tau$$
- La taza asimptótica es mejor con *pipelining*

# Procesadores superescalares

- La tasa de resultados puede aumentar con la cantidad de instrucciones
- Escala superlineal de resultados con respecto al número de instrucciones
- Debido al paralelismo de nivel de instrucción
- La cantidad de resultados (instrucciones terminadas) se denomina “*throughput*” del procesador

# Rendimiento de los procesadores superescalares

- Asintóticamente, las CPUs canalizadas pueden alcanzar una tasa de resultado de 1, es decir, un resultado por ciclo de reloj
- Un *flop* por ciclo de reloj es el rendimiento máximo de una unidad de procesamiento: “*peak performance*”
- Para una frecuencia de reloj de 3 GHz, el rendimiento máximo es de 3 Gflops

# Rendimiento de los procesadores superescalares

- La lista TOP500 publica tanto rendimiento máximo (*peak performance*) como rendimiento sostenido (*sustained performance*)
  - El rendimiento máximo se puede calcular a través de las especificaciones del fabricante
  - El rendimiento sostenido es medido por el *benchmark*

# Rendimiento de los procesadores superescalares

## TOP500 List - June 2019

[www.top500.org](http://www.top500.org)

**R<sub>max</sub>** and **R<sub>peak</sub>** values are in TFlops. For more details about other fields, check the TOP500 description.

**R<sub>peak</sub>** values are calculated using the advertised clock rate of the CPU. For the efficiency of the systems you should take into account the Turbo CPU clock rate where it applies.

[previous](#) [1](#) [2](#) [3](#) [4](#) [5](#) [next](#)

Rank	Site	System	Cores	Rmax (TFlop/s)	Rpeak (TFlop/s)	Power (kW)
1	DOE/SC/Oak Ridge National Laboratory United States	<b>Summit</b> - IBM Power System AC922, IBM POWER9 22C 3.07GHz, NVIDIA Volta GV100, Dual-rail Mellanox EDR Infiniband IBM	2,414,592	148,600.0	200,794.9	10,096

# Medidas de rendimiento

- *flop*: operación de punto flotante
- *flops*: operaciones de punto flotante por segundo
- El *flop-count* como medida de rendimiento
  - fácil para el análisis teórico de algoritmos
  - aunque tiene sus limitaciones, el conteo de *flops* sigue siendo la medida más utilizada
- El acceso a la memoria suele ser mucho más lento que ejecutar instrucciones

# Observaciones

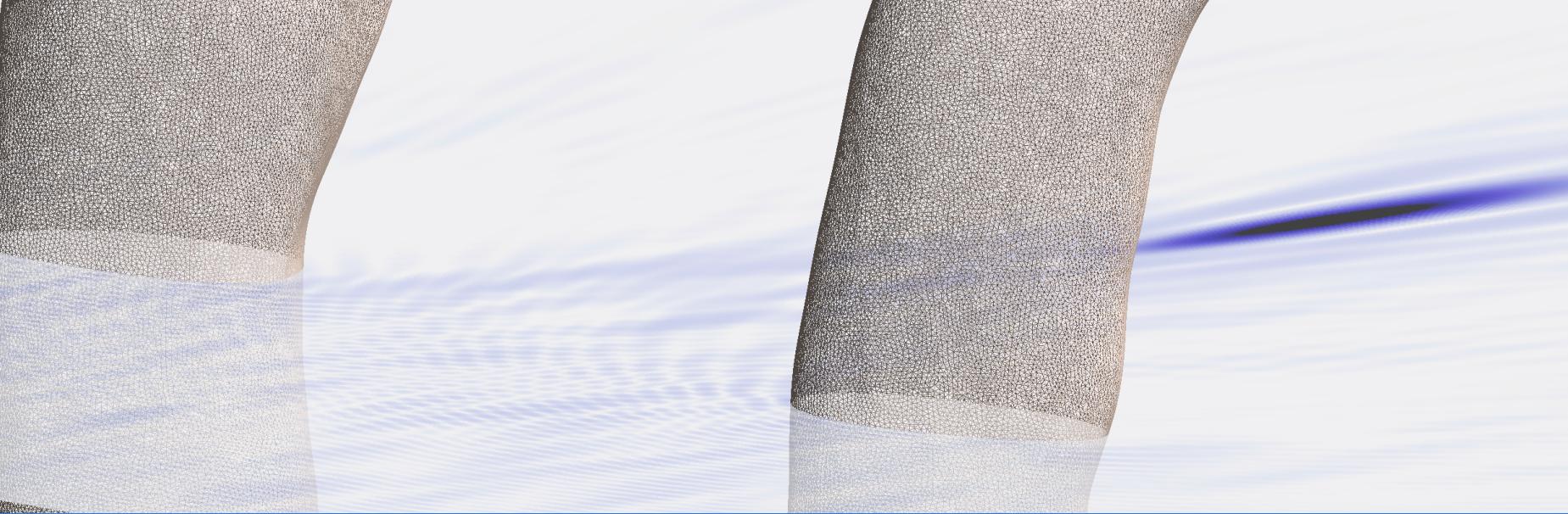
- La longitud del *pipeline* depende de la arquitectura de la máquina
- Un núcleo o procesador podría tener múltiples dispositivos para la ejecución de instrucciones
- Se basa en gran medida en que los datos y las instrucciones en la tubería son independientes
  - verificar las dependencias es costoso

# Relevancia para el programador

- El compilador y la CPU normalmente tratan el paralelismo de nivel de instrucción
- Un consejo más general: realizar la misma instrucción muchas veces en datos independientes es beneficioso para el rendimiento paralelo

# Resumen

- Paralelismo de nivel de instrucción
  - *pipelining* de las instrucciones
- Medidas de rendimiento
  - *peak performance*
  - *benchmark performance*



## IMT2112 - Algoritmos Paralelos en Computación Científica

Pipelining

Elwin van 't Wout

13 de agosto de 2019



PONTIFICIA  
UNIVERSIDAD  
CATÓLICA  
DE CHILE

Facultad de Matemáticas • Escuela de Ingeniería

imc.uc.cl