

# TALLER 4- Diseño Básico de Hardware

Universidad de los Andes  
 Juan Felipe Chaves(201217848)-Jose Giovanni Vargas (201215337  
 (jf.chaves936,jg.vargas2148)@uniandes.edu.co

**Resumen**—En el presente documento se revisará los.

**Index Terms**—Bloques

## I. DESCRIPCIÓN DE LOS SISTEMAS

### II. DIAGRAMA DE CAJA NEGRA

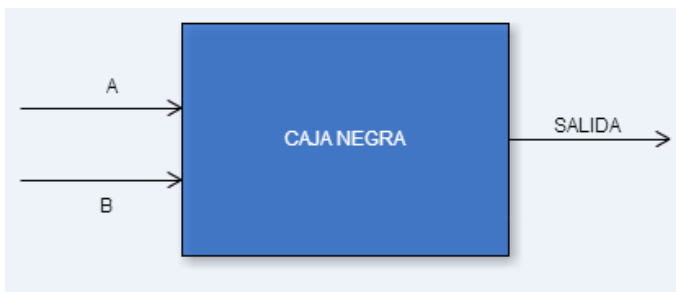


Figura 1. Diagrama de caja negra sistema general

### III. MACRO ALGORITMO

Se ingresan las entradas  $A$  y  $B$ , es decir el dividendo y el divisor, respectivamente. Se tome el bit de mayor peso en la entrada  $A$ , y se va desplazando de a un solo bit hacia la derecha. En un registro se almacena el numero que se va obteniendo al tomar los bits de la entrada  $A$ , este se compara con la entrada  $B$ . De ser mayor  $B$ , se agrega un 0 a la derecha del bit de menor peso del cociente y en la entrada  $A$  se desplaza en un bit hacia la derecha. Nuevamente se compara el numero almacenado en registro con la entrada  $B$ , de ser mayor  $B$ , se continua desplazando hacia la derecha sobre la entrada  $A$  hasta almacenar en el registro un numero mayor que  $B$ . Cuando lo anterior se cumpla, se agrega un 1 a la derecha del bit de menor peso del cociente; se resta al numero en el registro la entrada  $B$ , y este numero se guarda sobre el registro; se desplaza nuevamente una posición a la derecha sobre la entrada  $A$ , y este bit se agrega a la derecha del bit de menor peso del resultado de la diferencia entre el valor en el registro y la entrada  $B$ . El nuevo valor en registro se compara con la entrada  $B$ , y el proceso se repite hasta que en el desplazamiento se recorran todos los bits de la entrada  $A$ .

## IV. ARQUITECTURA DE LOS SISTEMAS

### IV-A. comparador

- La función del comparador no solo se limita a comparar la entrada  $B$  con el numero almacenado en el registro, sino que en el caso de que el numero almacenado sea mayor que el valor de la entrada  $B$ , resta al numero en registro la entrada  $B$ .

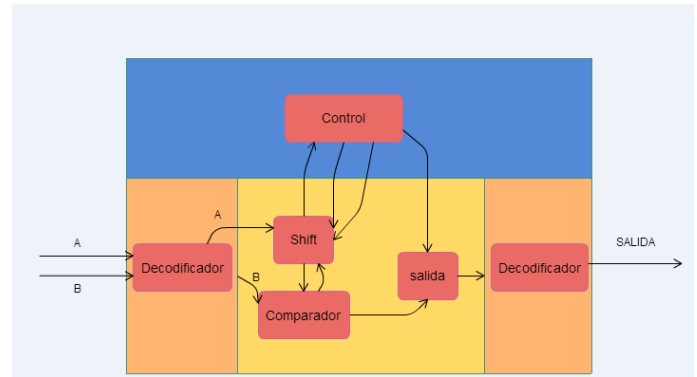


Figura 2. Diagrama de bloques, señales e interconexiones

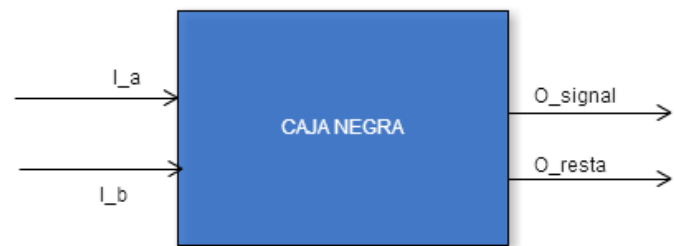


Figura 3. Diagrama de caja negra bloque comparador

- El modulo recibe dos entradas,  $I_a$  e  $I_b$ , si la entrada  $I_a$  es menor que la entrada  $I_b$ , entonces asigna en la señal de salida  $O_{signal}$  un cero lógico. En el caso de que la entrada  $I_a$  sea mayor que  $I_b$  asigna un 1 lógico en la salida  $O_{signal}$ , y en la señal  $O_{resta}$  asigna la diferencia entre la entrada  $I_a$  e  $I_b$ .
- Señales de entrada: el modulo recibe dos señales de entrada que corresponde a los valores numéricos que se requiere comparar,  $I_a$  e  $I_b$ . Señales de salida: el modulo cuenta con dos señales de salida,  $O_{signal}$  y  $O_{resta}$ . La primera corresponde a la señal de respuesta a la comparación de las entradas, la segunda es el valor numérico producto de la resta de  $I_b$  a  $I_a$ .

### IV-B. control

- La función del modulo de control consiste en manejar los estados para llevar a cabo el algoritmo general de división.



Figura 4. Diagrama de caja negra bloque de salida

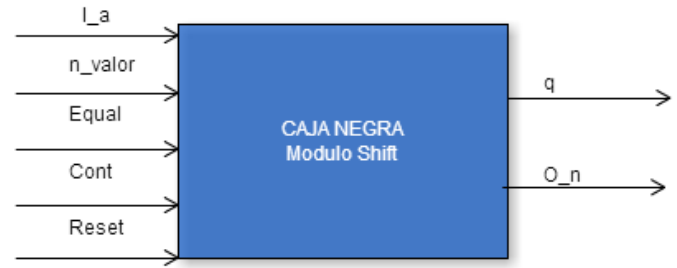


Figura 5. Diagrama de caja negra bloque shift

#### IV-C. salida

- La función del modulo se reduce a construir el cociente de la división entre  $I_a$  e .
- El modulo recibe una señal que indica si debe agregar un 0 o un 1, a la derecha del cociente almacenado en el registro. En ambos casos desplaza el numero almacenado en el registro y agrega en el bit de menor peso, el valor lógico indicado por la señal de entrada.
- Señales de entrada: el modulo recibe dos señales,  $I_a$  la entrada con la señal que indica el numero que debe agregar al cociente almacenado en registro y una señal de *reset*. Señales de salida: el modulo solo cuenta con una única señal de salida en la cual se asigna el resultado final de la división.
- 

#### IV-D. shift

- La función del modulo shift es construir un dividendo parcial al ir recorriendo el numero en la entrada  $I_a$ , el cual es el dividendo global, comenzando desde el bit de mayor peso hasta el bit de menor peso, y se deslaza de a un bit.
- El modulo recibe el numero que se desea dividir, toma el primer bit empezando por el de mayor peso, lo asigna a la salida y este pasa al comparador. Del modulo control proviene una señal que indica si el numero a la salida era mayor que la entrada  $B$ , si  $B$  es mayor, shift desplaza un bit a la derecha con el fin de aumentar el numero de asignado a la salida, y así lo compara hasta recibir una señal que le indica que el numero en la salida fue mayor que la entrada  $B$ , cuando lo anterior tiene lugar, recibe del modulo comparador el resultado de la diferencia entre el numero que asigno en la salida y  $B$ , reemplaza el dividendo parcial por esta diferencia, sigue recorriendo la entrada  $I_a$  y agrega el siguiente bit de menor peso a la derecha del numero dividendo parcial, y lo asigna nuevamente a la salida. Este proceso se repite hasta que se recorra todos los bit de la entrada  $I_a$ .
- Señales de entrada: el modulo de desplazamiento "shift-ecibe 5 entradas, tres de ellas de un solo bit, estas son reset, cont, equal. Las otras dos entradas son de  $(N-1)$  bits, donde  $N$  es el parámetro que determina el tamaño de las palabras. De las dos entradas de  $(N-1)$  bits, una corresponde al dividendo, y la segunda a la señal

proveniente del modulo comparador, es decir el resultado de la resta de numero enviado por shift a comparador y la entrada  $B$ . Señales de salida: el modulo cuenta con dos señales de salida, las cuales son  $q(N-1)$ bits y  $O_n$  de 1 bit. En la señal  $q$  se asigna el dividendo parcial que recibe el modulo comparador.

■

## V. PROCESO DE SÍNTESIS