数字IC设计经典笔试题之【IC设计基础】

**IC设计基础**

# 什么是同步逻辑和异步逻辑？

同步逻辑是时钟之间有固定的因果关系。异步逻辑是各时钟之间没有固定的因果关系。

同步时序逻辑电路的特点：

各触发器的时钟端全部连接在一起，并接在系统时钟端，只有当时钟脉冲到来时，电路的状态才能改变。改变后的状态将一直保持到下一个时钟脉冲的到来，此时无论外部输入x有无变化，状态表中的每个状态都是稳定的。

异步时序逻辑电路的特点：

电路中除可以使用带时钟的触发器外，还可以使用不带时钟的触发器和延迟元件作为存储元件，电路中没有统一的时钟，电路状态的改变由外部输入的变化直接引起。

# 同步电路和异步电路的区别：

同步电路：存储电路中所有触发器的时钟输入端都接同一个时钟脉冲源，因而所有触发器的状态的变化都与所加的时钟脉冲信号同步。

异步电路：电路没有统一的时钟，有些触发器的时钟输入端与时钟脉冲源相连，只有这些触发器的状态变化与时钟脉冲同步，而其他的触发器的状态变化不与时钟脉冲同步。

# 时序设计的实质：

时序设计的实质就是满足每一个触发器的建立/保持时间的要求。

# 建立时间与保持时间的概念？

建立时间：触发器在时钟上升沿到来之前，其数据输入端的数据必须保持不变的最小时间。

保持时间：触发器在时钟上升沿到来之后，其数据输入端的数据必须保持不变的最小时间。

# 对于多位的异步信号如何进行同步？

对以一位的异步信号可以使用“一位同步器进行同步”（使用两级触发器），而对于多位的异步信号，可以采用如下方法：1：可以采用保持寄存器加握手信号的方法（多数据，控制，地址）；2：特殊的具体应用电路结构,根据应用的不同而不同；3：异步FIFO。（最常用的缓存单元是DPRAM）

# 锁存器（latch）和触发器（flip-flop）区别？

电平敏感的存储器件称为锁存器。可分为高电平锁存器和低电平锁存器，用于不同时钟之间的信号同步。

有交叉耦合的门构成的双稳态的存储原件称为触发器。分为上升沿触发和下降沿触发。可以认为是两个不同电平敏感的锁存器串连而成。前一个锁存器决定了触发器的建立时间，后一个锁存器则决定了保持时间。

# latch与register的区别,为什么现在多用register.行为级描述中latch如何产生的？

latch是电平触发，register是边沿触发，register在同一时钟边沿触发下动作，符合同步电路的设计思想，而latch则属于异步电路设计，往往会导致时序分析困难，不适当的应用latch则会大量浪费芯片资源。

# 什么是时钟抖动？

时钟抖动是指芯片的某一个给定点上时钟周期发生暂时性变化，也就是说时钟周期在不同的周期上可能加长或缩短。它是一个平均值为0的平均变量。

# 寄生效应在IC设计中怎样加以克服和利用（这是我的理解，原题好像是说，IC设计过程中将寄生效应的怎样反馈影响设计师的设计方案）？

所谓寄生效应就是那些溜进你的PCB并在电路中大施破坏、令人头痛、原因不明的小故障。它们就是渗入高速电路中隐藏的寄生电容和寄生电感。其中包括由封装引脚和印制线过长形成的寄生电感；焊盘到地、焊盘到电源平面和焊盘到印制线之间形成的寄生电容；通孔之间的相互影响，以及许多其它可能的寄生效应。

理想状态下，导线是没有电阻，电容和电感的。而在实际中，导线用到了金属铜，它有一定的电阻率，如果导线足够长，积累的电阻也相当可观。两条平行的导线，如果互相之间有电压差异，就相当于形成了一个平行板电容器（你想象一下）。通电的导线周围会形成磁场（特别是电流变化时），磁场会产生感生电场，会对电子的移动产生影响，可以说每条实际的导线包括元器件的管脚都会产生感生电动势，这也就是寄生电感。

在直流或者低频情况下，这种寄生效应看不太出来。而在交流特别是高频交流条件下，影响就非常巨大了。根据复阻抗公式，电容、电感会在交流情况下会对电流的移动产生巨大阻碍，也就可以折算成阻抗。这种寄生效应很难克服，也难摸到。只能通过优化线路，尽量使用管脚短的SMT元器件来减少其影响，要完全消除是不可能的。

# 什么是"线与"逻辑,要实现它,在硬件特性上有什么具体要求?

线与逻辑是两个输出信号相连可以实现与的功能。在硬件上,要用oc门来实现,由于用oc门可能使灌电流过大,而烧坏逻辑门，同时在输出端口应加一个上拉电阻。oc门就是集电极开路门。od门是漏极开路门。

# 什么是竞争与冒险现象?怎样判断?如何消除?

在组合电路中，某一输入变量经过不同途径传输后，到达电路中某一汇合点的时间有先有后，这种现象称竞争；由于竞争而使电路输出发生瞬时错误的现象叫做冒险。（也就是由于竞争产生的毛刺叫做冒险）。

判断方法：

代数法（如果布尔式中有相反的信号则可能产生竞争和冒险现象）；卡诺图：有两个相切的卡诺圈并且相切处没有被其他卡诺圈包围，就有可能出现竞争冒险；实验法：示波器观测；

解决方法：

1：加滤波电容，消除毛刺的影响；2：加选通信号，避开毛刺；3：增加冗余项消除逻辑冒险。

门电路两个输入信号同时向相反的逻辑电平跳变称为竞争；

由于竞争而在电路的输出端可能产生尖峰脉冲的现象称为竞争冒险。

如果逻辑函数在一定条件下可以化简成Y=A+A’或Y=AA’则可以判断存在竞争冒险现象（只是一个变量变化的情况）。

消除方法，接入滤波电容，引入选通脉冲，增加冗余逻辑

# 你知道那些常用逻辑电平?TTL与COMS电平可以直接互连吗？

常用逻辑电平：TTL、CMOS、LVTTL、LVCMOS、ECL(EmitterCoupledLogic)、PECL(Pseudo/PositiveEmitterCoupledLogic)、LVDS(LowVoltageDifferentialSignaling)、GTL(GunningTransceiverLogic)、BTL(BackplaneTransceiverLogic)、ETL(enhancedtransceiverlogic)、GTLP(GunningTransceiverLogicPlus)；RS232、RS422、RS485(12V，5V，3.3V)；

也有一种答案是：常用逻辑电平：12V，5V，3.3V。

TTL和CMOS不可以直接互连，由于TTL是在0.3-3.6V之间，而CMOS则是有在12V的有在5V的。CMOS输出接到TTL是可以直接互连。TTL接到CMOS需要在输出端口加一上拉电阻接到5V或者12V。

用CMOS可直接驱动TTL;加上拉电阻后,TTL可驱动CMOS.

上拉电阻用途：

a、当TTL电路驱动COMS电路时，如果TTL电路输出的高电平低于COMS电路的最低高电平（一般为3.5V），这时就需要在TTL的输出端接上拉电阻，以提高输出高电平的值。

b、OC门电路必须加上拉电阻，以提高输出的高电平值。

c、为加大输出引脚的驱动能力，有的单片机管脚上也常使用上拉电阻。

d、在COMS芯片上，为了防止静电造成损坏，不用的管脚不能悬空，一般接上拉电阻产生降低输入阻抗，提供泄荷通路。

e、芯片的管脚加上拉电阻来提高输出电平，从而提高芯片输入信号的噪声容限增强抗干扰能力。

f、提高总线的抗电磁干扰能力。管脚悬空就比较容易接受外界的电磁干扰。

g、长线传输中电阻不匹配容易引起反射波干扰，加上下拉电阻是电阻匹配，有效的抑制反射波干扰。

上拉电阻阻值的选择原则包括:

a、从节约功耗及芯片的灌电流能力考虑应当足够大；电阻大，电流小。

b、从确保足够的驱动电流考虑应当足够小；电阻小，电流大。

c、对于高速电路，过大的上拉电阻可能边沿变平缓。综合考虑以上三点,通常在1k到10k之间选取。对下拉电阻也有类似道理。

OC门电路必须加上拉电阻，以提高输出的高电平值。

OC门电路要输出“1”时才需要加上拉电阻不加根本就没有高电平

在有时我们用OC门作驱动（例如控制一个LED）灌电流工作时就可以不加上拉电阻

总之加上拉电阻能够提高驱动能力。

# IC设计中同步复位与异步复位的区别？

同步复位在时钟沿变化时，完成复位动作。异步复位不管时钟，只要复位信号满足条件，就完成复位动作。异步复位对复位信号要求比较高，不能有毛刺，如果其与时钟关系不确定，也可能出现亚稳态。

# MOORE与MEELEY状态机的特征？

Moore状态机的输出仅与当前状态值有关,且只在时钟边沿到来时才会有状态变化。

Mealy状态机的输出不仅与当前状态值有关,而且与当前输入值有关。

# 说说静态、动态时序模拟的优缺点？

静态时序分析是采用穷尽分析方法来提取出整个电路存在的所有时序路径，计算信号在这些路径上的传播延时，检查信号的建立和保持时间是否满足时序要求，通过对最大路径延时和最小路径延时的分析，找出违背时序约束的错误。它不需要输入向量就能穷尽所有的路径，且运行速度很快、占用内存较少，不仅可以对芯片设计进行全面的时序功能检查，而且还可利用时序分析的结果来优化设计，因此静态时序分析已经越来越多地被用到数字集成电路设计的验证中。

动态时序模拟就是通常的仿真，因为不可能产生完备的测试向量，覆盖门级网表中的每一条路径。因此在动态时序分析中，无法暴露一些路径上可能存在的时序问题；

# 一个四级的Mux,其中第二级信号为关键信号如何改善timing.？

关键：将第二级信号放到最后输出一级输出，同时注意修改片选信号，保证其优先级未被修改。

# 给出一个门级的图,又给了各个门的传输延时,问关键路径是什么,还问给出输入,使得输出依赖于关键路径？

关键路径就是输入到输出延时最大的路径，找到了关键路径便能求得最大时钟频率。

# 为什么一个标准的倒相器中P管的宽长比要比N管的宽长比大?

和载流子有关，P管是空穴导电，N管是电子导电，电子的迁移率大于空穴，同样的电场下，N管的电流大于P管，因此要增大P管的宽长比，使之对称，这样才能使得两者上升时间下降时间相等、高低电平的噪声容限一样、充电放电的时间相等。

# 用一个二选一mux和一个inv实现异或？

异或：A ^B= Y，真值表如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | 0 | 0 | 1 | 1 |
| B | 0 | 1 | 0 | 1 |
| Y | 0 | 1 | 1 | 0 |

A=0时输出 Y=B；A = 1时 Y=~B。

所以将A作为mux的控制位，两路分别为B和~B，即用一个mux和一个inv实现了异或.

A

Y

1

0

B

代码：

module xor(

input a,

input b,

output y

);

assign y = a?(~b):b;

endmodule

# SRAM, FALSH, DRAM, SSRAM 及 SDRAM 的区别?

SRAM：静态随机存储器，存取速度快，但容量小，掉电后数据会丢失，不像DRAM需要不停的REFRESH，制造成本较高，通常用来作为快取(CACHE)记忆体使用。

FLASH：闪存，存取速度慢，容量大，掉电后数据不会丢失

DRAM：动态随机存储器，必须不断的重新的加强(REFRESHED)电位差量，否则电位差将降低至无法有足够的能量表现每一个记忆单位处于何种状态。价格比SRAM便宜，但访问速度较慢，耗电量较大，常用作计算机的内存使用。

SSRAM：即同步静态随机存取存储器。对于SSRAM的所有访问都在时钟的上升/下降沿启动。地址、数据输入和其它控制信号均于时钟信号相关。

SDRAM：即同步动态随机存取存储器。

# 基尔霍夫定理的内容

基尔霍夫定律包括电流定律和电压定律：

电流定律：在集总电路中，在任一瞬时，流向某一结点的电流之和恒等于由该结点流出的电流之和。

电压定律：在集总电路中，在任一瞬间，沿电路中的任一回路绕行一周，在该回路上电动势之和恒等于各电阻上的电压降之和。

# 描述反馈电路的概念，列举他们的应用。

反馈，就是在电路系统中，把输出回路中的电量（电压或电流）输入到输入回路中去。

反馈的类型有：电压串联负反馈、电流串联负反馈、电压并联负反馈、电流并联负反馈。

负反馈的优点：降低放大器的增益灵敏度，改变输入电阻和输出电阻，改善放大器的线性和非线性失真，有效地扩展放大器的通频带，自动调节作用。

电压负反馈的特点：电路的输出电压趋向于维持恒定。

电流负反馈的特点：电路的输出电流趋向于维持恒定。

# 有源滤波器和无源滤波器的区别

无源滤波器：这种电路主要有无源元件R、L和C组成

有源滤波器：集成运放和R、C组成，具有不用电感、体积小、重量轻等优点。

集成运放的开环电压增益和输入阻抗均很高，输出电阻小，构成有源滤波电路后还具有一定的电压放大和缓冲作用。但集成运放带宽有限，所以目前的有源滤波电路的工作频率难以做得很高。

-END-