# 汇顶提前批-IC验证

【一轮】

自我介绍

介绍项目

怎么实现的ref mod， scoreboard怎么拿到的各个接的数据做的数据比对

mailbox用法， 如何用SV写一个FIFO

SV可以用什么做进程间的通信和同步

讲phase机制， 说一下main phase

sequencer和driver之间怎么通信的

uvm\_sequencer和uvm\_driver都有哪些端， 连接时应该谁连谁

transaction从产生到被驱动到DUT的流程

first\_match常用来做什么， 断言中信号上升沿怎么表示

APB 3.0与APB 2.0的区别， 有什么改进

为什么想做验证

有什么问题想问面试官

# 汇顶提前批-面试题

logic和wire、reg的区别；

队列、数组的常用方法；

fork join有哪些， 如果用fork join\_any， 往后执行怎么等待或者关闭fork里的进程；

tlm有哪入种接， sorce board用什么接；

config\_db相关， 作用是什么， 怎么用?

在哪里用config\_db set virtual interface， 哪里get?

如果想在sequence里使用config db要注意哪些东西?

如果使用tlm接， 一个类中有多个同类型的接，需要注意什么?

assertion相关问题， 什么是throughout?

覆盖率有哪些?行覆盖率冗余是什么意思?

# 汇顶-面试题

项目相关：

1.AHB的trans类型， burst类型， AHB和APB的区别， 和AXI的区别

2.C语言的条件判断在x 86的is a和mips的is a中分别应该怎么写，有什么需要注意的地方(延迟槽)

3.Instruction memory中如何读取hex文件， asm到hex的脚本是怎么写的

基础知识：

1.SV中logic和wire， reg的区别， logic有什么局限性

2.SV中event的用法

3.SV中queue和array的区别， 如何删除一个queue

4.uvm中有哪些tlm通信方法， analysis port和non block ng port有什么区别， anaysis\_fifo

5.uvm寄存器模型， 为什么内建的sequence只有0， 5， A， F和random这几种， 前门访问和后门访问的区别

6.带参数的断言用过么

7.vcs编译选项， 如何把多个case的coverage合并

8.default sequence用过么

9.vir seq中包含哪些东西， 怎样挂载到vir seqr中

# 中兴提前批-面试题

教育背景，项目经历，实验室工作内容

介绍一下你的验证环境，覆盖率是如何收集的，激励是如何产生的，覆盖率没收集满你是如何处理的

实习主要工作内容

你是否有在投别的公司?你的意向公司有哪些?

除了SV你有别的OOP的经验吗?

# 中兴蓝剑-面试题IC验证

1.自我介绍，简历相关

2.UVM验证环境包含的部分， 其中各个部分的作用

3.sv面向对象的特性(继承封装多态)

4.rand和rand c的区别

5.写test plan：一个数据收发模块，有效收发长度

64~1024个包，可选择对数据校验或者不校验，如果校验成功则转发，校验失败则丢弃。

6.在你带团队的过程中，是如何控制项目进度与时间节点的

# 中兴提前批-面试题数字验证

自我介绍，非验证相关项目经历。

你认为验证是做什么的?为什么转验证方向?

描述M CDF的功能。

设计了哪些功能覆盖率?

写了怎样的sequence去验证这些功能覆盖率。

MCDF的数据对比是怎么实现的?

学过哪些语言，脚本语言接触过哪些?

为什么要用UVM， 不直接使用SV， UVM的特性?

描述下工厂机制和phase机制。

# 联发科-一轮面试题

自我介绍，简历相关；

为什么想要来合肥，对合肥联发科有什么了解，感情生活如何；

做I2C这种简单的协议是否觉得枯燥；

根据简历上的项目进行介绍。

合肥联发科是联发科在国内最大的IC中心，业务范围覆盖很广，新人进去之后会有为期2个月的培训，再根据意愿和岗位需求进行分岗。

# 联发科-面试题

自我介绍；

为什么要转专业?

比赛?

类的要素?

在自己本专业有没有参加什么

你的环境有哪些主要的组件?

Object和component的区别

你了解uvm吗?简单介绍一下phase机制。

你除了参加培训班的项目，自己还学了哪些东西?

# 联发科-笔试题

简单布尔表达式化简。

4个DFF的时钟选择器时序图和解释说明。

Verilog写接口和fifo， 将数据写入fifo，fifo非满将数据读出。

perl脚本和c语言问题。

逻辑题，5L和6L水壶互相倒出3L水，两种方法。

# 联发科实习-面试题

Phase机制

Uvm环境组件有哪些

队列的操作方法

类的三个要素

如何构建你的验证环境

Uvm是如何调动底层组件

# 乐鑫-面试题

自我介绍；

项目相关问题，如何验证某些功能；

写一个assert， 要保证a和b两个信号是相等的；

阻塞与非阻塞赋值的区别。timeslot

oop的三个特点， 其中多态是什么意思。virtualfunction与function的区别；

rand bit data[100] ， 有几种方法可以约束只有一个为1；

factory机制的作用；

config\_db有入个参数。在agent/env和tb层都有set时，那层优先级更高?

写一个算法找到100以内的质数。

# 乐鑫-笔试题

1.代码题：检测10010序列。并写出覆盖所有激励，带有检查机制的tb

2.代码题：跨时钟加法器

3.多选：电容的电压/电流能否突变，电感的电流/电压能否突变?

4.多选：属于静态仿真范畴的有哪些?：STA/形式验证/后仿/modelsim仿真

5.填空：时序逻辑电路分为：(同步时序)和(异步时序)电路，基本组成单元分别为(触发器)和(锁存器)

6.单选：8位移位寄存器的时钟频率为1MHz， 将8bit数并行地写入移位寄存器中，需要的时间为?1us/8us/1个锁存器的建立时间/8个锁存器的建立时间

7.单选：若要将一个异或门当作反相器，AB输入引脚的连接方式为?其中一个引脚接0/其中一个引脚接1/都接输入信号

8.填空：后一级的输入电容大小会影响(动态)功耗?

# 字节跳动-一面

架构工程师FPGA方向

自我介绍，简历相关

手撕代码，三分频电路

UVM环境结构

CPU测试的test plan

fpga的ram类型， 片上有哪些资源

fpga中建立时间和保持时间违例应该如何解决

如果功能仿真正确，而板级测试错误，可能是什么原因，如何解决

是否了解PCIE协议， VIRT IO协议

是否了解AXI、ACE协议

是否了解TCP/IP协议， 数据包内有哪些内容

能否提前实习

# 百度-一面-芯片验证工程师

自我介绍，学校，专业，实习内容

实验室项目

手撕apb driver代码， 给出了时序图

solve before的作用， 会对约束结果的概率分布产生什么影响

illegal bin是什么， 如果触发l legal bin会有什么结果

fpga设计中的约束有哪些?

乒乓操作是什么，作用是?

如果在FPGA中产生了时序违例， 如何解决， 如果是ASIC呢?

# 百度-二面-芯片验证工程师

自我介绍、简历相关、项目是路科验证的吗?

感觉你是软件背景，为什么想要转到IC?

讲一下多态，重载?

task与function的区别。

如何随机一个序列10000次，每次不重复?

讲一下寄存器的测试需要考虑哪些因素。

会perl/shell吗?

之后考虑回国吗，考虑哪些城市?

# 百度-面试题

自我介绍，你的项目是培训机构的吗?

会C/C++吗?讲下C++的多态，重载。

C testbench怎么写gold model?

C测试怎么移植到UVM dpi环境?

项目怎么来的，是自己做的吗?

板子多少钱，是否可以跑起来?

是否写过SV/UVM随机激励?

rand data 0-10000每次rand不重复。rand data O-a(a是变量) 。5bitx5bit乘法器验证点分解。

会perl/shell脚本语言吗?

为什么想做验证?

# 昆腾微电子-面试题

function和task的区别

SV中数组常用的方法有哪些?

SV中的数据类型有哪些；

你是怎么构建自己的验证环境的；

项目相关的一些细节；

UVM构建环境与SV相比， 最大的优势在哪。

# 复旦微-技术面试题

主要根据项目展开

个人信息方面，比如介绍本科研究生院校专业，没留在实习单位的原因，毕业设计内容；

项目方面，做了哪些方向的项目，主要承担的职责是什么， testbench架构是不是自己设计的。针对其中一个项目，问这个模块面积大概是多少。描述平台主要组件，数据如何产生怎么约束， golden data如何获取， 如何去评估test finished。边界情况有没有针对性测试， 如何做的。功能覆盖率有没有写过。

会不会做设计?

关于脚本的使用，描述了下自己脚本熟练程度。

多时钟情况(异步时钟)tb怎么支持，需要测试什么功能点，异步时钟相关情况。

# VIVO-面试题-数字验证岗

在sv或者v中产生一个100Mhz的时钟域的自动化有什么好处?

config db有什么参数?

如果环境中有两个config db set， 哪个有效?rand bit data[100] ， 如何约束它随意一位是1，剩下的都是0?

除了培训班和实验室项目，你为了进入IC行业还做了什么自主学习?

如何启动test?

# 【岗位职责】复旦微-数字验证工程师

1.负责数字IP或SOC产品的前后仿真验证， 数模混仿等；

2.根据系统/算法文档， 搭建基于UVM的验证平台， 编写验证计划、验证用例，完成功能仿真验证；

3.收集功能覆盖率和代码覆盖率并进行分析，能达到较高的覆盖率水平，功能、时序能够收敛闭环；

4.负责验证过程中的bug定位， 并能在软硬件协同验证中在平台上构造测试用例进行复现；

5.根据不同DUT特点， 进行各类验证平台架构的预研， 先进脚本语言的学习等。

【岗位要求】

1.电子学、微电子学或相关专业硕士及以上学历；

2.具备数字电路知识，了解半导体物理、半导体器件知识；

3.熟练verilog， cshell， SystemVerilog等语言；

4.熟悉C， perl/tcl、Python语言之一；

5.熟悉unix平台vcs、verdi等EDA工具的使用；

6.熟悉并掌握vmm/uvm验证方法学者优先。

# 【岗位职责】浪潮提前批-芯片硬件开发工程师

1.根据项目需求完成参与芯片方案制定；

2.负责模块级的verilog RTL实现；

3.编写验证平台，完成模块级的仿真验证；

4.协助系统级的bug调试；

5.负责部分设计、开发、测试等相关文档的编写，整理和旧档并提供相应的技术支持。

【任职资格】

1.计算机、电子类、电气类、自动化、通信相关专业，有创新精神；

2.熟悉FPGA、数字电路、C/C++语言；

3.有一定的大数据、机器学习理论基础者优先；

4.具有较强的学习能力、抗压能力和沟通协作能力。

# 【岗位职责】海康威视提前批-数字集成电路设计工程师

负责芯片的定义，业务架构设计，核心业务(AI，处理器，图像，编解码等)IP实现及优化。

【任职要求】

1.硕士及以上学历，微电子、通信工程、电子工程、计算机等相关专业；

2.有IC或者FPGA设计调试经验； 有逻辑验证或嵌入式开发经验；

3.熟练掌握Verilog/VHDL、system C、C等语言；

4.掌握DC、VCS、Verdi、Viva do、Modelsim及相关设计的工具软件；

5.具备良好的团队合作和沟通能力；

6.工作严谨，责任心强，心理素质好；

7.有完整芯片流片经验者优先；

8.具备图像处理、AI算法、编解码研究及实现经验者优先。

# 【岗位职责】格科微-数字电路设计工程师

1.参与LCD芯片的规格制定、架构设计；

2.负责模块级功能定义、逻辑设计、仿真、验证、综合及静态时序分析。

【岗位要求】

1.通讯工程、电子信息工程、微电子、电子科学与技术等专业硕士及以上学历；

2.具有较扎实的RTL级verilog代码的编写能力， 熟悉综合、布线、参数提取、时序分析等关键设计步骤；

3.有FPGA、DSP开发经验， 具有图像处理算法和压缩算法经验者，或有低功耗设计经验者，或有成功流片经验者优先。