

Departamento de Electrónica, Telecomunicações e Informática

Laboratório de Sistemas Digitais

Ano Letivo 2017/18

1º Ano, 2º semestre

Projetos Finais – Requisitos e Regras Fundamentais

Introdução

Este documento define os requisitos e regras fundamentais relativas aos projetos finais, baseados no kit DE2-115, a realizar pelos alunos de Laboratório de Sistemas Digitais (em grupos de 2 elementos, ou excecionalmente de forma individual) no corrente ano letivo. Além destes, os alunos podem propor e realizar outros projetos, desde que validados previamente em termos de preenchimento dos requisitos, adequação, complexidade e exequibilidade pelo respetivo docente da turma prática. Qualquer que seja o projeto, não é permitida a ligação de hardware externo ao kit (excetuando dispositivos standard, tais como monitores, teclados, ratos, etc. através dos conectores que o kit já disponibiliza para o efeito).

A atribuição dos projetos aos grupos de uma dada turma prática é gerida pelo respetivo docente e deve ser realizada nas aulas práticas da semana de 30 de abril a 4 de maio de 2018. O mesmo projeto não pode ser escolhido por mais do que um grupo da mesma turma.

Os grupos que pretenderem usar a interface de infravermelhos do kit deverão contactar o respetivo docente da turma prática para que lhes seja emprestado o respetivo comando remoto. Alternativamente, poderão usar qualquer outro comando que utilize o formato NEC. A utilização de teclados e ratos PS/2 é possível durante as aulas práticas, assim como na sala 4.1.23 do DETI fora do período das aulas.

Organização do Documento

Este documento possui as seguintes secções:

- Requisitos gerais
- Submissão da milestone intermédia
- Submissão final do trabalho
- Penalização por submissão tardia do trabalho
- Requisitos para classificações superiores a 16 valores
- Apresentação e defesa do trabalho final
- Ilícitos

Requisitos Gerais

Todos os projetos devem, entre outros aspetos específicos:

- Serem decompostos para efeitos de implementação num *datapath* e num *controlpath*. Para tal deverão possuir uma ou mais Máquinas de Estados Finitos (MEFs) para controlar a sua operação, isto é, correspondendo o funcionamento do sistema a uma sequência de estados, cujas transições dependem de sinais externos ou internos, é obrigatório explicitar isso em termos de uma ou mais MEFs, modeladas através dos respetivos diagramas de estados e modeladas corretamente em VHDL (gerado manualmente ou automaticamente a partir do diagrama de estados).
- Ser baseados em modelos VHDL que utilizem apenas as construções abordadas nas aulas de LSDig, mais concretamente, não são permitidos ciclos **for...loop**, **while...loop**, nem a utilização de **variables**.
- Usar apenas um sinal de relógio em todo o sistema, o de 50 MHz disponibilizado no pino de entrada "CLOCK_50", ou outro resultante da divisão em frequência deste, isto é, todo o sistema deve ser síncrono com um único sinal de relógio.
- Fazer o *debouncing* dos dispositivos de entrada (se necessário e/ou conceptualmente adequado).
- Ser parcialmente ou totalmente validado por simulação, com base numa *testbench* escrita em VHDL.
- Poder ser validado e demonstrado com dispositivos elementares de interface do kit (interruptores, botões, LEDs e *displays* de 7 segmentos). A utilização dos módulos de interface disponibilizados para o *display* LCD, VGA, infravermelhos, audio, PS/2, RS232, etc. é encorajada, mas só possível após a implementação com sucesso de uma versão operacional do sistema que utilize apenas os dispositivos elementares.
- Ser testado e depurado em hardware (FPGA).

Submissão da Milestone Intermédia

Cada grupo terá de submeter através do site da unidade curricular em link a disponibilizar na secção "Submissão de Elementos de Avaliação", até às 23:55 da véspera da respetiva aula prática entre os dias 14 e 18 de maio de 2018, um documento com 3 a 4 páginas, em formato "pdf", relativo ao projeto que escolheu e contendo a seguinte informação: especificações do sistema, arquitetura detalhada do sistema a desenvolver, abordagem faseada de desenvolvimento e validação, divisão do trabalho entre os dois elementos do grupo e manual do utilizador.

Submissão Final do Trabalho

O projeto final deverá ser submetido através do site da unidade curricular em link a disponibilizar na secção "Submissão de Elementos de Avaliação", até 72 horas antes da respetiva apresentação (prazo limite rígido) e terá obrigatoriamente de incluir:

- O ficheiro SOF que permita a programação imediata da FPGA com o sistema desenvolvido.
- Ficheiro “zip” (ou “tgz”) com diretório do projeto contendo
 - ♦ os ficheiros do projeto gerados pelo "Quartus Prime" (.qpf, .qsf, .qws);
 - ♦ os ficheiros .vhd e .bdf desenvolvidos;
 - ♦ os ficheiros usados na simulação dos módulos desenvolvidos (.vwf)
(antes de gerar o ficheiro “zip” ou “tgz” deverá eliminar as pastas: "db", "incremental_db", "simulation" e "output_files" (isto permite diminuir significativamente a dimensão do ficheiro a submeter).
- Relatório do projeto, em formato “pdf”, que inclua o número mecanográfico e o nome dos elementos do grupo; o relatório terá ainda de incluir, de forma explícita, a percentagem de trabalho realizada por cada um dos elementos do grupo (a divisão percentual do trabalho relativo ao projeto final será refletida na classificação final de cada um dos elementos do grupo, neste elemento de avaliação), assim como a auto-avaliação do grupo sobre o seu trabalho no âmbito do projeto.

Os 3 ficheiros deverão possuir os seguintes nomes:

“LSDig-ProjFinal-P#-NMec1_NMec2.sof”

“LSDig-ProjFinal-P#-NMec1_NMec2.zip” ou “LSDig-ProjFinal-P#-NMec1_NMec2.tgz”

“LSDig-Relatorio-P#-NMec1_NMec2.pdf”

em que “#” deve ser substituído pelo número da turma e “NMec1” e “NMec2” devem ser substituídos pelos números mecanográficos dos alunos do grupo.

O relatório deverá ter a extensão máxima de 4 páginas e conter as seguintes secções:

- Introdução (breve descrição geral, objetivos e resumo das funcionalidades)
- Arquitetura (descrição da estrutura conceptual do sistema com pelo menos uma figura ilustrativa)
- Implementação (incluindo representação gráfica das máquinas de estado finitos implementadas – se aplicável, aspetos de implementação mais relevantes e ligação a periféricos do kit)
- Validação (procedimento de simulação e depuração e resultados obtidos)
- Conclusão (discussão da forma como o trabalho realizado foi ao encontro dos objetivos definidos)

Além destas secções, o relatório deverá ainda incluir um anexo relativo ao “Manual do utilizador” (com a extensão máxima de 2 páginas) com figuras ilustrativas de casos típicos de utilização do sistema (com interfaces e sequências de interação com o utilizador).

Penalização por Submissão Tardia do Trabalho

Cada hora de atraso na submissão do trabalho terá como consequência a penalização de 0.1 valores no elemento de avaliação “Projeto Final”. A falta à apresentação do trabalho acarretará uma classificação de 0 valores no elemento de avaliação “Projeto Final”.

Requisitos para Classificações no Projeto Final Superiores a 16 valores

Sem prejuízo do estipulado em cada proposta de projeto, os trabalhos candidatos a notas superiores a 16 valores terão que ser acompanhados de um vídeo de demonstração, a publicar num canal do “YouTube” a criar para o efeito, com os seguintes requisitos:

- Ter uma duração de 5 a 10 minutos
- Identificar o título do trabalho, os autores e o âmbito em que foi realizado
- Apresentar o funcionamento do sistema em diversos casos típicos de utilização
- Dar uma visão resumida da arquitetura do sistema e aspetos chave do projeto recorrendo a figuras adequadas inseridas no vídeo

O vídeo pode ser entregue ao respetivo docente da turma prática até 72 horas antes do exame teórico final da unidade curricular, ficando a classificação do projeto pendente até à submissão e avaliação do vídeo submetido. No caso de não ser submetido até essa data limite, a nota final do projeto será limitada a 16 valores. O vídeo poderá ser disponibilizado através de um link para um sistema de partilha de ficheiros (por exemplo dropbox).

Apresentação e Defesa do Trabalho Final

A apresentação e defesa do trabalho decorrerá na última aula prática do semestre e consistirá numa apresentação de 10 minutos suportada por slides em PPT (ou similar), numa demonstração do funcionamento do sistema desenvolvido (usando um kit e o ficheiro “sof” submetido) e numa defesa de 5 minutos.

Ilícitos

A cópia, no todo ou em parte, de qualquer material entregue para avaliação é considerada fraude. Sem prejuízo de outras medidas que possam vir a ser tomadas, nomeadamente a comunicação superior e a instauração do competente processo disciplinar, a deteção dessa prática implica a atribuição da classificação 0 (zero) ao elemento de avaliação em causa, ou caso se trate do mini-projeto ou do projeto final implicará a atribuição da classificação 0 (zero) valores à componente prática da UC.

Aveiro, 30 de abril de 2018

A equipa docente de Laboratório de Sistemas Digitais

Versão inicial: 26 de abril de 2018