ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยขอนแก่น

AEL-07 การใบอัส JFET และวงจรขยายที่ใช้ JFET

วัตถุประสงค์ของการทดลอง

- 1. ศึกษาการวัดค่าพารามิเตอร์ที่สำคัญของ JFET.
- 2. ศึกษาการใบอัส JFET.
- 3. ศึกษาการใช้ JFET ขยายสัญญาณ.

7.1. ความแตกต่างระหว่าง JFET และ BJT

ทรานซิสเตอร์แบบ junction field-effect transistor (JFET) มีการทำงานแตกต่างจากทรานซิสเตอร์ แบบ BJT. กระแสที่ใหลระหว่างขา drain และ source ของ JFET จะถูกควบคุมด้วยแรงคันระหว่างขา gate และ source ในขณะที่กระแสที่ใหลระหว่างขา collector และ emitter ของ BJT จะถูกควบคุมด้วยกระแสที่ขา base. นอกจากนี้ เมื่ออุณหภูมิสูงขึ้น FET จะนำกระแสน้อยลง ในขณะที่ BJT จะนำกระแสมากขึ้น.

ขณะทำงานปกติ junction ที่ขา gate จะถูก reversed bias ทำให้ I_G น้อยมากเท่ากับ 0 A. JFET จึง เป็นอุปกรณ์ที่มี gate input resistance สูงมาก. กระแส I_D จึงเท่ากับกระแส I_S เนื่องจาก $I_G=0$ A. ถ้า junction ที่ขา gate ถูก forward bias มีกระแสไหล อาจทำให้เกิดความเสียหายแก่ตัว JFET ได้ เนื่องจาก JFET ไม่ได้ถูกออกแบบให้ขา gate มีกระแสไหล. กระแส gate ที่ยอมไหลได้โดยทั่วไปจะไม่เกิน 10 mA.

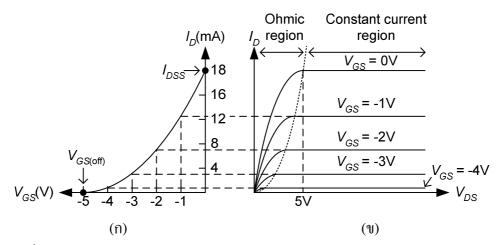
7.2. ค่า I_{DSS} และ V_P ของ JFET

แรงคัน V_{GS} ที่ใช้ควบคุมกระแส I_D มีความสัมพันธ์ตามสมการ parabola ของ Shockley ข้างล่างนี้

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$$

โดยที่ I_{DSS} เป็นกระแส I_D ที่ V_{GS} เท่ากับ 0 V และ V_P คือ pinch-off voltage (หรือ $V_{GS(off)}$) ของ JFET. สมการนี้จะถูกต้องถ้า $|V_{GS}| < |V_{GS(off)}|$. ถ้า $|V_{GS}| > |V_{GS(off)}|$ กระแส I_D จะเป็น 0 A. ตัวอย่างกราฟของ สมการนี้ ได้แสดงไว้ในรูปที่ 7.1 (ก) ซึ่งเป็นคุณสมบัติของ n-channel JFET. สมการดังกล่าวจะใช้อธิบาย ขนาดของกระแส I_D ในกราฟในรูปที่ 7.1 (ข) ในบริเวณที่เป็น constant current region ด้วย. กราฟที่แสดง ในรูปที่ 7.1 นี้เป็นค่าที่ควรจะได้จากทฤษฎี. ในทางปฏิบัติ เส้นกราฟในบริเวณ constant current region จะ ไม่อยู่แนวระดับ. เมื่อแรงดัน V_{DS} เพิ่มขึ้น กระแส I_D จะเพิ่มขึ้นตามอยู่บ้าง แต่ไม่มาก. การใช้งานเพื่อขยาย สัญญาณ การทำงานของ JFET จะอยู่ในบริเวณ constant current region นี้.

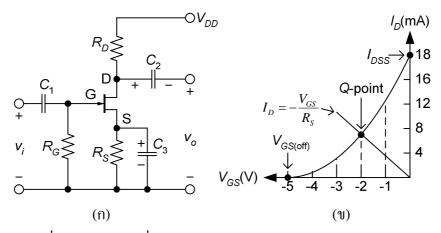
JFET แต่ละตัว จะมีค่า I_{DSS} และ $V_{GS(off)}$ แตกต่างกันมาก ถึงแม้ว่าจะเป็นเบอร์เคียวกันก็ตาม. คังนั้น ถ้ามีการเปลี่ยนตัว JFET ในวงจรขยาย จุดทำงานของ JFET ตัวใหม่ จะไม่เหมือนเดิม ซึ่งเมื่อเทียบกับ การเปลี่ยนตัว BJT ในวงจรขยายแล้ว จุดทำงานของ BJT ตัวใหม่ จะใกล้เคียงกับของเดิมมากกว่า.



รูปที่ 7.1 (ก) ความสัมพันธ์ระหว่างกระแส I_D และแรงดัน V_{GS} ของ n-channel JFET. (ข) ความสัมพันธ์ระหว่างกระแส I_D และแรงดัน V_{DS} ของ JFET ตัวเคียวกัน.

7.3. การใบอัส JFET

การใบอัส FET เพื่อขยายสัญญาณมี 3 แบบ คือ วงจร gate bias, วงจร self-bias และวงจร voltage divider bias. ในการทคลองนี้เราจะใช้วงจร self-bias คั้งแสคงในรูปที่ 7.2 (ก). วงจรขยายที่ใช้ JFET ส่วน ใหญ่จะใช้วงจร ไบอัส self bias นี้เช่นเคียวกัน. ถึงแม้ว่าวงจร ไบอัสแบบ voltage-divider bias จะให้ค่าความ ไม่แน่นอนของกระแส I_D น้อยกว่าวงจร ใบอัส self bias แต่ถ้าจุดใบอัส ไม่เหมาะสม อาจทำให้ junction ที่ gate ถูก forward bias ได้.



รูปที่ 7.2 วงจรขยายที่ใช้การใบอัสแบบ self-bias และการหา Q-point.

จากรูปที่ 7.2 (ก) แรงดัน V_G จะเท่ากับ 0 V และแรงดัน V_S จะเท่ากับ I_DR_S . ดังนั้นแรงดัน V_{GS} จึง เท่ากับ I_DR_S . หรือ $I_D = -V_{GS}/R_S$. จุดตัดของกราฟความสัมพันธ์ระหว่างกระแส I_D และแรงดัน V_{GS} กับ สมการ $I_D = -V_{GS}/R_S$ จะเป็น Q-point ของวงจร. เราสามารถหา Q-point ได้จากการแทนค่า $I_D = -V_{GS}/R_S$ ลงในสมการ Shockley ได้เช่นกัน แต่จะต้องแก้สมการกำลังสองเพื่อหาคำตอบ ซึ่งจะได้สองค่า. เราจะต้อง พิจารณาอีกทีหนึ่งว่า ค่าใดที่เป็นไปได้.

7.4. วงจรขยายแบบ Common-Source

ในการทดลองนี้จะใช้วงจรขยายแบบ common source แต่เพียงอย่างเดียว ซึ่งได้แสดงไว้แล้วในรูปที่ 7.2 (ก) ที่ผ่านมา. วงจรที่ใช้ JFET ที่มีการต่อตัวเก็บประจุ C_3 นี้ จะให้อัตราขยายน้อยกว่าวงจรที่ใช้ BJT ที่มี การต่อตัวเก็บประจุ C_E อยู่มาก เนื่องจากค่า g_m ของ JFET มีค่าไม่สูงนัก. ส่วนค่าความต้านทานขาเข้า วงจรขยายที่ใช้ JFET จะสูงกว่าความต้านทานขาเข้าวงจรขยายที่ใช้ BJT อยู่พอสมควร ขึ้นอยู่กับว่าค่า R_G ที่ ใช้ในวงจรขยาย JFET.

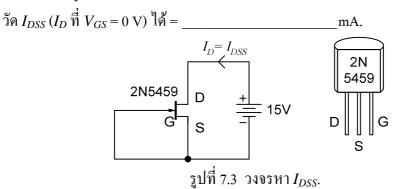
7.5. อุปกรณ์ที่ใช้ในการทดลอง

1	ตัว
1	ตัว
1	ตัว
1	เครื่อง
2	ตัว
1	เครื่อง
1	เครื่อง
1	ชุค
	1 1 2 1

7.6. การทดลอง

7.6.1. การหา I_{DSS}

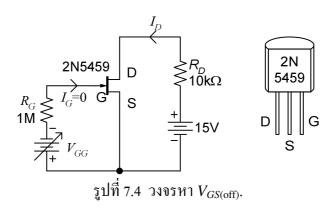
ต่อวงจรตามรูปที่ 7.3. ให้ V_{DS} เท่ากับ 15 V และ V_{GS} = 0 V.



7.6.2. การหา $V_{GS(\mathrm{off})}$

ต่อวงจรตามรูปที่ 7.4. เนื่องจากกระแส I_D จะไหลน้อยมากเมื่อแรงคัน V_{GS} เข้าใกล้ค่า $V_{GS({
m off})}$ จึง ให้วัดกระแส I_D โดยการวัดแรงคันคร่อม R_D ($10{
m k}\Omega$) แทนการวัดกระแส โดยตรง. ปรับ V_{GG} เพิ่มขึ้น จนกระทั่ง I_D ลดลงน้อยกว่า 10 $\mu{
m A}$ (แรงคันคร่อม R_D < $100~{
m mV}$) แต่ควรให้มีกระแส I_D ไหลอยู่บ้าง.

วัค
$$V_{GS({
m off})}$$
 (I_D ที่น้อยกว่า 10 μ A) ได้ = ______V.



7.6.3. การทดสอบความไวต่ออุณหภูมิ

ให้ต่อวงจรตามรูปที่ 7.3. เพิ่มอุณหภูมิให้กับ JFET. สังเกตดูการเปลี่ยนแปลงของ I_{DSS} . I_{DSS} (เพิ่มขึ้น หรือ ลดลง) ______ เมื่ออุณหภูมิสูงขึ้น.

7.6.4. วงจรับยายแบบ Common Source

หา bandwidth ของวงจรขยาย

ต่อวงจรบยายแบบ common source ตามรูปที่ 7.5 ซึ่งเป็นวงจรที่ใช้การใบอัสแบบ self-bias. วงจรนี้ มี bypass capacitor (C_R) ขนาด 47 μF ที่ขา source.

วัดแรงดันไฟตรงระหว่างขา drain กับ source (V_{DS}) ได้ = ______V.

 V_{DS} นี้ควรมากกว่าขนาดของแรงดัน $V_{GS({
m off})}$ เพื่อให้แน่ใจว่า JFET ทำงานในบริเวณ constant current region. ถ้า V_{DS} ไม่มากกว่า $V_{GS({
m off})}$ อาจจะต้องมีการปรับค่าความต้านทาน R_S .

วัดแรงดัน ใฟตรงระหว่างขา gate กับ source (V_{GS}) ใค้ = _____V.

$$g_{m0} = \left| \frac{2I_{DSS}}{V_{GS(\text{off})}} \right| = \underline{\qquad \qquad } S.$$

$$g_m = g_{m0} \left(1 - \frac{V_{GS}}{V_{GS(\text{off})}} \right) = \underline{\qquad} S.$$

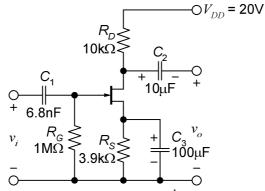
ป้อนสัญญาณรูปไซน์ที่มีความถี่ 1 kHz. ให้แรงคัน $v_{\rm in}$ ประมาณ 400 m $V_{\rm pp}$ และต้องแน่ใจด้วยว่า $v_{\rm out}$ ไม่ถูกขลิบ. ถ้าสัญญาณ $v_{\rm out}$ ถูกขลิบ ให้ลดระคับ $v_{\rm in}$ ลงมาให้เหมาะสม.

ที่ 1 kHz นี้ใช้
$$A_{v} = \frac{v_{\text{out}}}{v_{\text{in}}} = -----=$$

ปรับความถี่เพื่อหาความถี่ที่มีอัตราขยายแรงคัน $A_{
u}$ สูงสุค ($f_{
m mid}$).

$$f_{
m mid}$$
 = _____kHz.

3 dB bandwidth = kHz.



รูปที่ 7.5 วงจรขยายแบบ common source ที่ใช้วงจรไบอัสแบบ self-bias.

<u>หาความต้านทานขาเข้า</u>

ต่อวงจรตามรูปที่ 7.6. ปรับความถี่ของ function generator ไปที่ $f_{
m mid}$. คำนวณหาความต้านทานขา เข้าของวงจร.

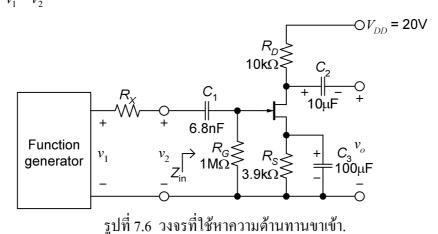
 R_i ที่คำนวนได้ = Ω . (แสดงวิธีคำนวนในรายงานด้วย.)

เลือก R_X ประมาณเท่ากับ R_i เพื่อให้ได้ v_2 ประมาณครึ่งหนึ่งของ v_1 . ปรับขนาดสัญญาณจากเครื่อง กำเนิดสัญญาณเพื่อให้ได้ v_2 ประมาณ $400~{
m mV}$ และต้องแน่ใจด้วยว่า $v_{
m out}$ ไม่ถูกขลิบ.

$$R_X \hat{\eta} \hat{\eta} \hat{\eta} = \underline{\qquad} \Omega.$$

$$v_1 = \underline{\qquad} V, v_2 = \underline{\qquad} V.$$

$$R_i = \frac{v_2}{v_1 - v_2} R_X = \underline{\qquad} \Omega.$$



หาความต้านทานขาออก

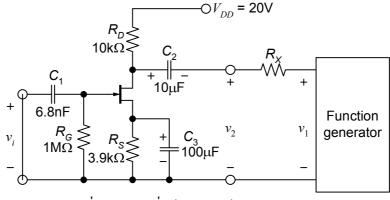
ต่อวงจรตามรูปที่ 7.7. ปรับความถี่ของ function generator ไปที่ $f_{
m mid}$. คำนวณหาความต้านทานขา ออกของวงจร.

เลือก R_X ประมาณเท่ากับ R_o เพื่อให้ได้ v_2 ประมาณครึ่งหนึ่งของ v_1 . ปรับขนาดสัญญาณจากเครื่อง กำเนิดสัญญาณเพื่อให้ได้ v_2 ประมาณ 5 ∇_{pp} . อย่าลืมลัดวงจรทางด้านอินพุทด้วย.

$$R_X \hat{N} \hat{N} = \underline{\qquad} \Omega.$$

$$v_1 = \underline{\qquad} V, v_2 = \underline{\qquad} V.$$

$$R_o = \frac{v_2}{v_1 - v_2} R_X = \underline{\qquad} \Omega.$$



รูปที่ 7.7 วงจรที่ใช้หาความต้านทานขาออก.

7.6.5. ความใม่แน่นอนของพารามิเตอร์ของ FET

บันทึกค่า I_{DSS} และ V_P จากกลุ่มข้างเคียง เพื่อเปรียบเทียบกับที่วัดได้ในการทคลอง.

	ข้อมูลของกลุ่มตัวเอง	ข้อมูลจากกลุ่มอื่น (1)	ข้อมูลจากกลุ่มอื่น (2)
I_{DSS}			
V_P			
$A_{v ext{ mid}}$			

7.7. คำถาม

เนื่องจาก R_i มีค่าใหญ่ อาจมีผลของอิมพีแคนซ์ของโพรบของออสซิลโลสโคปเข้ามาเกี่ยวข้อง. เราจะมี วิธีการคำนวณหา R_i โดยคิดผลของอิมพีแคนซ์ของโพรบของออสซิลโลสโคปนี้ได้อย่างไร.

7.8. สรุปสิ่งที่ได้เรียนรู้

ให้สรุปสิ่งที่เรียนรู้ทั้งหมดจากการทดลองแยกเป็นอีกหัวข้อหนึ่งในท้ายรายงาน โดยสรุปเรียง ตามลำดับเรื่องที่ทดลอง.